

# Статические и динамические ошибки быстродействующих ЦАП с коммутацией токов

Г.А. Свизев<sup>1</sup>, Е.А. Жебрун<sup>1</sup>, Л.П. Ионов<sup>2</sup>

<sup>1</sup>МНТЦ «МикАн», grits1989@mail.ru, jackjk@mail.ru

<sup>2</sup>ОАО «НИИМА «Прогресс», leonid82@inbox.ru

**Аннотация** — Представлены механизмы возникновения ошибок, ухудшающих статическую и динамическую линейность преобразования быстродействующих ЦАП с коммутацией токов. Указаны методы уменьшения влияния этих механизмов на структурном, схемотехническом, параметрическом и топологическом уровнях проектирования. Сделаны выводы.

**Ключевые слова** — КМОП, ЦАП, ВЧ, СВЧ, линейность преобразования, INL, DNL, SFDR, рассогласование, mismatch, кодозависимая модуляция.

## I. ВВЕДЕНИЕ

Быстродействующие цифро-аналоговые преобразователи (БД ЦАП) являются компонентной базой для широкого спектра задач, например, для модуляции ВЧ и СВЧ сигналов в системах телекоммуникаций (мобильной, спутниковой, цифровом телерадиовещании и др.). Эти приложения работают с сигналами в частотной области, поэтому кроме необходимой разрядности ( $N$ ) и частоты выборки ( $f_s$ ) ЦАП должны обеспечивать необходимую спектральную «чистоту» и, соответственно, линейность преобразования даже при модуляции высокочастотных сигналов (вплоть до частоты Найквиста). Возможность получения требуемых спектральных показателей (в первую очередь SFDR) при постоянно растущих  $f_s$  становится всё более сложной задачей, требующей от разработчика учёта всё большего количества факторов, ограничивающих динамическую линейность преобразования, и механизмов их возникновения. Широкому обзору этих механизмов, а также методов борьбы с ними и посвящена данная работа.

## II. АРХИТЕКТУРА БЫСТРОДЕЙСТВУЮЩИХ ЦАП

Существует три базовых архитектуры ЦАП: на резистивных делителях напряжений, с перераспределением заряда на переключаемых конденсаторах и с коммутацией токов. Из них наибольшим потенциалом по быстродействию обладает архитектура с коммутацией токов (сравнительный анализ представлен в [1]).

Развитие КМОП-технологий позволило не только создавать цифровые и аналого-цифровые системы на

кристалле с высоким уровнем интеграции и низким энергопотреблением, но и значительно приблизило динамические свойства МОП-транзисторов к биполярным, сделав КМОП-реализации БД ЦАП доминирующими [1].

Базовыми структурными элементами ЦАП с коммутацией токов являются токовые ячейки, составляющие разряды ЦАП (типовой пример реализации представлен на рис. 1). Здесь транзистор  $M1$  взвешивает ток  $I_0$ , соответствующий младшему значащему разряду (LSB),  $M2$  осуществляет высокочастотную развязку для обеспечения высокого выходного импеданса полученного источника тока  $M1-M2$ , а  $M3$  и  $M4$ , в соответствии с текущим логическим значением разряда, коммутируют ток между ветвями дифференциальной нагрузки ( $R_L$ ), создавая на ней падение выходного дифференциального напряжения ( $V_{out}$ ). Синхронизация переключения разрядов обеспечивается триггером, а требуемые характеристики сигналов управления для  $M3$  и  $M4$  – драйвером коммутаторов. Веса других разрядов набираются кратным масштабированием (параллельным соединением) (рис. 1б) ячеек младшего разряда, что также обеспечивает согласованность (нормированных) статических и динамических характеристик всех разрядов, что необходимо для высокой линейности преобразования. Однако отметим, что при достаточно высокой разрядности  $I_0$  может оказаться слишком мал для обеспечения требуемых динамических характеристик  $M2-M4$ , поэтому оптимизация эквивалентных размеров  $M2-M4$  начинается со старших разрядов, а строгое масштабирование в коммутирующей части младших разрядов может нарушаться, создавая определённый компромисс.

Наряду с бинарным взвешиванием ( $I_i = I_0 \cdot 2^i$ , где  $i = 0 \dots N-1$ ) разрядных токов для улучшения (подробнее ниже) статических и динамических характеристик ЦАП широко используется унарное (термометрическое) взвешивание [2]. Однако при этом необходим соответствующий декодер, требующий при большой разрядности (более 6-8 бит) значительных аппаратных и энергетических затрат. Поэтому, как правило, используется сегментная архитектура, в которой младшие  $N_B$  разрядов имеют бинарное взвешивание, а старшие  $N - N_B$  разрядов – термометрическое.

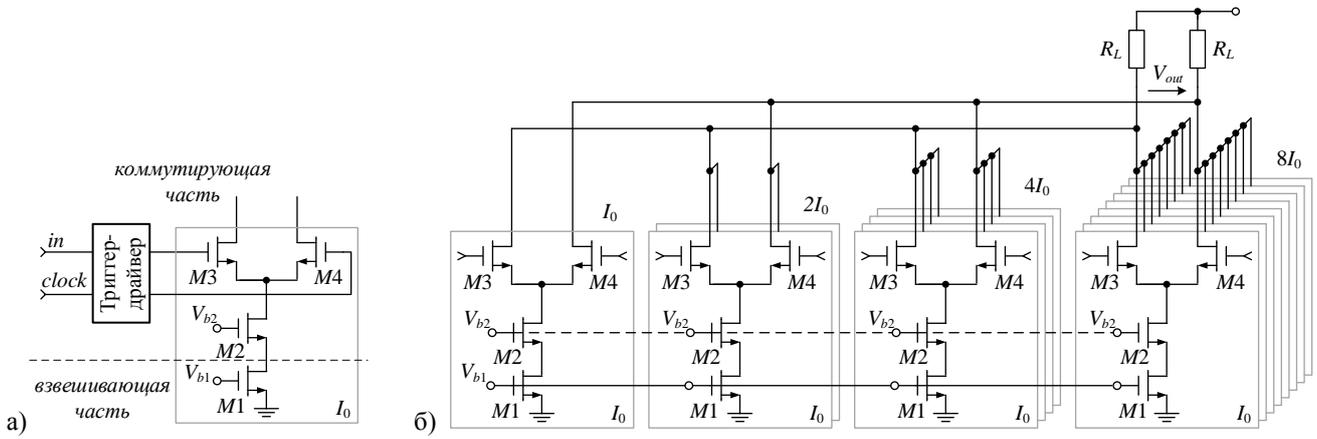


Рис. 1. Пример реализации токовой ячейки а) и её кратного масштабирования для 4-х разрядного ЦАП б)

Обеспечение высокой динамической линейности преобразования и, соответственно, «чистоты» спектра синтезируемых сигналов требует не только достаточной точности взвешивания разрядных токов, но и строгой синхронизации и согласованности переходных процессов на выходе ЦАП при переключении разрядов. Рассмотрим негативные эффекты, возникающие в токовых ячейках и нарушающие указанные условия.

### III. СТАТИЧЕСКИЕ (АМПЛИТУДНЫЕ) ОШИБКИ

Статические ошибки связаны с функционированием ЦАП в установившемся состоянии и определяют его ключевые статические параметры: интегральную ( $INL$ ) и дифференциальную ( $DNL$ ) нелинейности, зависящие от статической точности взвешивания разрядных токов ЦАП.

#### A. Рассогласование (*mismatch*)

Как известно, рассогласование элементов является общей проблемой прецизионных схем и широко рассмотрено в литературе для МОП-транзисторов (например, в [3]). В случае ЦАП рассогласование токов взвешивающих транзисторов  $M1$  (рис. 1б) приводит к погрешностям при взвешивании разрядных токов. Тогда для обеспечения требуемых  $INL$  и  $DNL$  при заданной  $N$  относительное стандартное отклонение тока младшего разряда  $\sigma(I_0)/I_0$  должно быть (по [2])

$$\frac{\sigma(I_0)}{I_0} \leq \frac{1}{C} \min \left[ \frac{INL}{\sqrt{2^N}}, \frac{DNL}{\sqrt{2^{N_B+1} - 1}} \right], \quad (1)$$

где  $C$  – количество стандартных отклонений, учитываемое при задании выхода годных изделий (например, при  $C = 3$  выход 99,73%), а  $N_B$  – количество бинарных разрядов (равно  $N-1$  при полностью бинарной и 0 при полностью термометрической реализации).

Как видно из (1), требования по  $DNL$  уменьшаются при увеличении разрядности термометрического сегмента ЦАП (уменьшении  $N_B$ ), однако требования по  $INL$ , как правило, доминируют при определении допустимого значения относительного рассогласования  $\sigma(I_0)/I_0$ .

Общеизвестно, что рассогласование элементов уменьшается при увеличении их размеров (обратно пропорционально корню из площади). Кроме того, рассогласование токов стока ( $I_D$ ) и напряжений затвористок ( $V_{GS}$ ) МОП-транзисторов также режимозависимо и имеет противоположные критерии минимизации (подробнее в [4]). Из простого анализа модели Шихмана-Ходжеса для режима насыщения можно получить выражение для оценки влияния доминирующих факторов на относительное рассогласование  $I_D$  номинально идентичных транзисторов:

$$\frac{\sigma(I_D)}{I_D} = \sqrt{\left( \frac{\sigma(\beta)}{\beta} \right)^2 + \left( \sigma(V_T) \cdot \frac{2}{(V_{GS} - V_T)} \right)^2}, \quad (2)$$

$$\frac{\sigma(\beta)}{\beta} \approx \frac{A_\beta}{\sqrt{WL}}, \quad \sigma(V_T) \approx \frac{A_{V_T}}{\sqrt{WL}}, \quad (3)$$

где  $\beta = \mu C_{ox} W/L$  – токовый коэффициент в модели Шихмана-Ходжеса,  $V_T$  – пороговое напряжение,  $A_\beta$  и  $A_{V_T}$  – параметры рассогласования  $\beta$  и  $V_T$  для конкретного техпроцесса,  $W$  и  $L$  – ширина и длина транзистора, соответственно.

Как видно из (2), вклад  $\sigma(V_T)$  в рассогласование токов стока может быть уменьшен при увеличении эффективного напряжения  $V_e = V_{GS} - V_T$ . Однако с учётом конкретных ограничений на максимальное напряжение сток-исток  $V_{DS1}$  транзисторов  $M1$  необходимо следить, чтобы  $M1$  при увеличении  $V_{e1}$  оставались в достаточно глубоком насыщении. Иначе рассогласование  $V_{DS1}$  (вследствие рассогласования  $V_{GS2}$  транзисторов  $M2$ ) может привести к значительному дополнительному рассогласованию  $I_{D1}$ .

Аппроксимирующие выражения в (3) имеют хорошее приближение только для локальных вариаций [3] техпроцесса, в то время как массивы транзисторов  $M1$  при высокой  $N$  занимают большие площади (доли и даже единицы  $\text{мм}^2$ ). Поэтому сохранение точности (3) требует использования не только общих правил согласования элементов на топологии ([6], [7]), но и специальных топологических методов (например, [1], [5]).

Для уменьшения размера токовзвешивающей части при сохранении требуемого согласования (1) применяются различные методы калибровки (например, [8], [9]) и «переназначения» (*mapping*) разрядов. Анализ и классификация подобных методов выполнены в [10].

Металлизации истоков транзисторов  $M1$  имеют некоторые сопротивления, протекая по которым разрядные токи создают соответствующие падения напряжения. Поэтому, как отмечалось в [11], рассогласование этих сопротивлений (из-за случайных погрешностей производства или изначальной неидентичности разводки металлизации) может привести к значительному рассогласованию  $V_{GS1}$  и, соответственно, рассогласованию  $I_{D1}$ . Этого можно избежать при использовании достаточно широких трасс и/или металлизацией истоков «бинарным деревом».

#### В. Кодозависимая модуляция выходного сопротивления

В зависимости от разрядности ЦАП, а также сопротивления нагрузки ( $R_L$ ) выходное сопротивление ЦАП должно быть достаточно велико. Это обуславливается тем, что в зависимости от входного кода ( $k$ ) к выходу ЦАП в параллель подключается соответствующее количество токовых ячеек ( $I_0$ ) с эквивалентным выходным сопротивлением, равным  $R_0/k$  (рис. 2а), что приводит к кодозависимой модуляции эквивалентного выходного сопротивления ЦАП и, соответственно, к нелинейности выходного напряжения ( $V_{out}$ ). При этом дифференциальная структура (рис. 2б) выхода имеет принципиально более мягкие требования к  $R_0$  по сравнению с однофазной (рис. 2а). В частности, при построении аппроксимирующей прямой через начальную и конечную точки передаточной характеристики ЦАП, а также допуская приближение  $R_0/k \gg R_L$ , можно показать, что  $INL$  (выраженная в  $LSB$ ) для однофазного и дифференциального выходов, соответственно, определяются выражениями:

$$INL_{SE} = \frac{R_L 2^{2N}}{4R_0} [LSB] \text{ и } INL_D = \frac{\sqrt{3} R_L^2 2^{3N}}{36R_0^2} [LSB],$$

откуда получаем соответствующие требования к  $R_0$ :

$$R_0 \geq \frac{R_L 2^{2N}}{4INL} \text{ и } R_0 \geq \frac{R_L 2^N}{6} \sqrt{\frac{2^N \sqrt{3}}{INL}},$$

которые нужно учитывать при выборе структуры ячейки, геометрий и режимов работы транзисторов.

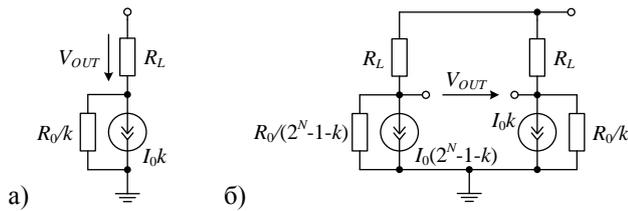


Рис. 2. Модуляция выходного сопротивления ЦАП при однофазном (а) и дифференциальном (б) выходе

#### IV. ДИНАМИЧЕСКИЕ (ВРЕМЕННЫЕ) ОШИБКИ

Механизмы возникновения динамических ошибок ЦАП вызывают нарушение синхронизации переключения разрядов и рассогласование формы переходных процессов в токовых ячейках, что приводит к ухудшению линейности преобразования при увеличении частоты синтезируемых сигналов.

##### А. Кодозависимая модуляция выходной постоянной времени

Суммарная ёмкость на выходе ЦАП ( $C_{out}$ ) определяется ёмкостью нагрузки ( $C_L$ ), эквивалентной паразитной ёмкостью металлизации выходной цепи ( $C_P$ ), а также выходной ёмкостью токовых ячеек (рис. 3). При этом, учитывая, что транзисторы и, соответственно, токовые ячейки имеют разную выходную ёмкость во включенном и выключенном состояниях ( $C_{on}$  и  $C_{off}$ , соответственно), можно показать, что  $C_{out}$  содержит кодозависимую составляющую:

$$C_{out} = C_L + C_P + C_{off}(2^N - 1) + kC_0 = C_{const} + kC_0,$$

где  $C_0 = C_{on} - C_{off}$ . Таким образом, кодозависимая модуляция  $C_{out}$  вызывает соответствующую модуляцию выходной постоянной времени:

$$\tau_{out} = R_{out} C_{out} \approx R_L (C_{const} + kC_0) = \tau_{const} + k\tau_0. \quad (4)$$

Модуляция выходного сопротивления ( $R_{out}$ ) (пункт III.В) аналогично влияет на  $\tau_{out}$ , однако её вклад значительно меньше (так как  $R_0/k \gg R_L$ ) и поэтому пренебрежён в (4). Модуляция  $\tau_{out}$  приводит к тому, что при одном и том же приращении кода в зависимости от его предыдущего значения переходный процесс на выходе ЦАП будет иметь разное время установления и форму, тем самым создавая нелинейные искажения и, соответственно, паразитные составляющие в спектре выходного сигнала. Описанный эффект модуляции и его влияние на динамические характеристики ЦАП подробно проанализированы в [12].

Влияние этого эффекта может быть уменьшено за счёт уменьшения (если возможно) размеров выходных транзисторов токовых ячеек и, соответственно, уменьшения паразитных емкостей  $C_{off}$ ,  $C_{on}$  и  $C_0$ . Более эффективный метод предложен в [11], где результат достигается с помощью дополнительных источников тока, не позволяющих выходным транзисторам (составляющим вместе с коммутаторами каскады) ячеек полностью закрываться, уменьшая тем самым разницу  $C_{on} - C_{off} = C_0$ .

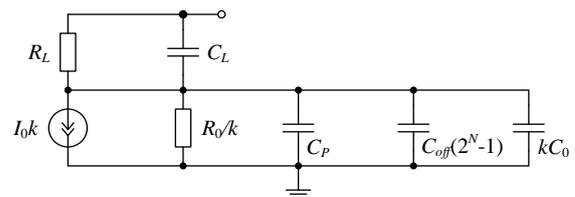


Рис. 3. Модуляция выходной постоянной времени

### В. Асимметричная коммутация

В зависимости от характеристик (размаха, формы, пересечения фронтов, времени переключения) управляющих сигналов ( $V_A$ ,  $V_B$ ), а также из-за нелинейности характеристик транзисторов при переключении разрядов возникают нежелательные возмущения напряжения  $V_S$  (рис. 4) в истоках коммутаторов (эффект асимметричной коммутации в [1]). Особо нежелательна ситуация, когда при значительном уменьшении  $V_S$  транзисторы каскодного источника тока уходят из режима насыщения, что качественно уменьшает его выходной импеданс и ухудшает переходный процесс коммутации тока.

Уменьшение влияния описанного эффекта достигается главным образом за счёт настройки пересечения фронтов управляющих сигналов ([13], [14], [5], [1]). Оптимальным (согласно [14]) считается пересечение, при котором возмущения  $V_S$  симметричны относительно его установившегося значения.

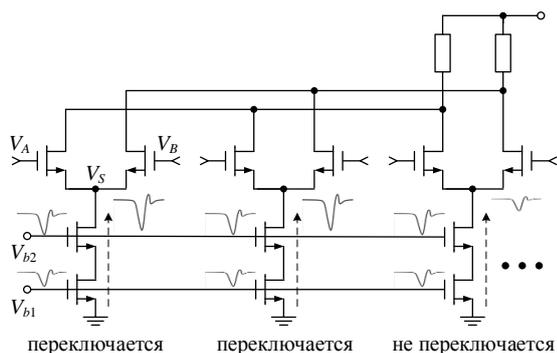


Рис. 4. Возмущения напряжения  $V_S$  в истоках коммутаторов при переключении разрядов

Возмущения напряжения  $V_S$  вызывают две проблемы. Первая связана с тем, что возникающие пульсации тока передаются в нагрузку, создавая возмущения в выходном сигнале. Однако пульсации создаются только переключающимися разрядами и поэтому прямо пропорциональны приращению кода и согласованы при строгом масштабировании токовых ячеек. Если при этом переходные процессы от предыдущей кодовой комбинации уже установились, то эти пульсации не вызовут нелинейных искажений [1]. Однако вследствие рассогласования схемных элементов (пункт III.A), согласованность токовых пульсаций нарушается, вызывая нелинейные искажения. Причём этот эффект проявляется сильнее при бинарном взвешивании разрядов ЦАП, так как приращение выходного сигнала создается разницей токов включаемых и выключаемых разрядов. Термометрическая реализация разрядов позволяет качественно уменьшить искажения, так как в этом случае приращение выходного тока создается коммутацией такого же тока.

Вторая проблема является следствием первой: возмущения  $V_S$  проникают в общие цепи трансляции  $V_{b1}$ ,  $V_{b2}$  (через паразитные емкости затвор-исток и передачу сток-исток), чем вызывают дополнительные переходные процессы, но уже во всех разрядах ЦАП незави-

симо от того, переключаются они или нет. Это может вызвать нелинейные искажения, если возмущения от прошлой кодовой комбинации еще не установились и накладываются на возмущения текущей. Отметим, что если каждый разряд имеет собственные цепи трансляции, то влияние второй проблемы становится аналогично влиянию первой [1]. Влияние описанного эффекта также может быть уменьшено за счёт применения «четверённых коммутаторов» (*quad switch*) [13], [14], создающих возмущения  $V_S$  на каждом такте преобразования вне зависимости от входного кода, что позволяет переносить спектр вызываемых искажений за полосу Найквиста.

### С. Кодозависимая модуляция момента коммутации

При изменении входного кода часть соответствующего ему приращения выходного напряжения передаётся в истоки коммутаторов (рис. 5) вследствие наличия у них передачи сток-исток, которая зависит от статического коэффициента усиления ( $A_i$ ) коммутаторов и для установившегося состояния равна примерно  $1/A_i$ . Таким образом, из-за взаимодействия через общую цепь нагрузки напряжение  $V_S$  глобально модулируется во всех разрядах ЦАП согласно выходному напряжению на соответствующем плече дифференциальной нагрузки. Например, при токе полной шкалы 20 мА и эквивалентном сопротивлении нагрузки 50 Ом размах дифференциального напряжения при использовании трансформатора на выходе ЦАП составит  $\pm 1$  В, что при  $A_i$  коммутаторов около 20 раз (типичное значение для субмикронного КМОП) приведёт к модуляции  $V_S$  вплоть до  $\pm 50$  мВ. Проблема заключается в том, что при фиксированных уровнях сигналов, управляющих коммутаторами, момент коммутации тока смещается из-за кодозависимой модуляции  $V_S$ , что приводит к нелинейным искажениям выходного сигнала.

Смещение момента коммутации можно уменьшить за счёт увеличения скорости фронтов управляющих сигналов, увеличения  $A_i$  с помощью режимной и геометрической оптимизации коммутаторов, а также их каскодирования. Кроме того, следует принимать меры по уменьшению помех по подложке, так как они, воздействуя через «эффект тела» (*body effect*) на пороговые напряжения коммутаторов, могут быть дополнительным источником локальной модуляции  $V_S$  [1].

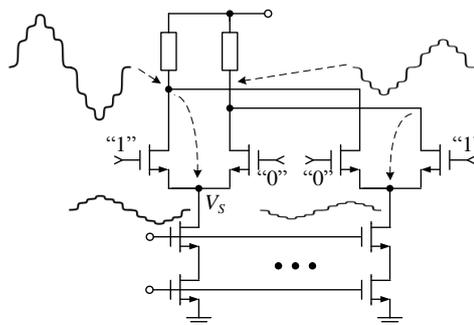


Рис. 5. Эффект кодозависимой модуляции напряжения в общей точке коммутаторов

#### D. Паразитное просачивание зарядов

При переключении разрядов фронты напряжения управляющих сигналов на затворах коммутаторов создают броски тока через паразитные ёмкости затвор-сток и затвор-исток, что приводит к соответствующим кодовым броскам напряжения на эквивалентных импедансах в цепях стока и истока (рис. 6).

Если разряды ЦАП получены строгим масштабированием токовых ячеек, то в первом приближении можно сказать, что суммарный заряд, просачивающийся при переключении, прямо пропорционален кодовому приращению. Однако, вследствие рассогласования (пункт III.A) транзисторов и других схемных элементов, прямая пропорциональность токовых бросков кодовому приращению нарушается, что приводит к нелинейным искажениям выходного сигнала. При этом описанный эффект просачивания значительно сильнее проявляется в бинарном ЦАП, чем в термометрическом или сегментном, по причинам, аналогичным описанным в пункте IV.B.

Паразитное просачивание зарядов можно уменьшить за счёт уменьшения перепада между напряжениями логических уровней управляющих сигналов и уменьшения размеров коммутаторов (соответственно, их паразитных ёмкостей).

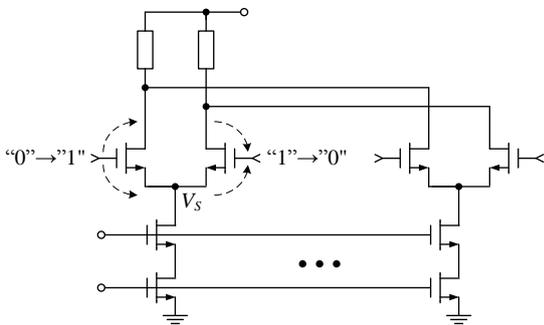


Рис. 6. Просачивание заряда через паразитные ёмкости МОП-транзистора

#### E. Помехи на шинах питания и на подложке

Паразитные сопротивления ( $R_{pj}$ ) и, главным образом, индуктивности ( $L_{pj}$ ) шин питания (включая земли) являются общей и одной из основных проблем при проектировании быстродействующих устройств (особенно аналого-цифровых), так как динамические токи потребления ( $i_f(t)$ ), связанные в первую очередь с работой цифровых модулей, протекая по  $R_{pj}$  и  $L_{pj}$  создают пульсации напряжения (помехи) с амплитудой  $R_{pj} i_f(t) + L_{pj} di_f(t)/dt$ , достигающей в пике до сотен мВ.

Помехи на подложке представляют собой паразитные токи, модулируемые, как правило, высокочастотными сигналами схемы через различные паразитные пути (в первую очередь ёмкостные). Воздействуя через эффекты тела и другие пути передачи, эти помехи могут ухудшать характеристики чувствительных цепей.

В контексте ЦАП с коммутацией токов основной вред от помех на шинах питания и на подложке связан

с внесением кодовозависимых искажений и фазового дрожания (*jitter*) в тактовый сигнал и, соответственно, управляющие сигналы коммутаторов, что нарушает синхронизацию и приводит к появлению паразитных составляющих в спектре выходного сигнала.

Уменьшение помех на шинах питания достигается уменьшением пиковых значений динамических токов потребления (например, с помощью оптимизации цепей, использования токовой логики вместо статической КМОП с учётом соответствующих компромиссов); разделением шин питания аналоговых и цифровых модулей; использованием сглаживающих цепей; уменьшением паразитных индуктивностей шин питания за счёт уменьшения длин трасс при оптимизации топологии кристалла, использования корпусов с малыми индуктивностями выводов и оптимизации «разварки» кристалла в корпусе.

Основными факторами, определяющими генерацию и распространение помех по подложке, являются: компоновка модулей на кристалле; качество топологии; материал подложки (низко- или высокоомный); количество, расположение и сопротивление контактов подложки, а также различные топологические приёмы изоляции. В литературе представлено множество исследований, посвящённых общим методам борьбы с помехами, например, [15], [16]. Особый интерес в контексте ЦАП представляет техника «постоянной переключательной активности» (*constant switching*) ([8], [13], [14]), которая не уменьшает помехи, а даже увеличивает, но смещает их спектр за полосу Найквиста.

#### F. Кодозависимая нагрузка на тактовый генератор

Заряд, потребляемый элементом памяти (триггер на рис. 1а) от выходного сигнала тактового генератора (*clock*), несколько отличается в зависимости от того, переключается или подтверждается логическое состояние этого элемента памяти. Поэтому суммарная ёмкостная нагрузка на тактовый генератор и соответствующая постоянная времени, определяющая задержку и скорость фронта, зависят от приращения кода на текущем такте преобразования, что приводит к кодовозависимому фазовому дрожанию сигнала *clock* [14].

Фазовое дрожание может быть уменьшено за счёт увеличения скорости фронта сигнала *clock* и нагрузочной способности тактового генератора или более эффективно за счёт применения «зеркальных» элементов памяти ([8], [14]), параллельно нагружающих тактовый генератор. При таком подходе на каждом такте преобразования в соответствии с входным кодом в одном из элементов памяти (основном или «зеркальном») происходит переключение логического состояния, а в другом – подтверждение. Таким образом, нагрузка на тактовый генератор удваивается (из-за «зеркальных» элементов памяти), но становится кодонезависимой.

#### G. Другие источники динамических ошибок

В первую очередь отметим влияние рассогласования элементов (пункт III.A), которое также приводит к рассогласованию переходных процессов при коммута-

ции разрядных токов. Ситуация осложняется тем, что, в отличие от токовзвешивающей части (рис. 1а), увеличение размеров элементов для улучшения их согласования в коммутирующей части приводит к ухудшению частотных свойств и/или энергопотребления и поэтому может применяться весьма ограниченно и в рамках многокритериальной оптимизации.

Аналогично токовзвешивающей части применение специальных топологических подходов (например, [5]) уменьшает влияние глобальных девиаций ([3]) техпроцесса, а различные методы «переназначения» разрядов, «рандомизации» переключения и другие (анализ и классификация выполнены в [10]) позволяют уменьшить влияние различных источников рассогласования.

Для согласованности переходных процессов в рядах ЦАП важна не только согласованность транзисторов, но и согласованность металлизации. Поэтому трассировку в коммутирующей части ЦАП рекомендуется выполнять в виде «бинарных деревьев» ([11], [13], [14]). В совокупности с требованиями по минимизации паразитных емкостей и индуктивностей металлизаций, а также необходимостью уменьшения паразитных наводок между различными трассами это делает оптимизацию топологии кристалла одним из наиболее сложных и решающих этапов разработки ЦАП.

Дополнительными источниками динамических ошибок являются эффекты второго порядка, возникающие вследствие взаимодействия описанных выше механизмов. Например, нарушение пропорциональности токовых бросков от паразитного просачивания зарядов кодовому приращению из-за рассогласования элементов, как описано в пункте IV.D.

## V. ЗАКЛЮЧЕНИЕ

В работе представлены механизмы возникновения статических и динамических ошибок, ухудшающих линейность преобразования быстродействующих ЦАП с коммутацией токов, а также методы уменьшения их влияния. Показано, что значительно больше проблем сопряжено с улучшением именно динамической линейности преобразования, обеспечивающей спектральную чистоту при синтезе высокочастотных сигналов. Ситуация осложняется тем, что некоторые из этих механизмов имеют взаимно противоположные или по крайней мере неоднозначные требования для их улучшения. Например, увеличение синхронизирующих элементов памяти и драйверов коммутаторов (рис. 1а) улучшает согласованность управляющих сигналов для токовых ячеек, однако, в то же время увеличивает пиковое токопотребление и, соответственно, помехи на паразитных индуктивностях шин питания (пункт IV.E). Подобные противоречия могут потребовать достаточно «тонкого» компромисса и многокритериальной оптимизации при синтезе устройств с заданными характеристиками при учете ограничений на энергопотребление и площадь кристалла.

При рассмотрении любого дестабилизирующего фактора необходимо четко определять, какой характер

воздействия он имеет: кодовозависимый или кодонезависимый, локальный или глобальный, случайный или детерминированный, так как в зависимости от этого возникающие искажения могут иметь линейные и/или нелинейные составляющие, находиться в рабочей полосе частот или за ней. Как неоднократно отмечалось выше, большинство механизмов возникновения ошибок ЦАП имеют кодовозависимый характер, приводящий, как правило, к нелинейным искажениям.

## ЛИТЕРАТУРА

- [1] K. Doris, A. van Roermund, D. Leenaerts. Wide-Bandwidth High Dynamic Range D/A Converters. Springer, 2006. 222 p.
- [2] A.V. den Bosch et. al. A 10-bit 1-GSample/s Nyquist Current-Steering CMOS D/A Converter // IEEE Journal of Solid-State Circuits. 2001. V. 36. № 3. P. 315–324.
- [3] M. Pelgrom et. al. Matching Properties of MOS Transistors // IEEE Journal of Solid-State Circuits. 1989. V. 24. № 5. P. 1433–1439.
- [4] P.R. Kinget. Device Mismatch and Tradeoffs in the Design of Analog Circuits // IEEE Journal of Solid-State Circuits. 2005. V. 40. № 6. P. 1212–1224.
- [5] A.V. den Bosch, M. Steyaert, W. Sansen. Static and Dynamic Performance Limitations for High Speed D/A Converters. Kluwer Academic Publisher, 2004. 218 p.
- [6] Эннс. В.И., Кобзев Ю.М. Проектирование аналоговых КМОП-микросхем. Краткий справочник разработчика. М.: Горячая линия – Телеком, 2005. 454 с.
- [7] A. Hastings. The Art of Analog Layout. Prentice Hall, Inc., Upper Saddle River. New Jersey, 2001. 539 p.
- [8] D.A. Mercer. Low Power Approaches to High Speed CMOS Current Steering DACs // IEEE 2006 Custom Integrated Circuits Conference (CICC). 2006. P. 153–160.
- [9] H. Qiuting et. al. A 200MS/s 14b 97mW DAC in 0.18µm CMOS // IEEE International Solid-State Circuits Conference. 2004. V. 1. P. 364–372.
- [10] G. Radulov, P. Quinn, H. Hegt, A.V. Roermund. Smart and Flexible Digital-to-Analog Converters. Springer, London, 2011. 324 p.
- [11] C.-H. Lin et. al. A 12 bit 2.9 GS/s DAC with IM3 < -60 dBc beyond 1 GHz in 65 nm CMOS // IEEE Journal of Solid-State Circuits. 2009. V. 44. № 12. P. 3285–3293.
- [12] K. Doris et. al. High-Speed Digital to Analog Converter issues with applications to Sigma Delta Modulators // Workshop on Advances in Analog Circuit Design. 2002.
- [13] B. Schafferer, R. Adams. A 3V CMOS 400mW 14b 1.4GS/s DAC for Multi-Carrier Applications // Solid-State Circuits Conference. 2004. V. 1.
- [14] D. Mercer. A Study of Error Sources in Current Steering Digital-to-Analog Converters // 2004 IEEE Custom Integrated Circuits Conference. May 2004.
- [15] M. Ingels, M.S.J. Steyaert. Design Strategies and Decoupling Techniques for Reducing the Effects of Electrical Interference in Mixed-Mode IC's // IEEE Journal of Solid-State Circuits. 1997. V. 32. № 7. P. 1136–1141.
- [16] M. Nagata et. al. Physical Design Guides for Substrate Noise Reduction in CMOS Digital Circuits // IEEE Journal of Solid-State Circuits. 2001. V. 36. № 3. P. 539–549.