

Использование затворной емкости МОП транзистора в качестве емкости ФНЧ и ее влияние на характеристики качества СФ-блоков СЧ ФАПЧ

В.Д. Байков¹, А.А. Гармаш¹, А.В. Дубинский²

¹Национальный исследовательский ядерный университет «МИФИ», aagarmash@mephi.ru

²ОАО НПЦ «ЭЛВИС»

Аннотация — Для отечественных технологий уровня 250..130 нм проанализированы преимущества и недостатки использования затворной емкости МОП транзистора в качестве емкости ФНЧ и ее влияние на характеристики качества СФ-блоков синтезаторов частот с механизмом фазовой автоподстройки частоты: площадь, джиттер, время выхода в рабочий режим.

Ключевые слова — КМОП, ФАПЧ, ФНЧ, СФ-блок синтезатора частот.

I. ВВЕДЕНИЕ

Важным элементом синтезаторов частот (СЧ) с механизмом фазовой автоподстройки частоты (ФАПЧ) является фильтр нижних частот (ФНЧ) 2-го порядка (рис. 1), включающий интегрирующую емкость C и демпфирующую цепь $C_d R_d$.

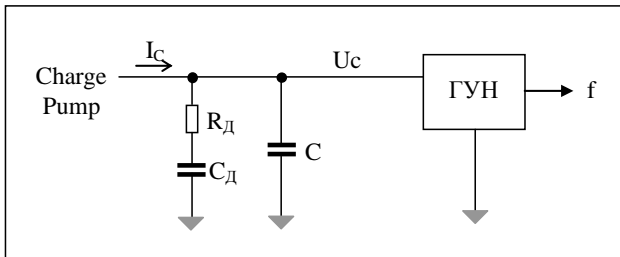


Рис. 1. Фильтр нижних частот ФАПЧ

Математическая модель ФАПЧ представляется нормированной переходной характеристикой (в операторной форме) [1]:

$$h(p) = \frac{(p C C_d R_d + C + C_d) p^2}{(p C C_d + C + C_d) p^2 + (p C_d R_d + 1) I_c K_{гун} / N}, \quad (1)$$

где:

- p – оператор ($j\omega$ - в частотной области);
- I_c – зарядно-разрядный ток;
- $K_{гун}$ - крутизна вольт-частотной характеристики ГУН;
- N – коэффициент деления частоты ГУН на входе фазочастотного детектора (ФЧД) СЧ ФАПЧ [1].

На основании (1) можно определить собственную частоту джиттера ФАПЧ (колебания при $R_d = 0$):

$$\omega_j^2 \approx \frac{K_{гун}}{N} \times \frac{I_c}{C + C_d}. \quad (2)$$

Оптимизация ФНЧ по условию

$$(C + C_d) R_d \approx \frac{2}{\omega_j}, \quad (3)$$

обеспечивает аperiодический характер $h(p)$ и быстрое установление запрограммированной частоты, что благоприятно отражается и на показателях джиттера – одной из основных характеристик качества СЧ.

Преобразованное выражение (4) представляет оптимальное значение R_d в виде:

$$R_d = 2 \sqrt{N \cdot \frac{1}{K_{гун}} \cdot \frac{1}{I_c (C + C_d)}}. \quad (4)$$

Из выражения (2) следует, что собственная частота джиттера тем меньше, чем больше значение емкости и меньше значение зарядно-разрядного тока.

II. ОГРАНИЧЕНИЕ НА ЗАРЯДНО-РАЗРЯДНЫЙ ТОК И ПЛОЩАДЬ СФ-БЛОКОВ СЧ ФАПЧ

A. Зарядно-разрядный ток

Обобщенная структурная схема зарядно-разрядного блока приведена на рис. 2.

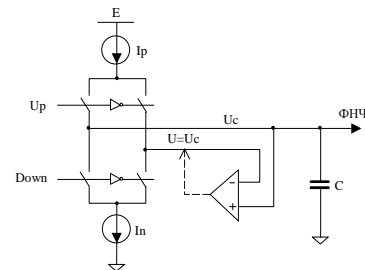


Рис. 2. Структурная схема зарядно-разрядного блока

Токи заряда I_p и разряда I_n емкости C под управлением сигналов от фазочастотного детектора коммутируются на шины U_c и U (потенциалы на которых примерно равны). Обозначим через φ задержку (+) или опережение (-) перепада сигнала f поделенного на N относительного опорного f_0 (на входах фазочастотного детектора). По определению $-T_0 < \varphi < T_0$ (T_0 – период сигнала f_0). Операция сравнения ФЧД не приводит к заметному изменению φ (требуются десятки операций). Это обстоятельство позволяет заменить последовательность импульсов тока I_C на усредненный непрерывный ток:

$$I = \frac{I_C \varphi}{T_0} \quad (5)$$

Величина тока I_C задается по условию $\omega_j \ll f_{\text{ФЧД}}$, где ω_j определяется выражением (2), а также по условиям:

$$t_{\text{уст}} = \frac{(C + C_D) \times U_{\text{с.уст}}}{I} \quad (6)$$

$$I_C \ll \frac{C + C_D}{K_{\text{гун}}/N} (2\pi \cdot f_{\text{ФЧД}})^2 \quad (7)$$

где $t_{\text{уст}}$ – время выхода в режим, задаваемое условием технического задания (рис. 3), $f_{\text{ФЧД}} = f/N$ – частота работы фазочастотного детектора, $U_{\text{с.уст}}$ – рабочее значение напряжения на шине U_c , соответствующее требуемой частоте ГУН. Для современных процессорных СЧ ФАПЧ приемлемым считается $t_{\text{уст}} < 30 \dots 50$ мкс [2].

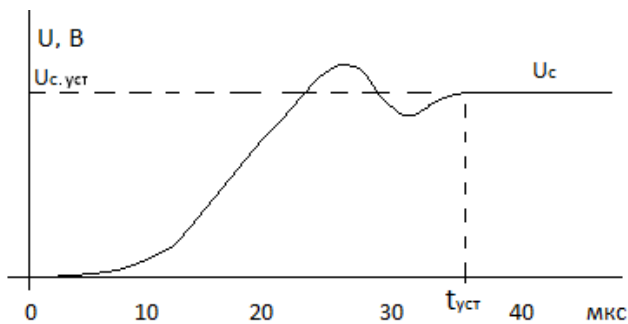


Рис. 3. Установление рабочего напряжения U_c

В. Емкость ФНЧ

Современные СФ-блоки СЧ ФАПЧ предназначены для решения задач синхронизации высокопроизводительных цифровых микропроцессорных СБИС типа «Система на кристалле» (СнК). В таких системах цепи распространения тактового сигнала строятся в виде N-дерева [3,4].

В узлах дерева располагаются СФ-блоки СЧ ФАПЧ, преобразующие общесистемный тактовый сигнал в тактовый сигнал локального вычислительного домена. Такая конструкция используется для снижения энергопотребления СнК и предполагает использование значительного числа СЧ. Это обстоятельство накладывает ограничения на занимаемую СЧ площадь

на кристалле. Топология типичного процессорного ФАПЧ представлена на рис. 4, из которого видно, что более 70 % площади занимает емкость ФНЧ.

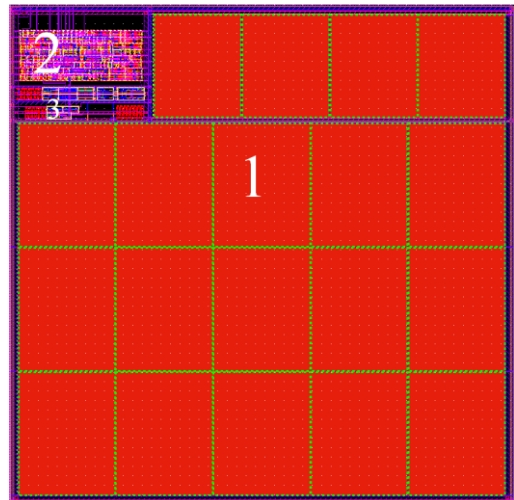


Рис. 4. Топология типичного СЧ ФАПЧ, где 1 – емкости ФНЧ, 2 – цифровая часть, 3 – аналоговая часть

Таким образом, увеличение емкости ФНЧ, необходимое, согласно формулам (2) и (3), для снижения собственной частоты джиттера, ограничено топологическими размерами СФ-блока.

В работе [5] показано, что для высокопроизводительных цифровых устройств микропроцессорного типа условиям оптимизации выражения (1) с учетом конструктивно-топологических ограничений отвечают типовые значения $C=50 \div 200$ пФ и $C_D=10 \div 40$ пФ. Соответственно, зарядно-разрядный ток I_C в схемах процессорных ФАПЧ задается в диапазоне $1 \div 10$ мкА.

III. РЕАЛИЗАЦИЯ ЕМКОСТИ НА МОП ТРАНЗИСТОРАХ

Отечественные микроэлектронные технологии позволяют реализовать емкость в нескольких вариантах. Основные и наиболее часто используемые – металлические емкости. Для отечественных технологий уровня 250...90нм их удельные значения лежат в диапазоне $1 \dots 3$ фФ/мкм² [6].

Известно, что МОП транзистор обладает значительной входной емкостью, которую можно использовать в качестве емкости ФНЧ. Однако в зарубежных разработках СЧ ФАПЧ, например [7-8], показано, что при использовании МОП емкости для технологий с нормами меньше 90 нм характерно увеличение джиттера, которое связано с высокими для данных технологий значениями токов утечек [2]. Оценок и рекомендаций для технологий уровня 250...90 нм, которые осваиваются в России, в данных работах не приводится.

А. Емкость затвора МОП транзистора

Емкость затвора МОП транзистора состоит из трех компонентов (рис. 5): $C_{зп}$, $C_{зс}$ и $C_{зи}$ [6].

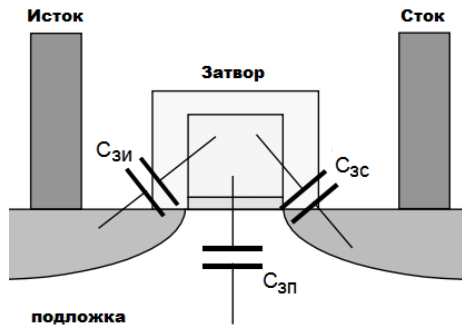


Рис. 5. Затворные емкости МОП транзистора

Все три компонента нелинейные и зависят от режима, в котором находится транзистор. В работе [7] показано, что для быстро нарастающего сигнала на затворе эквивалентная емкость затвора C_3 определяется выражением:

$$C_3 = C_0 = \frac{\epsilon_{SiO_2} \epsilon_0}{t_{ox}} A, \quad (8)$$

где A – площадь затвора, t_{ox} – толщина затворного окисла.

При медленно нарастающем напряжении, что характерно для СЧ ФАПЧ, в области, где $0 < U_{зи} < U_{пор}$, эквивалентная емкость C_3 примерно в два раза меньше, чем C_0 . Это объясняется возникновением в МОП структуре обедненного слоя [9]. В этой области C_3 определяется выражениями:

$$C_3 = \frac{C_{oc} C_0}{C_{oc} + C_0}, \quad (9)$$

$$C_{oc} = \frac{\epsilon_{SiO_2} \epsilon_0}{d} A, \quad (10)$$

где C_{oc} и d – соответственно емкость и толщина обедненного слоя.

Зависимость C_3 от напряжения $U_{зи}$ для n -канального транзистора, в котором сток и исток подключены к шине земли, приведена на рис. 6.

Подставив в выражения (9) и (10) характерные для технологий 250...90 нм значения соответствующих переменных, получим $C_3 \text{ удел} = 9...18 \text{ фФ/мкм}^2$. Полученное значение примерно в 6 раз превышает значение удельной емкости, характерное для металлических конденсаторов.

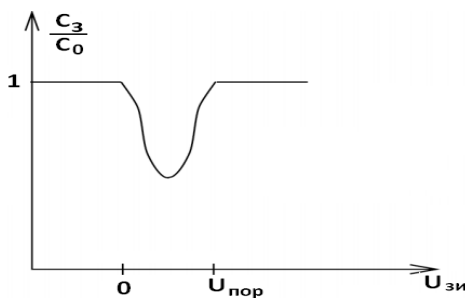


Рис. 6. Зависимость C_3 от $U_{зи}$

Таким образом, емкость на основе транзистора обладает относительно стандартной металлической емкостью следующими преимуществами (при использовании в ФНЧ ФАПЧ):

- большее удельное значение в рабочей области $U_{зи} > U_{пор}$;
- меньшее значение при $U_{зи} < U_{пор}$, что способствует уменьшению времени выхода в рабочий режим.

В. Ток утечки через затвор

Ток утечки через затвор возникает из-за прямого тунелирования электронов или дырок через потенциальный барьер между затвором и подложкой в область подложки и/или наоборот [10]. Уменьшение проектных норм сопровождается ростом тока утечки через затвор $I_{з.ут}$, значение которого имеет сложную зависимость от $U_{ох}$ (падение потенциала на диэлектрике) и $t_{ох}$ [10]. $I_{з.ут}$ также увеличивается с ростом температуры кристалла. В работе [11] показано, что ток утечки через затвор начинает влиять на характеристики МОП транзистора при достижении $t_{ох}$ значения 1...2 нм, что примерно соответствует уровню технологий 90...130 нм.

Влияние постоянного тока утечки $I_{з.ут}$ проявляется в фазовом сдвиге ψ равновесного генерируемого сигнала относительно опорного на входах ФЧД:

$$\psi = \frac{\Delta T}{T}, \quad (11)$$

где ΔT – временной сдвиг, T – опорный период ФЧД ($T = 1/f_0$).

Утечка компенсируется сигналом отрицательной обратной связи ФАПЧ – пульсирующим током I_k от зарядно-разрядного блока [1] со средним значением ψI , где I определяется выражением (5). Полагая $\psi I = I_{з.ут}$, получаем

$$\psi = \frac{I_{з.ут}}{I}. \quad (12)$$

Наличие сдвига ψ понижает точность сравнения фаз сигналов ФЧД, уменьшает эффективную длительность импульса U_p (или D_p – в зависимости от знака утечки) на величину ΔT , что сужает область захвата частоты и фазы СЧ ФАПЧ.

По определению $\psi < 1$. Современные конструкции СЧ ФАПЧ характеризуются значениями ψ , не превышающими 1% (прецизионные – доли процента) [7]. Как следует из выражения (12), для достижения высоких характеристик ФАПЧ необходимо, чтобы ток утечки транзисторной емкости соответствовал условию:

$$I_{з.ут} \ll I. \quad (13)$$

Увеличение тока I (альтернативный способ уменьшения ψ) не всегда приемлемо: по условиям работоспособности ФНЧ может потребоваться пропорциональное увеличение емкостей.

IV. ПРАКТИЧЕСКОЕ ПРИМЕНЕНИЕ ТРАНЗИСТОРНОЙ ЕМКОСТИ

По отечественным технологиям с проектными нормам уровня 130..250 нм разработано семейство процессорных синтезаторов частот с механизмом ФАПЧ, предназначенных для решения задач синхронизации высокопроизводительных цифровых устройств микропроцессорного типа, тактовая частота которых находится в диапазоне 5...800 МГц.

В качестве емкости ФНЧ в этом семействе СФ-блоков использованы транзисторные структуры. Согласно изложенной выше теории рассчитаны: $I_c = 3$ мкА, $C = 75$ пФ, $C_d = 15$ пФ, $R_d = 54$ кОм. Зарядно-разрядный ток был рассчитан из условия обеспечения ψ на уровне 1%. Моделирование транзисторных структур программой Spectre с использованием моделей транзисторов технологий 250...130 нм показало выполнение условия (13). Токи утечки оказались на два и более порядка меньше I_c .

Благодаря использованию транзисторной емкости площадь СЧ ФАПЧ была уменьшена в 4 раза. Топология СФ-блоков для технологии 130 нм приведена на рис. 7.

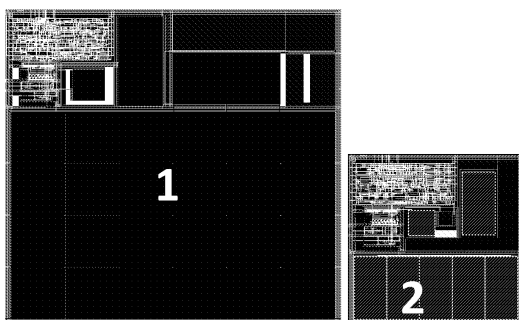


Рис. 7 Топология ФАПЧ: 1 – металлические емкости, 2 – транзисторная емкость

Диаграмма выхода в рабочий режим ФАПЧ 130 нм приведена на рис. 8. Из рисунка видно, что туст отвечает современному уровню и составляет ≈ 25 мкс.

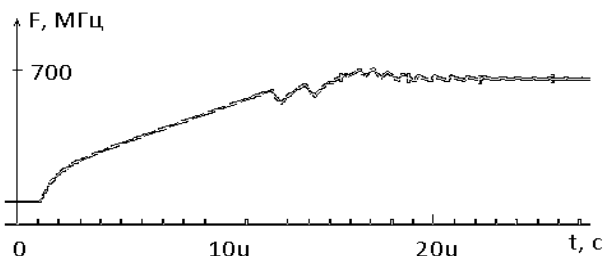


Рис. 8. Выход ФАПЧ 130 нм в режим

Экспериментальное моделирование образцов разработанных ФАПЧ показало, что ток утечки $I_{з,ут}$ не оказывает влияние на рабочие характеристики ФАПЧ, выполненных по технологии 250 нм. Для технологий уровня ниже 130 нм его влияние приводит к некото-

рому увеличению ψ , но при этом значение ψ не превышает 1..5%.

V. ЗАКЛЮЧЕНИЕ

Полученные результаты для отечественных технологий 250...130 нм позволяют сделать следующие выводы:

1) Использование в качестве емкости ФНЧ емкости затвора МОП транзисторов позволяет:

- примерно в 4 раза снизить занимаемую СФ-блоком площадь;

- более чем на 20 % уменьшить время выхода в режим.

2) Возникающий при этом ток утечки не оказывает значительного (менее 5 %) влияния на джиттер ФАПЧ.

ЛИТЕРАТУРА

- [1] Байков В.Д., Гармаш А.А., Самонов А.А., Севрюков А.Н. Проектирование СФ-блоков ФАПЧ для систем синхронизации интегральных устройств обработки информации // Всероссийская научно-техническая конференция «Проблемы разработки перспективных микроэлектронных систем – 2005». Сб. науч. тр. М.: ИППМ РАН, 2005. С. 366-372.
- [2] Calhoun В.Н., Cao Y. Digital Circuit Design Challenges and Opportunities in the Era of Nanoscale CMOS // In Proceeding of the IEEE. 2008. V. 96. № 2. URL: <http://www.ece.cmu.edu/~rutenbar/pdf/rutenbar-procieee08.pdf>
- [3] Bhumia H., Chen Y., Roy K. and Vijaykumar T. DCG: Deterministic Clock-Gating for Low-power Microprocessor Design // IEEE trans. On VLSI. 2006. V. 14. № 2. P. 245-254.
- [4] Active GHz Clock Network Using Distributed PLLs / V. Gutnik and A. P. Chandrakasan // IEEE journal of solid-state circ. 2000. V. 35. № 11. P. 1553-1560.
- [5] Cao C., Ding Y., Kenneth K. O. A 50-GHz Phase-Locked Loop in 0.13-um CMOS // IEEE Journal of Solid-State Circuits. 2007. V. 42. № 8. P. 1649-1656.
- [6] Sicard E., Dendhina S.D. Deep-submicron CMOS circuit design Simulator in hands Brook // Cloe Publishing company, Salt Lake City Utah 84109, USA 2003.
- [7] Li Li. Fully Integrated CMOS Phased-array PLL Transmitters // Cloe Publishing company, Salt Lake City Utah 84109, USA 2003.
- [8] Shih-An Yu and Peter Kinget A 0.042-mm² Fully Integrated Analog PLL with Stacked Capacitor-Inductor in 45nm CMOS // Dept. of Electrical Engineering Columbia University New York, NY 10027, USA. 2010.
- [9] URL: http://lcr.uns.edu.ar/ADCD/Documents/Lecture07_capacitance_resistance.pdf
- [10] Kaushik R., Mukhopadhyay S. Leakage Current Mechanism and leakage reduction techniques in deep-submicrometer CMOS circuits // URL: <http://cad37.cs.nthu.edu.tw/~lab/papers/01182065.pdf>
- [11] Aganwal A., Mukhopadhyay S., Kim C.H., Raychowdhury A., Roy K. Leakage power analysis and reduction: models, estimation ant tools // IEEE Proc.-Comput. Digit. Tech. 2005. V. 152. № 3. P. 235-246.