

СФ-блок контроллера массива NAND Flash-памяти

А.В. Руткевич, Е.А. Поляков, И.Ю. Сысоев

ООО «НПП «Цифровые решения», igor@dsol.ru

Аннотация – Работа посвящена проектированию и разработке высокоскоростного контроллера четырёхканального NAND Flash-памяти для промышленных и космических применений. В статье содержится информация о структуре, требуемых ресурсах и достижимой скорости работы СФ-блока. На примере разработанного устройства показана возможность применения контроллера в системах хранения данных, размещаемых в космических аппаратах.

Ключевые слова – контроллер, память, ПЛИС, СБИС, СФ-блок, NAND Flash.

I. ВВЕДЕНИЕ

В данный момент значительную часть накопителей информации, применяемых в космических аппаратах (КА), составляют устройства, основанные на SDRAM памяти [1]. Перспективным направлением развития таких устройств является развитие накопителей на NAND Flash-памяти. Тенденция к переходу на NAND Flash память имеет несколько причин.

Во-первых, использование NAND Flash-памяти даёт значительный выигрыш в массе, рассеиваемой мощности и объеме информации по сравнению с хранилищами, организованными на SDRAM памяти.

Во-вторых, в отличие от хранилищ информации, построенных на SDRAM памяти, отсутствует необходимость в питании хранилища для сохранения информации.

В-третьих, они имеют относительно высокую стойкость к дестабилизирующим факторам окружающей среды.

И наконец, использование специальных алгоритмов обработки ошибочных ситуаций позволяет значительно уменьшить объемы данных, которые могут быть утеряны из-за отказа оборудования.

В последнее время всё большую популярность приобретают задачи, связанные с получением космических снимков поверхности Земли. Возможность запуска собственных спутников становится доступной частным компаниям. В связи с этим возникает необходимость обработки и хранения больших объемов фото и видео данных. Это сказывается на требованиях, предъявляемых к блокам, обеспечивающим временное хранение данных.

Развитие и стандартизация новых интерфейсов (1Gb Ethernet, SpaceFibre, SpaceWire, SpaceWire-RT), используемых на борту космических аппаратов (КА), накладывает повышенные требования к скорости обмена информации с хранилищем данных. Кроме того, к нему предъявляются требования по надежности и стойкости к дестабилизирующим факторам космического пространства.

Одним из основных элементов, который используется в хранилищах данных на основе микросхем NAND Flash, является СФ-блок контроллера интерфейса памяти.

В данной работе описано проектирование и разработка СФ блока контроллера NAND Flash-памяти, предназначенного как для использования как в устройствах на базе ПЛИС, так и в интегральных микросхемах. Статья организована следующим образом. В разделе «Требования к контроллеру массива NAND Flash-памяти» обосновываются основные требования, предъявляемые к СФ-блокам, которые предназначены для использования в космической технике. В разделе «Архитектура СФ-блока контроллера массива NAND Flash-памяти» представлено описание архитектуры, основных составляющих частей и блоков. В разделе «Результаты синтеза» приведена информация об используемых блоках ресурсов при его реализации в СБИС по технологическому процессу 180 нм и ПЛИС фирмы Xilinx. В разделе «Тестирование и оценка производительности» приведена схема тестового окружения и результаты измерения скорости, полученные при тестировании. В разделе «Сравнение с аналогами» производится анализ быстродействия СФ-блока по сравнению с аналогичными отечественными и зарубежными разработками. В заключении будет сделан вывод относительно результатов и указаны дальнейшие направления развития.

II. ТРЕБОВАНИЯ К КОНТРОЛЛЕРУ МАССИВА NAND FLASH-ПАМЯТИ

В современных и перспективных космических аппаратах для организации обмена информацией между системами обработки и хранения информации используются последовательные интерфейсы со скоростью обмена данными не менее 1 Гб/с [1].

В силу требований, предъявляемых к оборудованию, предназначенному для использования в космических применениях [2], блок должен иметь повышенную отказоустойчивость.

Для улучшения сохранности информации блок должен использовать помехоустойчивое кодирование. Наиболее подходящими для NAND памяти являются коды BCH. Рекомендуемая помехоустойчивость не должна быть ниже 8-ми бит на 512 байт.

Блок должен быть реализуем на специализированных ПЛИС, предназначенных для использования в бортовой аппаратуре космических аппаратов, и технологическом процессе, доступном для производства на территории РФ. На данный момент самым подходящим является технологический процесс 0,18 мкм: он достаточно стоек к радиационным эффектам, производство с соответствующими технологическими нормами уже функционирует на заводе Микрон [2].

Для расширения номенклатуры используемых микросхем памяти блок должен иметь интерфейс, совместимый с большинством современных микросхем NAND Flash-памяти.

Для облегчения интеграции при проектировании систем на кристалле (System on Chip, SoC) или систем на ПЛИС (System on Programmable Chip, SoPC) блок должен иметь стандартизованный и распространённый интерфейс.

III. АРХИТЕКТУРА СФ-БЛОКА КОНТРОЛЛЕРА МАССИВА NAND FLASH-ПАМЯТИ

Авторами были выполнены требования, заданные в разделе II и был разработан СФ-блок, структура которого представлена на рисунке 1. Причём при синтезе под целевую библиотеку через параметры доступна поддержка либо страниц размером 4 кБ, либо страниц размером 8 кБ.

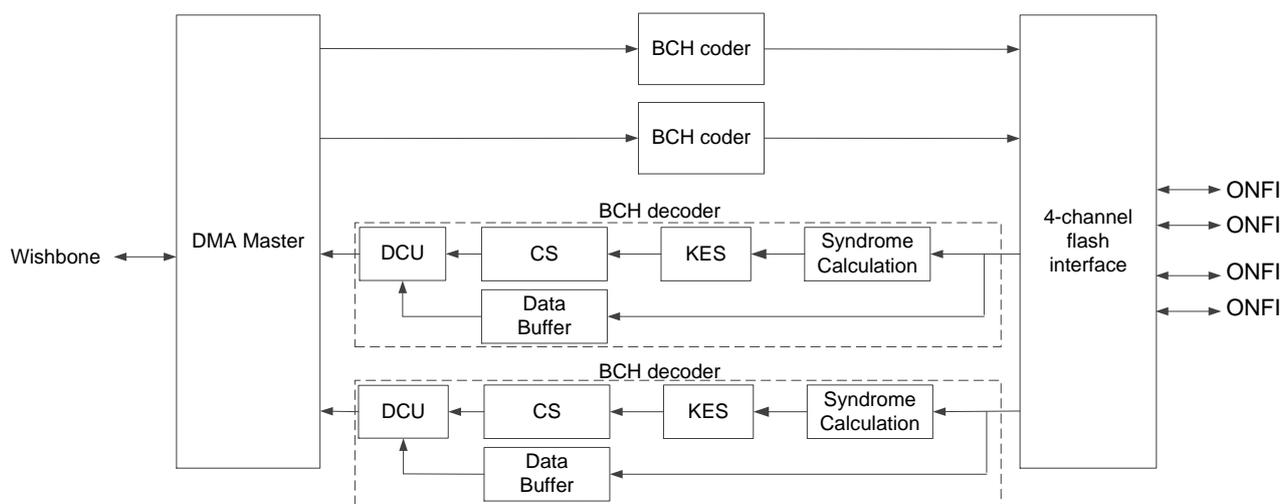


Рис. 1. Структура СФ-блока контроллера NAND Flash-памяти

Блок состоит из следующих частей:

A. DMA Master

Блок контроллера прямого доступа к памяти (Direct Memory Access, DMA) производит обработку транзакций по шине Wishbone и формирование информационных слов. Кроме того имеется возможность аппаратного заполнения служебной области (Spare Area), которая может использоваться для организации алгоритмов выравнивания износа и адресации к данным в массиве памяти. Поддерживается работа со следующими полями:

- 1) Logic Number (LN) – логический номер блока;
- 2) Logic Age (LA) – логический возраст блока;
- 3) Physical Age (PA) – физический возраст блока;
- 4) Flags (F) – поле, используемое для задания состояния блока (например, 0xFF – блок готов к работе; 0xB0 – блок испорчен; 0xF0 – блок в резерве; 0xFC – страница записана);
- 5) Unused (U) – неиспользуемая область без данных.

Для улучшения надежности хранения информации в служебной области используется троирование.

Блок имеет интерфейс Wishbone [3] для передачи данных и шину, совместимую с ядром RISC микропроцессора.

Шина Wishbone — параллельная компьютерная шина для объединения модулей в системе на кристалле. Шина описана в открытой спецификации. В системе, основанной на шине Wishbone, допускается присутствие нескольких ведущих устройств, а также различные топологии соединения модулей.

В качестве интерфейса для подключения к микросхемам NAND Flash-памяти используется асинхронный интерфейс, совместимый со спецификацией Open NAND Flash Interface [4], что позволяет добиться поддержки большой номенклатуры микросхем и модулей памяти таких производителей как SK Hynix, Intel, Micron, Samsung, Toshiba, и 3D Plus.

B. BCH coder

Блоки кодера БЧХ производит кодирование и добавление избыточности к информационным словам, поступающим из блока контроллера DMA. Используемые в текущей реализации блока коды БЧХ позволяют исправлять до 8-ми битовых ошибок на 512 байт данных для страниц размером 4 кБ и до 12-ти битовых ошибок на 512 байт для страниц размером 8 кБ.

C. BCH decoder

К блокам, составляющим БЧХ-декодер [5], относятся блок вычисления синдромов ошибок (Syndrome Calculation), блок вычисления корней ключевого уравнения (Key Equation Solver, KES), блок вычисления локаторов ошибок по алгоритму Чейня (Chien Search, CS) [6], буфер данных и блок коррекции данных (Data Correction Unit, DCU) [3].

Буфер данных имеет объём 512 байтов и организацию «первым пришел – первым ушел» (First In First Out, FIFO). Он предназначен для хранения информационного слова на время, необходимое для обнаружения ошибок и расчета корректирующих векторов.

Блок коррекции данных (DCU) производит управление процессом исправления ошибок. После получения из блока расчета синдрома информации об отсутствии ошибок или информации об ошибках из блока CS, он производит исправление обнаруженных ошибок и передачу информационных слов в блок контроллера DMA.

D. 4-channel flash interface

Блок контроллера интерфейса NAND Flash-памяти обеспечивает доступ к массиву микросхем. Блок имеет четыре независимых двунаправленных интерфейса ONFI и способен работать с 16-ю логическими блоками (Logic Unit, LUN).

СФ-блок имеет аппаратную поддержку основных команд, которые используют микросхемы NAND Flash-памяти: сброс микросхемы, получение статуса микросхемы, форматирование блока, чтение страницы и запись страницы.

На случай отказа одной или нескольких микросхем NAND Flash-памяти для улучшения отказоустойчивости блок поддерживает одноканальный, двухканальный и четырехканальный режимы работы. Также предусмотрена возможность проводить единичные обращения к микросхемам NAND Flash-памяти с помощью управляющего устройства через регистры управления блока. В одноканальном и двухканальном режиме работы запись данных происходит в заданную одну или две микросхемы NAND Flash-памяти. При этом размер логической страницы (минимального адресуемого объема памяти) равен 8 кБ и 16 кБ для каждого из режимов. Данные для каждой из микросхем кодируются независимо. В четырехканальном режиме кодирование данных производится отдельно для каждой пары микросхем памяти.

Информация о размере логической страницы размером 32 кБ и используемых полях для четырехканального режима и представлена в таблице 1.

Таблица 1

Использование пространства в логической странице

Назначение	Объём поля, байты
Полезные данные	32768
Избыточность	1280
Поля, используемые для адресации и выравнивания износа	88
Резерв	424
Размер логической страницы (для 4-х канального режима)	34560

IV. РЕЗУЛЬТАТЫ СИНТЕЗА

В рамках работы был произведён синтез и оценка основных характеристик СФ-блока для различных реализаций. Контроллер был реализован на ПЛИС фирмы Xilinx (Xilinx Virtex 4 и Xilinx Kintex 7) и библиотеке 180 нм.

A. Xilinx Virtex 4 QR

Одной из целевых платформ использования СФ-блока являются радиационно-стойкие ПЛИС. В качестве примера в

таблице приведены основные характеристики при реализации блока в ПЛИС Xilinx Virtex 4 (XQR4VVSX55-10CF1140) [7], предназначенной для космических применений. Контроллер был синтезирован для использования с микросхемами, имеющими размер страницы 4 кБ. Результаты синтеза показаны в таблице 2. Максимальная частота тактирования блока – 107 МГц, что является достаточным для достижения максимальной скорости обмена с микросхемами NAND Flash-памяти.

Таблица 2

Использование ресурсов при реализации блока в ПЛИС Xilinx Virtex 4 (XQR4VVSX55-10CF1140)

Тип элементов	Использовано, шт. (%)
Триггеры Flip Flops	7,437 (15%)
Таблицы истинности с четырьмя входами (LUT-4)	38,142 (77%)
Элементарные логические блоки (Slices)	21,030 (85%)

B. Xilinx Kintex 7

Интересной является оценка ресурсоёмкости СФ-блока в режиме работы с микросхемами, имеющими размер страницы 8 кБ. В таблице 3 приведена оценка по занимаемым ресурсам при реализации СФ-блока в ПЛИС Xilinx Kintex 7 (XC7K325t-3ffg900) [8]. Максимальная частота тактирования блока является 159 МГц, что является достаточным для достижения максимальной скорости обмена с микросхемами NAND Flash-памяти, имеющими размер страницы 8 кБ.

Таблица 3

Использование ресурсов при реализации блока в ПЛИС Xilinx Kintex 7 (XC7K325t-3ffg900)

Тип элементов	Использовано, шт. (%)
Триггеры (Flip Flops)	7,4 (1%)
Таблицы истинности с шестью входами (LUT-6)	26,3 (12%)
Элементарные логические блоки (Slices)	9,1 (17%)

C. Технология 180 нм

Также был произведен синтез блоков под библиотеку технологии 180 нм. Размер страницы – 8 кБ. Результаты скорости чтения и записи показаны в таблице 4. Результаты синтеза представлены в таблице 5.

Таблица 4

Скорость чтения и записи, полученная в результате испытаний на стенде

Кол-во страниц	Скор. чтения, Мбит/с	Скор. записи, Мбит/с
128	1346	1364
1024	1385	1429
16384	1398	1435

Временные характеристики полученного блока при реализации на библиотеке 0,18 мкм

Название блока	«Худший» путь, нс	Максимальная рабочая частота, МГц	Площадь, кв. мм
БЧХ кодер	1,75	571	0,20
БЧХ декодер (Syndrome Calculation + KES + Chien Search)	3,61	277	4,30
Блок контроллера DMA	3,08	324	1,19
Блок интерфейсов NAND Flash-памяти	2,13	469	0,41

V. ТЕСТИРОВАНИЕ И ОЦЕНКА ПРОИЗВОДИТЕЛЬНОСТИ

Макетирование и отладка СФ-блока производилась на стенде, в основе которого лежит высокопроизводительный цифровой модуль с интерфейсом PCIe x4, оснащенный ПЛИС Xilinx Kintex-7 (XC7K325T-3FFG900).

В качестве массива памяти в макете использовались 8 микросхем NAND SLC [12] памяти компании Micron MT29F128G08CFAAWP ёмкостью 128 Гб каждая [9].

Максимальные значения скорости записи и чтения указаны в таблице 4. Структура проекта, который использовался для отладки и макетирования, показана на рисунке 2.

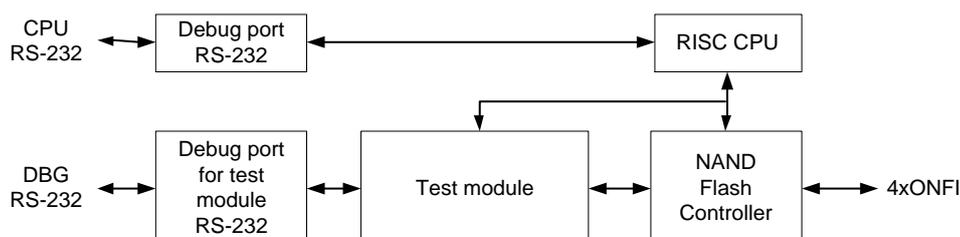


Рис. 2. Архитектура тестового окружения для СФ-блока контроллера NAND Flash-памяти

V. Тестовый модуль

Тестовый блок представляет собой независимый СФ-блок, реализующий логику передачи запросов в контроллер массива NAND Flash-памяти приёма ответов. В результате модуль позволяет производить запись и чтение произвольного количества страниц памяти. При записи страницы заполняются тестовой псевдослучайной последовательностью. При чтении данные, принятые из массива NAND Flash-памяти, сверяются с эталонной последовательностью, подсчитывается количество страниц с ошибками. Тестовый модуль управляется по интерфейсу RS-232.

Зависимость средней скорости записи и чтения от количества записываемых страниц указаны в таблице 5.

VI. СРАВНЕНИЕ С АНАЛОГАМИ

Из-за того, что информацию по радиационно-стойкой элементной базе для космических применений получить сложно, то в качестве аналогов будем рассматривать контроллеры для микросхем NAND Flash-памяти типа SLC. Поскольку для космических применений потребление и теп-

Для отладки и оценки скоростных характеристик СФ-блока использовался специально разработанный блок тестового модуля.

A. Ядро RISC микропроцессора

В состав тестового окружения включено микропроцессорное 8-битное ядро архитектуры RISC. Оно используется для управления контроллером NAND Flash-памяти, а также для реализации алгоритмов выравнивания износа (wear leveling) и вывода через последовательный порт диагностической информации.

ловыделение является одним из важнейших вопросов, то предпочтение, как правило, отдаётся, асинхронным интерфейсам.

A. Отечественные СФ-блоки

На отечественном рынке доступен только один вариант СФ-блока контроллера NAND Flash-памяти. Данный СФ-блок предоставляет компания ЗАО НТЦ «Модуль» [13]. В таблице 6 показано сравнение характеристик рассматриваемого блока (ЦР) и СФ-блока от компании ЗАО НТЦ «Модуль» (Модуль).

К сожалению, отсутствует информация о корректирующей способности СФ-блока от ЗАО НТЦ «Модуль», ресурсоёмкости и примерах реализации блока в реальных проектах.

В режиме работы с 4 килобайтными страницами разработанный блок (ЦР) использует БЧХ коды, позволяющие исправлять до 8-ми бит в блоках по 512 байт. В режиме работы с 8-ми килобайтными страницами блок использует БЧХ коды, позволяющие исправлять до 12-ти битовых ошибок в

блоке 512 байт. Скорость, указанная в таблице 5, ограничена пропускной способностью асинхронного NAND Flash интерфейса. При оценке скорости обмена использовались либо известные измеренные значения, либо расчётное значение, равное 85% от номинальной скорости шины.

Таким образом, СФ-блоки, разработанные в ООО «НПП «Цифровые решения» за счёт многоканальных режимом позволяют достичь большей полезной скорости обмена, по сравнению с имеющимися отечественными аналогами.

В. Зарубежные СФ-блоки

Зарубежный рынок по сравнению с отечественным рынком предоставляет более широкий диапазон СФ-блоков кон-

троллеров NAND Flash-памяти. В частности, такие СФ-блоки предоставляют компании Aizuc Technology (Индия) [14], Arasan (США) [15], Cadence (США) [16], iWave (Япония) [17], Micron (США) [18], S2C (США) [19] и SoftJin (Индия) [20]. Сравнение с зарубежными аналогами представлено в таблице 7. Так как чаще всего используется шина разрядностью 8 бит, то для всех контроллеров будем рассматривать именно этот режим. Из таблицы 7 видно, что разработанный СФ-блок контроллера NAND Flash интерфейса находится на уровне мировых разработок и позволяет достичь максимального быстродействия при записи и чтении из микросхем памяти.

Таблица 6

Сравнение СФ-блока с отечественными аналогами

Разработчик	Количество каналов, шт.	Макс. скорость канала, МБ/с	Интерфейс к системной шине	Скорость обмена, МБ/с
ЦР (4 кБ)	1/2/4	40	32-битный Wishbone	34/68/136
ЦР (8 кБ)	4	50	32-битный Wishbone	170
Модуль	1	40	32-битный AMBA AXI	34

Таблица 7

Сравнение СФ-блока с зарубежными аналогами

Разработчик	Кол-во каналов, шт.	Количество сигналов CS (Chip Select) в канале, шт.	Макс. скорость канала, МБ/сек	Макс. размер страницы, кБ	Интерфейс к системной шине	Макс. скорость обмена данными, МБ/с
ЦР (4 килобайта)	1/2/4	4	40	4	32-битный Wishbone	136,0
ЦР (8 килобайт)	4	4	50	8	32-битный Wishbone	170,0
Aizuc	1	1	50	16	APB, OCP, AXI	42,5
Arasan	1	4	50	16	32-битная AHB	42,5
Cadence	1	1	50	16	32-битная AHB, AXI	42,5
iWave	1	1	40	2	шина памяти	34,0
Micron	1	1	16	2	шина памяти	13,6
S2C	Настр.	Настр.	50	32	AHB, OPB/PLB, Avalon, FlexBus	170,0

VII. ЗАКЛЮЧЕНИЕ

Авторами был разработан СФ-блок контроллера массива NAND Flash-памяти, совместимый с широкой номенклатурой современных микросхем NAND Flash-памяти. В блоке реализованы варианты работы со страницами размером 4 кБ и 8 кБ. Корректирующая способность встроенного кодера БЧХ позволяет исправлять до 8-ми ошибок на 512 байт в режиме для страниц размером 4 кБ и до 12-ти ошибок на 512 байт в режиме для страниц размером 8 кБ. Скорость об-

мена информацией с массивом NAND Flash-памяти достигает 170 МБ/с.

На основе этого СФ-блока было разработано семейство устройств накопителей информации с интерфейсом PCI-33 на базе ПЛИС ProASIC3 A3PE3000L и RTAX RTAX2000SL компании Actel. Устройства построены на базе микросхем NAND Flash-памяти Samsung K9F8G08X0M [10] и модулей 3D Plus 3DFN32G08VS4304 [11], имеющие размер страницы 4 кБ.

Полученные результаты позволяют с уверенностью говорить, что разработанный СФ-блок контроллера NAND Flash-памяти универсален и подходит для построения на основе него твердотельных накопителей информации большой ёмкости с современными высокоскоростными интерфейсами, такими как TLK2711-SP, SpaceWire, SpaceFibre, Gigabit Ethernet и PCI.

ЛИТЕРАТУРА

- [1] Staehle M. Current and Future Mass Memory Products // ESA Workshop on Avionics Data, Control and Software Systems (ADCSS). 2012.
- [2] Стешенко В.Б. Мероприятия по обеспечению ракетно-космической техники требуемой номенклатурой ЭКБ // XII Научно-практический семинар «Проблемы создания специализированных радиационно-стойких СБИС на основе гетероструктур». НИИИС. 2012.
- [3] WISHBONE System-on-Chip (SoC) Interconnection Architecture for Portable IP Cores // WISHBONE Specification. 2010. Rev. В. 4.
URL: www.onfi.org (дата обращения: 03.03.2014).
- [5] Ionescu L.M., Anton C., Tutănescu I., Mazăre A. and Şerban G. Hardware Implementation of BCH Error-Correcting Codes on a FPGA. 2010. V. 1 I.3.
- [6] Chien R.T. Cyclic decoding procedure for Bose Chaudhuri Hocquenghem Codes // IEEE Trans. on Information Theory. 1964. V. 34. P. 357-363.
- [7] Xilinx DS653 Space-Grade Virtex-4QV Family Overview // Product Specification. 2010. Rev. 2.0.
- [8] Xilinx DS180 7 Series FPGAs Overview // Product Specification. 2014. Rev. 1.15.
- [9] Micron NAND Flash Memory 32Gb, 64Gb, 128Gb, 256Gb Asynchronous / Synchronous NAND Features. 2010.
- [10] Samsung 4Gb D-die NAND Flash Single-Level-Cell (1bit/cell). 2010.
- [11] 3D Plus Memory module Flash NAND 4Gx8 datasheet. 2009.
- [12] Micheloni R., Crippa L and Marelli A. Inside NAND Flash Memories. Springer. 2010. 573 p.
- [13] СФ-блок контроллера NAND флэш памяти [ЗАО НТЦ «Модуль»]. URL: http://www.module.ru/catalog/micro/sfblok_kontrollera_nand_flesh_pamyati/ (дата обращения: 29.05.2014).
- [14] Aizyc NAND Flash Controller IP [Aizyc Technology]. URL: <http://www.aizyc.com/soc-ip-cores/sd/sdio/nfc.html> (дата обращения 29.05.2014).
- [15] ONFI 2.3 NAND Flash Controller IP [Arasan] URL: <http://arasan.com/products/nand-flash/onfi2-3/> (дата обращения 29.05.2014).
- [16] Cadance Cadence Design IP: NAND Flash Controller 2011. 2 p.
- [17] iW-Nand Flash Controller [iWave] URL: <http://www.iwavesystems.com/downloads/products/fpga-ip-cores/storage-cores/nand-flash-controller/iW-nand-flash-controller-brochure-R1.0.pdf> (дата обращения 29.05.2014).
- [18] Micron TN-29-06: NAND Flash Controller on Spartan-3 Overview 2007. 21 p.
- [19] NAND Flash Controller IP Core [S2C] URL: <http://www.s2cinc.com/product/pd.asp?id=217> (дата обращения 29.05.2014).
- [20] Data sheet for NAND FLASH Controller [SoftJin]. URL: http://www.softjin.com/IP_Datasheet_PDF_version/Nand%20FlashController_datasheet.pdf (дата обращения 29.05.2014).