

# Триггеры и драйверы быстродействующих КМОП ЦАП с коммутацией токов

Г.А. Свизев

ИТА ЮФУ, МНТЦ «МикАн», grits1989@mail.ru

**Аннотация** — Сформулированы общие требования к триггерам и драйверам ядра ЦАП с коммутацией токов. Рассмотрены основные схемы реализации этих узлов и проведено их качественное сравнение. Для статической КМОП-логики предложена новая модификация драйвера, имеющая ряд преимуществ по сравнению с рассмотренными схемами. Представлены результаты сравнительного моделирования. Сделаны выводы.

**Ключевые слова** — триггер, драйвер, ЦАП, коммутация токов, КМОП, динамическая линейность преобразования, *SFDR*, рассогласование, *mismatch*, *корнер-девиации*, *corner*.

## I. ВВЕДЕНИЕ

Большинство приложений (например, РЭА систем телекоммуникаций) быстродействующих ЦАП с коммутацией токов работает с сигналами в частотной области, поэтому кроме заданной разрядности и частоты выборки ( $f_s$ ) такие ЦАП должны обеспечивать необходимую спектральную «чистоту» и, соответственно, динамическую линейность преобразования даже при модуляции высокочастотных сигналов (вплоть до частоты Найквиста), что является одной из наиболее сложных задач при разработке ЦАП этого класса. Возможность получения требуемых спектральных показателей (в первую очередь *SFDR*) во многом зависит от триггеров и драйверов токовых ячеек ЦАП с коммутацией токов.

В статье рассмотрены основные варианты реализации этих узлов, а также предложена модификация драйвера, позволяющая упростить схему и уменьшить потребляемую мощность за счёт исключения некоторых цепей смещения, повысить максимальную частоту выборки ЦАП и улучшить характеристики сигналов

управления токовых коммутаторов.

## II. ОБОБЩЁННЫЕ ТРЕБОВАНИЯ К ТРИГГЕРАМ И ДРАЙВЕРАМ ТОКОВЫХ ЯЧЕЕК ЦАП

Базовыми структурными элементами ЦАП с коммутацией токов являются токовые ячейки, составляющие разряды ЦАП. Типовые примеры реализации токовых ячеек на  $n$ - и  $p$ -МОП транзисторах представлены на рис. 1. Здесь транзистор  $MN1$  ( $MP1$ ) взвешивает ток с необходимой точностью,  $MN2$  ( $MP2$ ) осуществляет высокочастотную развязку для обеспечения высокого выходного импеданса каскодного источника тока  $MN1$ – $MN2$  ( $MP1$ – $MP2$ ), а  $MN3$  и  $MN4$  ( $MP3$  и  $MP4$ ) в соответствии с текущим логическим значением разряда переключают ток между ветвями дифференциальной нагрузки ( $R_L$ ), создавая на ней падение выходного дифференциального напряжения ( $V_{out}$ ). Управление коммутаторами  $M3$ ,  $M4$  осуществляется с помощью триггера и драйвера. Для выработки критериев качества этого управления рассмотрим обобщённые требования к переходным процессам в токовой ячейке и вытекающие из них требования к сигналам на выходах драйвера  $OUT$  и  $OUTb$ .

Для получения требуемых динамических параметров ЦАП ( $f_s$ , *SFDR*, время установления и др.) необходимо выполнение следующих условий: источник тока  $MN1$ – $MN2$  ( $MP1$ – $MP2$ ) должен обеспечить достаточно высокий выходной импеданс; переключение коммутаторов  $MN3$ ,  $MN4$  ( $MP3$ ,  $MP4$ ) во всех разрядах должно быть синхронизировано; при этом переходные процессы в токовых ячейках должны быть согласованы по форме и достаточно быстро устанавливаться. Кроме того, для уменьшения влияния рассогласования (*mismatch*) и некоторых других негативных эффектов (подробнее в [1]), возникающих в токовой ячейке и

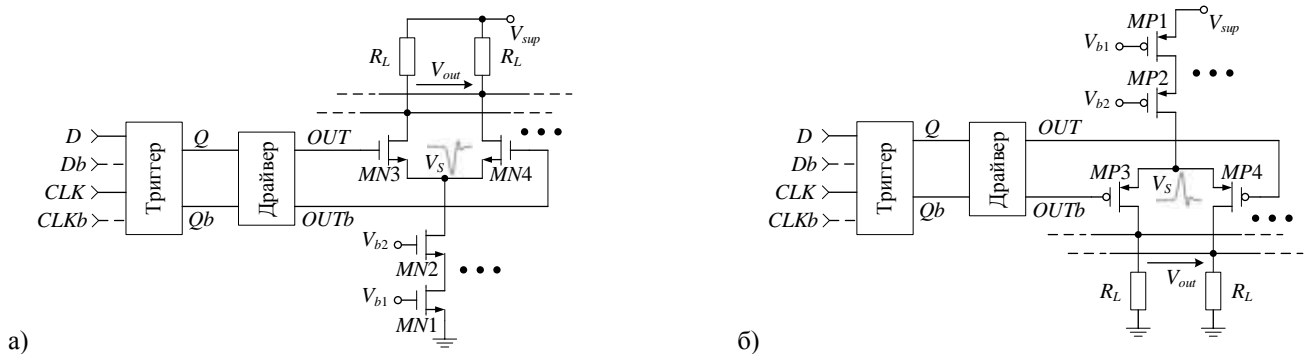
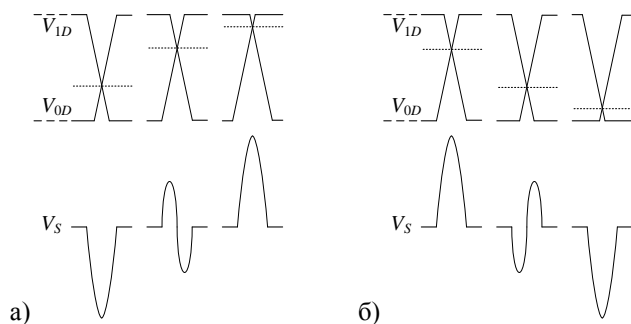


Рис. 1. Взаимодействие токовой ячейки на  $n$ -МОП а) и  $p$ -МОП б) транзисторах с триггером и драйвером

приводящих к динамическим ошибкам ЦАП, коммутация токов должна происходить как можно быстрее. Размах  $\Delta V_{1-0D} = V_{1D} - V_{0D}$  между напряжениями  $V_{1D}$  и  $V_{0D}$  логической единицы ('1') и нуля ('0') управляющих сигналов драйвера на затворах  $MN3$ ,  $MN4$  ( $MP3$ ,  $MP4$ ) должен быть достаточно большим для уверенного закрывания выключенного коммутатора, однако, в то же время увеличение  $\Delta V_{1-0D}$  ведёт к усилению негативного эффекта «просачивания зарядов» [1] через паразитные ёмкости коммутаторов затвор-сток и затвор-исток, а также к некоторому увеличению динамического тока потребления и соответствующих помех на паразитных индуктивностях шин питания и земли из-за заряда указанных емкостей до больших напряжений.

В зависимости от характеристик (размаха, формы, пересечения фронтов, времени переключения) выходных сигналов драйвера, а также из-за нелинейности характеристик транзисторов при переключении разрядов возникают нежелательные возмущения напряжения  $V_S$  в истоках коммутаторов (эффект асимметричной коммутации в [1]). Особенно нежелательна ситуация, когда при значительном уменьшении  $V_S$  транзисторы каскодного источника тока уходят из режима насыщения, что качественно уменьшает его выходной импеданс и ухудшает переходный процесс коммутации тока. Уменьшение влияния описанного эффекта достигается главным образом за счёт настройки пересечения фронтов управляющих сигналов (рис. 2), которое в случае реализации токовой ячейки на  $n$ -МОП транзисторах должно быть достаточно «высоко», а в случае  $p$ -МОП – достаточно «низко». Это приводит к тому, что сначала приоткрывается выключенный коммутатор и только потом начинает закрываться включенный. Оптимальным (согласно [2]) считается пересечение, при котором возмущения  $V_S$  симметричны относительно установившегося значения (как показано в центре на рис. 2а и б).

Таким образом, функцией триггеров является строгая синхронизация переключения разрядов, а функцией драйверов – придание управляющим сигналам на выходах  $OUT$  и  $OUTb$  (рис. 1) желаемых характеристик: достаточного (но желательно не слишком большого) размаха напряжений  $\Delta V_{1-0D}$ , высокой скорости нарастания фронтов (выходных напряжений) и их благоприятного пересечения.



**Рис. 2.** Влияние пересечения фронтов управляющих сигналов на возмущения напряжения  $V_S$  в токовых ячейках на  $n$ МОП- а) и  $p$ МОП- б) транзисторах

### III. ОСНОВНЫЕ СХЕМЫ РЕАЛИЗАЦИИ ДРАЙВЕРОВ

В ядре ЦАП с коммутацией токов триггеры и драйверы рассматриваются как цифровые элементы с «аналоговыми» требованиями к их сигналам и могут быть выполнены на разных типах логики. В рамках КМОП-реализаций ЦАП это истоково-связанная (ИСЛ) или статическая КМОП-логика. Обзор открытой литературы показывает, что в большинстве современных ЦАП с коммутацией токов используется КМОП-логика. В контексте рассматриваемой задачи её основными преимуществами по сравнению с ИСЛ являются:

- отсутствие (не считая паразитных токов утечки) статического потребления мощности;
  - отсутствие цепей задания режима работы;
  - простота реализации;
  - наибольшая [3] скорость нарастания фронтов;
- в то время как основными преимуществами ИСЛ над КМОП-логикой являются:
- потенциально более высокое быстродействие;
  - примерно на 2 порядка меньшие помехи на шинах питания при коммутации;
  - небольшой размах сигналов.

Рассмотрим основные схемы реализации триггеров и драйверов разрядов ЦАП с коммутацией токов.

#### A. Истоково-связанная логика

Стандартная схема ИСЛ-триггера представлена на рис. 3а. В режиме выборки ( $CLK = '1'$ ,  $CLKb = '0'$ ) ток стока  $I_{D7}$  транзистора  $MN7$  течёт через  $MN5$  и, в соответствии с входными сигналами  $D$ ,  $Db$ , через один из транзисторов пары выборки  $MN1$ ,  $MN2$ , создавая на ветвях дифференциальной нагрузки  $R_{LT}$  выходные сигналы  $Q$  и  $Qb$ . В режиме хранения ( $CLK = '0'$ ,  $CLKb = '1'$ )  $I_{D7}$  течёт через  $MN6$  и, в соответствии с установленным логическим значением, через один из транзисторов пары хранения  $MN3$ ,  $MN4$ , осуществляющей запоминание логического состояния за счёт регенеративной обратной связи. Выходное напряжение логической единицы такого триггера совпадает с напряжением питания ( $V_{1T} = V_{supT}$ ), а логического нуля –  $V_{0T} = V_{supT} - I_{D7}R_{LT}$ . При этом размах  $\Delta V_{1-0T} = V_{1T} - V_{0T} = I_{D7}R_{LT}$  может быть настроен с помощью изменения  $I_{D7}$  и/или  $R_{LT}$ , а пересечение фронтов находится посередине между уровнями логической единицы и нуля ( $(V_{supT} - I_{D7}R_{LT}) / 2$ ).

Для увеличения скоростей нарастания фронтов и сглаживания возмущений на выходах триггера от переключения между режимами записи и хранения используется драйвер, реализуемый, как правило, в виде стандартного ИСЛ-буфера (рис. 3б). Напряжения его логических уровней и пересечение фронтов определяются значениями  $I_{D10}$  и  $R_{LD}$  аналогично параметрам ИСЛ-триггера.

Описанные триггер и драйвер применяются, например, в [1].

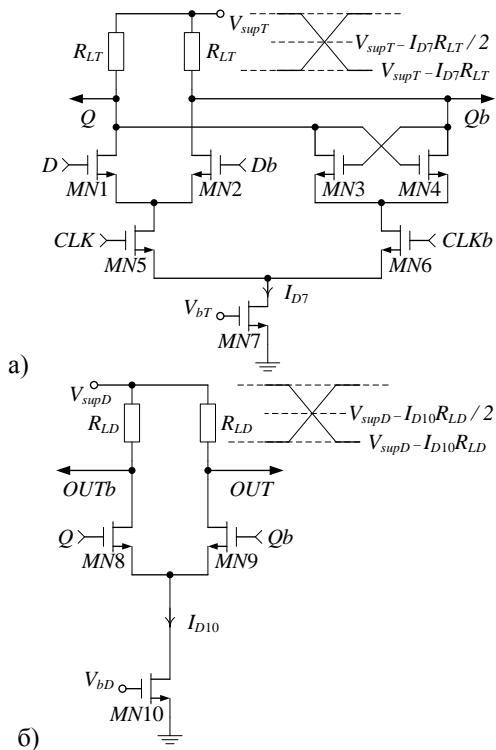


Рис. 3. Стандартная схема ИСЛ триггера а) и буфера б)

Использование схем рис. 3 сопряжено со следующими проблемами.

Номинальные значения токов  $I_{D7}$ ,  $I_{D10}$  и, соответственно,  $\Delta V_{1-0T}$  и  $\Delta V_{1-0D}$  задаются с помощью напряжений  $V_{bT}$ ,  $V_{bD}$ . Однако из-за технологических corner-девиаций, а также при изменении температуры  $I_{D7}$ ,  $I_{D10}$  и  $R_{LT}$ ,  $R_{LD}$  могут значительно изменяться, что приводит к соответствующим изменениям  $\Delta V_{1-0T}$  и  $\Delta V_{1-0D}$ . Поэтому, по крайней мере, для драйвера размаха  $\Delta V_{1-0D}$  должен задаваться с достаточно большим запасом. Однако, как видно из рис. 3б, при этом напряжения сток-исток ( $V_{DS}$ ) транзисторов  $MN8$  и  $MN9$  в открытом состоянии уменьшаются вслед за увеличением  $\Delta V_{1-0D}$  ( $V_{DS(9)} = V_{GS(9)} - V_{1-0D}$ , где  $V_{GS}$  – напряжение затвор-исток). Если при этом  $\Delta V_{1-0D}$  превысит пороговое напряжение транзисторов  $MN8$ ,  $MN9$  ( $\Delta V_{1-0D} > V_{th(9)}$ ), то  $MN8$ ,  $MN9$  перейдут из режима насыщения в режим линейного сопротивления, что будет уменьшать быстродействие драйвера [4].

Задания  $\Delta V_{1-0D}$  с большим запасом можно избежать, если требуемое значение  $\Delta V_{1-0D}$  обеспечивается с помощью схемы настройки  $V_{bD}$ , отслеживающей изменение напряжения логического нуля  $V_{0D}$  на «опорном» драйвере, например, как на рис. 4. Здесь при указанном подключении входов (затворы  $MN8$ ,  $MN9$ ) «опорного» драйвера на его правом выходе (сток  $MN9$ ) фиксируется состояние логического нуля, а действие контура отрицательной обратной связи приводит к тому, что напряжение логического нуля  $V_{0D}$  на неинвертирующем входе операционного усилителя  $OA1$  повторяет заданное напряжение  $V_{0D}^*$  на инвертирующем входе  $OA1$  за счёт подстройки общего для всех триггеров напряжения  $V_{bD}$  на выходе  $OA1$ .

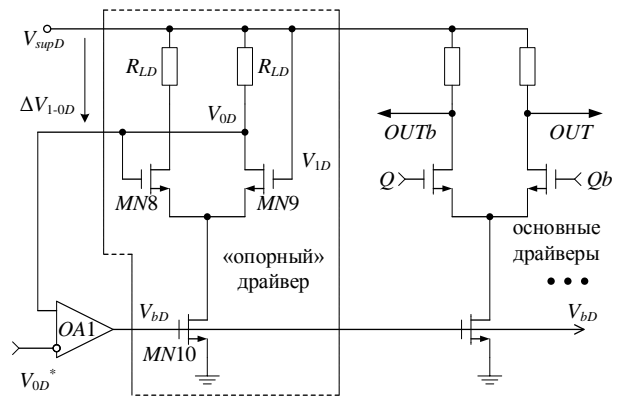


Рис. 4. Схема настройки  $V_{bD}$  для обеспечения требуемого размаха  $\Delta V_{1-0D}$  между напряжениями логических уровней ИСЛ-драйвера

Схожая схема настройки  $V_{bT}$  может использоваться для задания и стабилизации  $\Delta V_{1-0T}$  ИСЛ-триггеров.

Тем не менее, даже при использовании схемы настройки режимов работы следует обеспечить запас номинального значения  $\Delta V_{1-0D}$ , соответствующий расхождению  $\Delta V_{1-0D}$ , возникающему вследствие рассогласования схемных элементов в «опорном» драйвере и основных драйверах разрядов. Отметим, что рассогласование  $\Delta V_{1-0D}$  также приводит к нарушению синхронизации переключения разрядов и, соответственно, ухудшает динамическую линейность преобразования, поэтому его значение должно быть не более допустимого в рамках конкретных требований к ЦАП.

При достаточном, но не слишком большом  $\Delta V_{1-0D}$ , управляющие фронты ИСЛ-драйвера имеют приемлемое, но всегда неоптимальное пересечение, которое не может быть подстроено без уменьшения  $\Delta V_{1-0D}$ .

### В. Статическая КМОП-логика

Наиболее используемый (например, в [3], [5], [6], [7]) в ядре ЦАП триггер представлен на рис. 5. Здесь последовательно включенные инверторы  $Inv1$  и  $Inv2$ , реализованные на транзисторах  $MN1$ ,  $MP1$  и  $MN2$ ,  $MP2$ , соответственно, образуют элемент памяти за счёт регенеративной обратной связи, а пара выборки  $MN3$ ,  $MN4$  находится в высокоимпедансном состоянии в режиме хранения ( $CLK = '0'$ ) и устанавливает новое логическое состояние в режиме записи ( $CLK = '1'$ ). Запись осуществляется за счёт «подтягивания вниз» ( $pull-down$ ) одного из выходов триггера ( $Q$  или  $Qb$ ) через открытый проходной ключ  $MN3$  или  $MN4$  ко входу ( $D$  или  $Db$ ), на котором в данный момент состояние '0'. Отметим, что регенеративная обратная связь перестаёт препятствовать и начинает способствовать смене логического состояния только после уменьшения напряжения на подтягиваемом выходе ниже точки метастабильности, что обеспечивается при достаточно низком эквивалентном сопротивлении стоящих последовательно проходного ключа и источника входного сигнала ( $D$  и  $Db$ ) в состоянии '0'. «Подтяжка вверх» ( $pull-up$ ) второго выхода триггера к '1' не является необходимым условием для переключения, она значительно слабее (так как используются  $n$ -, а не

*p*-МОП проходные ключи) и лишь ускоряет процесс или вовсе отсутствует, если источник входного сигнала вместо '1' имеет высокоимпедансное состояние.

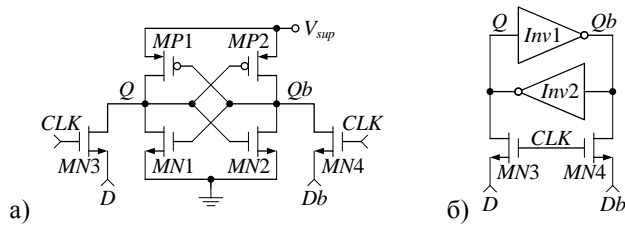


Рис. 5. Триггер в статической КМОП-логике а) и его эквивалентная схема б)

Таким образом, переходный процесс переключения на выходах рассмотренного триггера начинается с падающего фронта, кроме того, *n*-МОП транзисторы (подтягивающие вниз) имеют более высокие частотные свойства по сравнению с *p*-МОП, что в совокупности приводит к структурной склонности такого триггера к низкому пересечению фронтов, которое может быть достаточно точно настроено за счёт изменения размеров транзисторов и выходного сопротивления источника входного сигнала в состояниях '0' и '1'.

Высокая скорость нарастания фронтов и их низкое пересечение с возможностью настройки позволяют применять такой триггер для управления разрядами ЦАП на *p*-МОП транзисторах (рис. 1б) без использования драйвера, например, как это сделано в [7].

Реализация разрядов на *n*-МОП транзисторах (рис. 1а) требует высокого пересечения фронтов, которое может быть получено за счёт добавления к триггеру рис. 5 драйвера в виде инверторов *Inv3*, *Inv4* (рис. 6), например, как в [3]. Регулировка пересечения фронтов аналогично обеспечивается параметрической настройкой схемы.

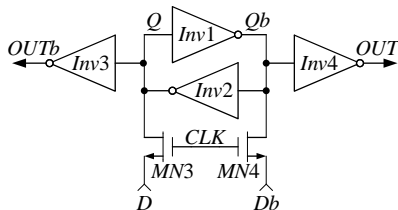


Рис. 6. Триггер и драйвер для получения «высокого» пересечения фронтов

Общими недостатками схем рис. 5 и рис. 6 являются слишком большой размах  $\Delta V_{1-0T(D)} = V_{sup}$  (усиливающий негативные эффекты, упомянутые в разделе II), а также необходимость обеспечения достаточно низкого пересечения фронтов триггера, что приводит практически к последовательному формированию фронтов: сначала падающего, затем нарастающего. Это почти в 2 раза увеличивает общее время переключения триггера и, соответственно, снижает максимальную частоту выборки ЦАП.

Использование драйвера [5], реализованного на четырёх проходных ключах *MN5–MN8* (рис. 7), позволяет настраивать не только размах  $\Delta V_{1-0D}$ , но и сами на-

пряжения логических уровней  $V_{1D}$  и  $V_{0D}$ . Однако, если для задания  $V_{0D}$  зачастую используется земля, то для задания  $V_{1D}$  требуется соответствующая дополнительная цепь смещения, увеличивающая потребляемую мощность схемы. Кроме того, появляются сложности, связанные с реализацией этих цепей. В частности, при использовании общей цепи смещения для всех драйверов возникающие на ней переходные процессы воздействуют на все разряды и могут вызывать кодзависимые [1] искажения выходного сигнала ЦАП. Этого можно избежать при индивидуальном задании  $V_{1D}$  для каждого разряда, однако тогда рассогласование  $V_{1D}$  цепей смещения становится дополнительным источником рассогласования переходных процессов в разрядах при их переключении. Кроме того, индивидуальные цепи смещения усложняют общую схему и приводят к увеличению статического потребления мощности или необходимости использования других подходов (например, как в [5]) для обеспечения быстрого установления переходных процессов  $V_{1D}$ .

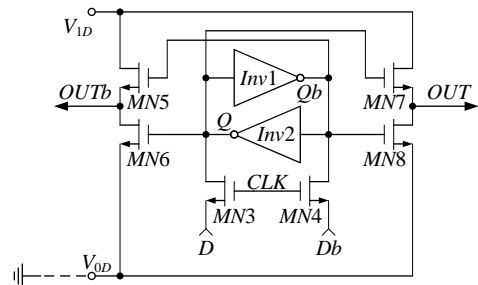


Рис. 7. Триггер и драйвер с настройкой уровней '0' и '1'

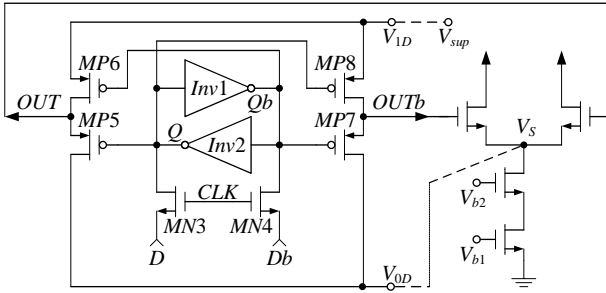
Отметим, что в отличие от схемы рис. 6, в схеме рис. 7 каждый из сигналов *Q* и *Qb* управляет одновременно проходными ключами на обоих выходах драйвера (*Q* для *MN6*, *MN7* и *Qb* для *MN5*, *MN8*), поэтому настройку пересечения фронтов сигналов *OUT* и *OUTb* целесообразно проводить за счёт изменения размеров *MN5*, *MN6* и *MN7*, *MN8*. Тогда пересечение фронтов сигналов *Q* и *Qb* может быть оптимизировано по критерию максимизации быстродействия триггера.

Вследствие использования *n*-МОП проходных ключей драйвер рис. 7 оптимизирован для управления разрядами ЦАП на *p*-МОП транзисторах (рис. 1б).

#### IV. НОВАЯ МОДИФИКАЦИЯ ДРАЙВЕРА В СТАТИЧЕСКОЙ КМОП-ЛОГИКЕ

Предлагаемая модификация драйвера (рис. 8) аналогична структуре схемы на рис. 7, но проходные ключи *MN5–MN8* выполнены на *p*-МОП транзисторах для совместности с ячейками ЦАП на *n*-МОП транзисторах (рис. 1а), имеющих лучшие частотные свойства по сравнению с *p*-МОП. При этом  $V_{1D}$  рекомендуется брать с шины питания ( $V_{1D} = V_{sup}$ ), а для задания  $V_{0D}$  (что представляет собой ключевую новизну решения) используются истоки коммутаторов токовых ячеек соответствующего разряда. Получается, что размах управляющих сигналов определяется напряжением затвор-исток ( $V_{Gs.Sw}$ ) коммутаторов ( $\Delta V_{1-0D} = V_{Gs.Sw}$ ).

Такой подход даёт ряд преимуществ по сравнению с описанными в пункте III.В схемами.



**Рис. 8. Предлагаемая модификация драйвера и его интеграция с токовой ячейкой ЦАП**

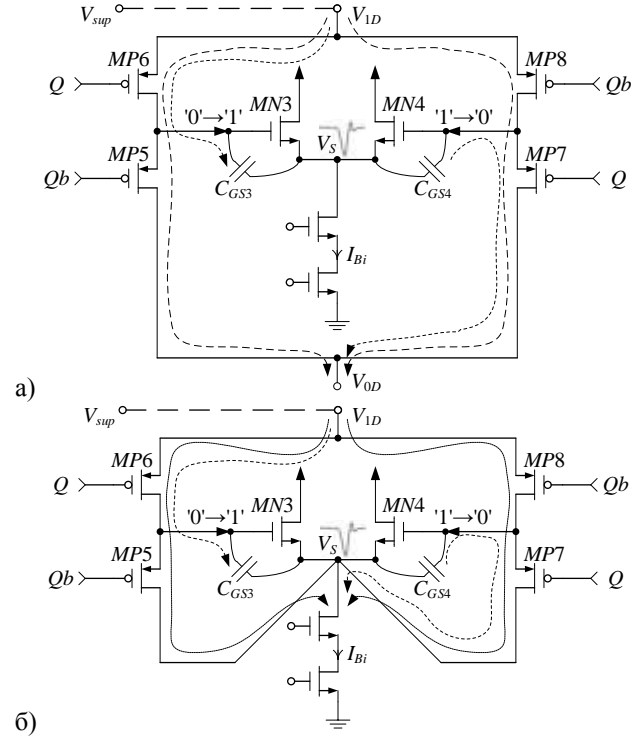
Во-первых, аналогично схеме рис. 7 управляющие сигналы имеют уменьшенный размах, который к тому же автоматически меняется в соответствии с корнер-девиацией коммутаторов конкретного кристалла и автоматически подстраивается при изменении тока полной шкалы ЦАП и температуры, так как  $\Delta V_{1-0D} = V_{GS.Sw}$ .

Во-вторых, все драйверы получают индивидуальную цепь задания  $V_{0D}$ , но в отличие от схемы рис. 7 это не требует никаких дополнительных цепей и, соответственно, дополнительной мощности потребления.

В-третьих, при переключении разрядов возникают два механизма (рис. 9б) поддержания разрядного тока ( $I_{Bi}$ ), защищающие напряжение  $V_S$  в истоках коммутаторов от нежелательного уменьшения, упомянутого в разделе II. Первый механизм обуславливается тем, что (в отличие от известного подхода на рис. 9а) паразитная ёмкость затвора выключаемого коммутатора разряжается не в дополнительные цепи задания  $V_{0D}$  (а в случае схем рис. 5 и 6 в шину питания/земли, что вызывает помехи на её паразитных индуктивностях), а в истоки коммутаторов. Второй механизм возникает при достаточно низком пересечении фронтов триггера, когда существует промежуток времени, на котором закрытые проходные ключи драйвера уже открылись, а открытые ещё не успели закрыться. В результате возникает «временный путь» протекания тока от истоков коммутаторов к цепи задания  $V_{1D}$  (шине питания  $V_{sup}$ ). Описанные механизмы поддержания тока ячейки приводят к тому, что по сравнению с известным драйвером (рис. 9а) в предлагаемой модификации (рис. 9б) оптимальное пересечение фронтов выходных сигналов драйвера смещается ближе к «сердине» между  $V_{0D}$  и  $V_{1D}$ , что позволяет ускорить переключение драйвера. Кроме того, аналогично схеме рис. 7 пересечение фронтов выходных сигналов триггера также может оптимизироваться по критерию уменьшения времени переключения триггера. Отметим, что повышение быстродействия драйвера и триггера в схеме рис. 9б не только позволяет увеличить максимальную частоту выборки ЦАП, но также уменьшает влияние рассогласования и некоторых других факторов, ухудшающих динамическую линейность преобразования.

Для оценки эффективности предложенного решения проведено моделирование схемы рис. 8 (рис. 9б),

реализованной в технологии TSMC с нормой 0,18 мкм. Первоначально триггер был оптимизирован по критерию быстродействия, что обуславливает пересечение фронтов его выходных сигналов достаточно близко (примерно 0,7 В) к середине (0,9 В) между логическими уровнями (0 и 1,8 В), как видно из временной диаграммы на рис. 10б. Оптимальное пересечение ( $V_{1D} - 206$  мВ) выходных фронтов драйвера получено за счёт настройки размеров его проходных ключей MP5–MP8. При этом возмущения напряжения  $V_S$  в истоках коммутаторов практически симметричны, а их амплитуда не превышает примерно 23 мВ.



**Рис. 9. Пути протекания динамических токов при задании логического нуля с дополнительной цепи а) и истоков коммутаторов б)**

Далее без каких-либо параметрических изменений схема была приведена к виду рис. 9а, причём  $V_{0D}$  задавалось идеальным источником ЭДС. При этом, как видно из рис. 10а, пересечения фронтов выходных сигналов триггера и драйвера практически не изменились, однако возмущения  $V_S$  стали несимметричными, а их амплитуда (около 98 мВ) увеличилась примерно в 4 раза. Кроме того, при реальной цепи задания  $V_{0D}$  протекающий по ней импульс тока  $i_{0D}$  амплитудой 224 мкА вызовет нежелательный переходный процесс  $V_{0D}$ , в то время как в схеме рис. 9б  $i_{0D}$  выполняет положительную роль поддержания тока разряда  $I_{Bi}$  (в рассматриваемом опыте  $I_{Bi} = 400$  мкА).

Для уменьшения и симметрирования возмущений  $V_S$  в схеме рис. 9а потребовалось сместить пересечение фронтов выходных сигналов драйвера до уровня  $V_{1D} - 88$  мВ, из-за чего время переключения драйвера увеличилось примерно в 1,5 раза.

Несмотря на простоту модификации драйвера рис. 8 и её значительные преимущества, автор не может указать литературных источников, где предложенный подход, связанный с использованием истоков коммутаторов в качестве цепей задания логических уровней драйверов, рассматривается, а вытекающие из такого решения схемы анализируются.

## V. ЗАКЛЮЧЕНИЕ

В работе сформулированы основные требования, предъявляемые к триггерам и драйверам токовых ячеек ЦАП с коммутацией токов. Рассмотрены основные варианты реализации этих узлов и проведено их качественное сравнение. Предложена модификация драйвера (рис. 8) в статической КМОП-логике, имеющая ряд преимуществ по сравнению с существующими решениями:

- каждый разряд ЦАП имеет индивидуальный источник напряжения логического нуля драйвера без использования дополнительных цепей и соответствующего увеличения потребляемой мощности;
- обеспечивается уменьшенный размах напряжения  $\Delta V_{1-0D}$  между логическими уровнями драйвера, при этом  $\Delta V_{1-0D}$  автоматически корректируется при corner-вариациях техпроцесса, изменении температуры кристалла и тока полной шкалы ЦАП;
- требования по оптимизации пересечения фронтов выходных сигналов триггера и драйвера изменяются, что позволяет увеличить их быстродействие. В результате не только повышается максимальная частота выборки ЦАП, но и уменьшается влияние рассогласования и некоторых других факторов, ухудшающих динамическую линейность преобразования ЦАП;
- уменьшены помехи на шине питания/земли.

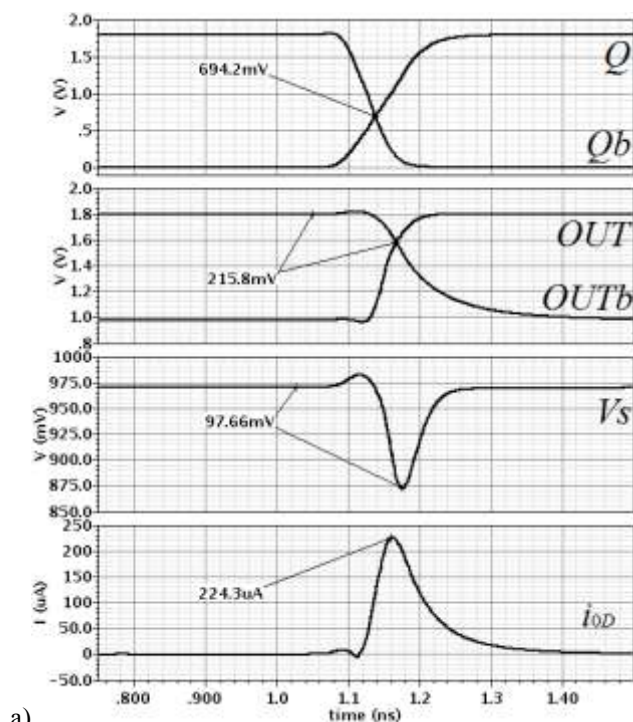
Представленные результаты (рис. 10) сравнительного моделирования подтверждают эффективность предложенного подхода.

## ПОДДЕРЖКА

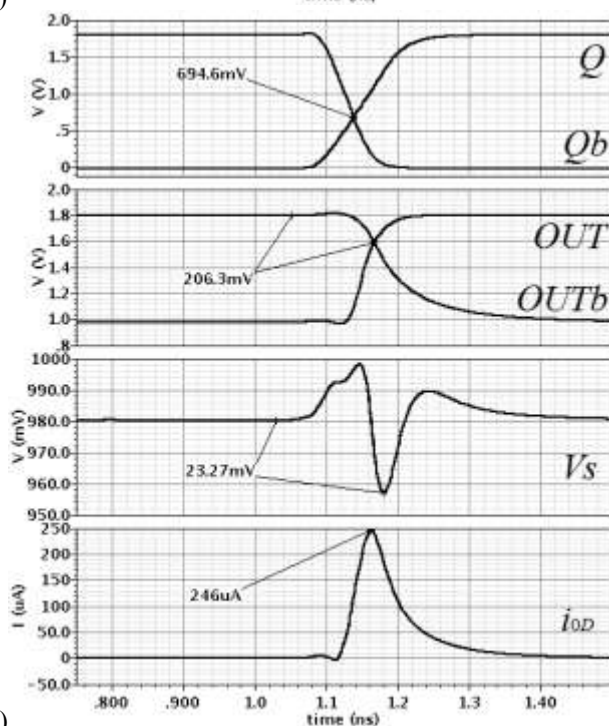
Статья подготовлена по проекту № 8.374.2014/К Госзадания Минобрнауки РФ на 2014-2016 гг.

## ЛИТЕРАТУРА

- [1] K. Doris, A. van Roermund, D. Leenaerts. Wide-Bandwidth High Dynamic Range D/A Converters. Springer, 2006. 222 p.
- [2] D. Mercer. A Study of Error Sources in Current Steering Digital-to-Analog Converters // 2004 IEEE Custom Integrated Circuits Conference. May 2004.
- [3] C.-H. Lin et. al. A 12 bit 2.9 GS/s DAC with IM3 < -60 dBc beyond 1 GHz in 65 nm CMOS // IEEE Journal of Solid-State Circuits. 2009. V. 44. № 12. P. 3285–3293.
- [4] P. Heydari, R. Mohanavelu. Design of Ultrahigh-Speed Low-Voltage CMOS CML Buffers and Latches // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2004. V. 12. № 10. P. 1081–1093.
- [5] D.A. Mercer. Low Power Approaches to High Speed CMOS Current Steering DACs // IEEE 2006 Custom Integrated Circuits Conference (CICC). 2006. P. 153–160.
- [6] A.V. den Bosch et. al. A 10-bit 1-GSample/s Nyquist Current-Steering CMOS D/A Converter // IEEE Journal of Solid-State Circuits. 2001. V. 36. № 3. P. 315–324.
- [7] C.-H. Lin, K. Blut. A 10-b, 500-MSample/s CMOS DAC in 0.6 mm<sup>2</sup> // IEEE Journal of Solid-State Circuits. 1998. V. 33. № 12. P. 1948–1958.



а)



б)

Рис. 10. Временная диаграмма схемы рис. 8 при известном а) и при предложенном б) способе задания напряжения логического нуля драйверов