

скачке тока потребления зависит от количества конденсаторов и их подключения на каждом уровне. Расчетный метод оценки изменения напряжения питания показывает целесообразность наличия минимум трех уровней конденсаторов у микросхемы многоядерного процессора [3]. Анализ проекта корпуса разрабатываемого процессора и модуля с помощью среды моделирования *Cadence Sigrity PowerSI* показал минимальные амплитуды помех в частотном диапазоне лишь при наличии всех предусмотренных на трех уровнях конденсаторов. Изменение напряжения питания процессора при скачке тока потребления в 1А/нс составило не более 40 мВ. При анализе учитывалась высокочастотная емкость кристалла. Для кристалла процессора, изготовленного по технологии 28 нм и площадью 400 мм², оценка суммарной емкости кристалла равна 1,2 мкФ.

У представленной на рис. 1 конструкции второй уровень конденсаторов со стороны шариковых выводов не ограничивает поверхностный монтаж микросхемы. Это обеспечивается путем применения инновационных композитных выводов корпуса или микрожемчужин с фиксированной высотой [4]. Для микросхемы рассматриваемого процессора выбран шарик диаметром 0.6 мм, который достаточен для установки второго уровня керамических конденсаторов высотой 0.3 мм. Основой микрожемчужины является полимерный шарик, последовательно покрытый проводящим слоем меди и припоем. Такой полимерный шарик фиксирует высоту вывода корпуса при пайке, а также допускает небольшие упругие деформации. Такие свойства обеспечивают повышенную надежность соединений по сравнению с традиционными шариковыми выводами из металлических сплавов.

Повышенная надежность крайне необходима в случае значительной разницы коэффициентов теплового расширения коммутационной платы корпуса и печатной платы модуля.

III. МАТЕРИАЛЫ КОРПУСА МИКРОСХЕМЫ

Для многоядерных процессоров характерна тенденция увеличения быстродействия его интерфейсов с последующим переходом на передачу данных по оптическим каналам [5]. При разработке процессора для каналов межпроцессорного обмена и канала ввода-вывода выбраны приемопередатчики CEI-6G с последующей передачей данных по дифференциальной паре со скоростью до 6 Гб/с. Как правило, при разработке высокочастотных трактов передачи данных с последующим переходом на оптические приемопередатчики используют соглашение OIF-CEI-03.0 (2011г.).

При частотах более 5 ГГц существенны потери в качестве полезного сигнала на выводах корпуса. Значительное снижение таких потерь возможно путем применения *HITCE®* керамики для коммутационной платы корпуса в отличие от применения традиционных и широко распространенных полимерных материалов [6]. В табл. 1 приведено сравнение ряда материалов для коммутационной платы корпуса: органических материалов низкотемпературной или высокотемпературной совместно обжигаемой керамики. Для рассматриваемого процессора определен материал *GL771*, который обладает приемлемыми характеристиками.

Таблица 1

Сравнение материалов для коммутационной платы корпуса

Материал		HTCC	LTCC			Полимерный материал			
Кодовое название		A440	GL771	GL773	GL570	FR4	BT	GX13	
Теплопроводность	Вт/(м·К)	14	2	2	2.8	0.2	0.2	-	
Коэффициент теплового расширения (~ 400 °С)	10 ⁻⁶ К ⁻¹	7,1	12,3	11,7	3,4	12~14	13~16	100	
Сопротивление слоя металлизации	мОм / квадрат	10~12	3,0	3,0	3,0	2,0	2,0	2,0	
Диэлектрическая постоянная	1 МГц	-	9,8	5,3	5,7	5,6	5,5	4,7	3,8
	2 ГГц	-	-	5,2	5,8	5,7	-	-	-
	10 ГГц	-	-	5,2	5,8	5,6	-	-	-
	60 ГГц	-	-	5,3	5,8	5,6	-	-	-
Тангенс угла диэлектрических потерь	1 МГц	10 ⁻⁴	24	8	5	3	200	100	170
	2 ГГц	10 ⁻⁴	-	35	23	7	-	-	-
	10 ГГц	10 ⁻⁴	-	38	25	12	-	-	-
	60 ГГц	10 ⁻⁴	-	34	33	25	-	-	-
Предел прочности при изгибе	МПа	400	170	280	200	430	580	90	
Модуль Юнга эластичности	ГПа	310	74	95	128	-	23	3.5	

Моделирование передачи данных между процессорами модуля со скоростью 6 Гб/с в среде *Cadence Signity SystemSI-SLA II* показало, что общий уровень потерь составил 7,7 дБ. Это соответствует допустимому уровню потерь менее 8 дБ согласно соглашению OIF-CEI-03.0. Примерно 0,6 дБ - это потери в каждом корпусе процессоров при длине трасс в 4 см и ширине 50 мкм. Потери в модуле на основе диэлектрического материала *Isola FR408* и длине трасс 30 см при их ширине в 100 мкм составили 6,5 дБ. В случае применения современных диэлектрических материалов с низким тангенсом угла потерь примерно половина всех потерь в уровне полезного сигнала вызвана скин-эффектом [7]. Снижение потерь из-за скин-эффекта возможно путем увеличения ширины трасс, но это неизбежно приводит к увеличению количества слоев металлизации при высокой плотности трасс. У рассматриваемого процессора высокая плотность трасс объясняется тем, что для каналов межпроцессорного обмена и ввода-вывода требуется максимально возможная пропускная способность за счет значительного количества приемопередатчиков. Каждый канал рассматриваемого процессора содержит 16 выходных и столько же входных дифференциальных пар.

В случае проектирования коммутационных плат корпуса на основе керамических материалов практически отсутствует ограничение на количество слоев. Это позволяет создать компактное размещение объемных выводов кристалла и минимизировать его общую площадь. Недостаток состоит в том, что зачастую выбор керамических материалов в сравнении с выбором полимерных материалов приводит к увеличению в несколько раз стоимости подготовки к производству коммутационной платы корпуса (*NRE*, *Non-recurring engineering*).

В качестве материала для теплораспределителя микросхемы возможны традиционные металлические сплавы или композиты. Для теплораспределителя рассматриваемого процессора используется композитный материал *AlSiC-10*. Этот материал обладает сопоставимой с металлами теплопроводностью, равной 200 Вт/(м·К). По сравнению с металлическими сплавами у него меньше себестоимость и его выбор приводит к меньшей стоимости подготовки к производству.

IV. ПРОЕКТИРОВАНИЕ МАТРИЦЫ ВЫВОДОВ

Важной задачей проектирования корпуса микросхемы является создание матрицы выводов и назначение сигналов. Матрица выводов рассматриваемого процессора с назначенными сигналами представлена на рис. 2. Данная матрица содержит 2028 шариковых вывода и центральную область для размещения конденсаторов второго уровня. Назначение сигналов выполнено в рамках четырех основных зон. Нулевая зона определена для

выводов основного питания и земли кристалла. Первая и вторая зона определены для четырех каналов быстродействующей памяти типа *DDR3*, по два канала памяти в каждой. Зоны номер три и четыре предназначены для трех каналов межпроцессорного обмена и канала ввода-вывода. Все выводы между зонами три и четыре являются выводами сигналов управления, синхронизации и диагностики.

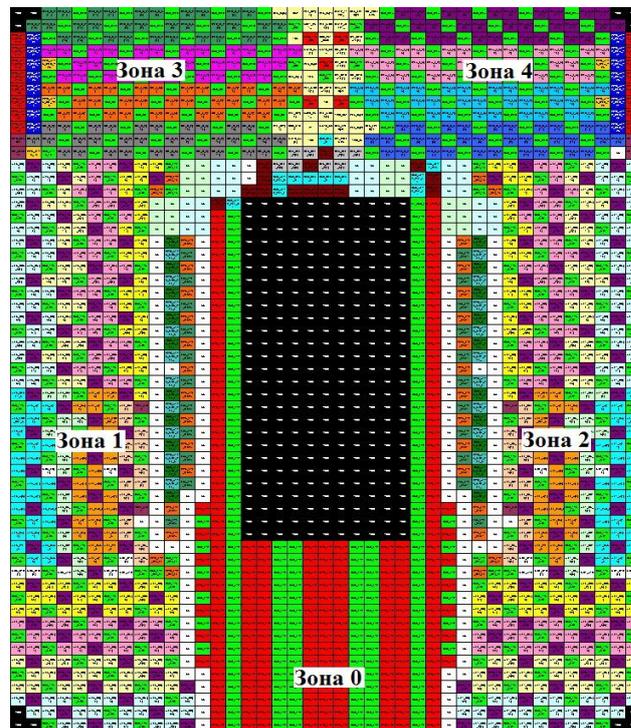


Рис. 2. Матрица выводов процессора

У представленной матрицы выводов есть свои преимущества и недостатки. Одним из преимуществ является зона для основного питания и земли кристалла. Обеспечивается низкое омическое сопротивление между микросхемой процессора и источником питания, который можно расположить в непосредственной близости к выводам этой зоны. К достоинствам также следует отнести то, что при таких зонах трассировка каналов памяти, межпроцессорных каналов или канала ввода-вывода выполняется в одних и тех же слоях печатной платы вычислительного модуля. Другим достоинством представленной матрицы выводов является значительная область без выводов корпуса, которая позволяет разместить 119 конденсаторов второго уровня.

К недостаткам рассмотренной матрицы выводов можно отнести значительные габариты микросхемы. При шаге выводов в 1 мм размеры процессора равны 59 мм x 43 мм. Такие размеры не позволяют использовать широко распространенные сокет для тестирования малых серий микросхем. Как правило, стандартные заготовки массовых сокетов на основе эластомера составляют 50 мм x 50 мм. С другой стороны, любые известные микросхемы с четырьмя каналами памяти типа *DDR3* от различных

производителей также имеют один из размеров больше чем 50 мкм.

V. ПРОЕКТИРОВАНИЕ КОММУТАЦИОННОЙ ПЛАТЫ

Из-за технологических ограничений и соблюдения волновых сопротивлений у коммутационной платы корпуса на основе *HITCE®* минимальная ширина трассы равна 50 мкм. Для сравнения, коммутационные платы корпуса на основе полимерных материалов могут быть спроектированы с шириной трасс равной 15 мкм. Такой недостаток компенсируется тем, что возможно наличие десятков слоев при разумной толщине коммутационной платы. У рассматриваемого процессора коммутационная плата содержит 28 слоев, и ее толщина равна 2,16 мм. На первом слое не допускается наличие трасс, что позволяет для рассматриваемого процессора разместить более 120 конденсаторов первого уровня.

У рассматриваемого процессора аналогично многоядерному процессору *Fujitsu Sparc64 X* или *AMD Opteron 6100* реализовано равномерное расположение объемных выводов по сторонам кристалла. При этом минимизируется общая площадь кристалла и суммарная длина его внутренних соединений. На рис. 3 представлено размещение кристалла и конденсаторов, а также часть внутренних соединений корпуса. Овалами выделены области с расположением на кристалле объемных выводов четырех каналов памяти.

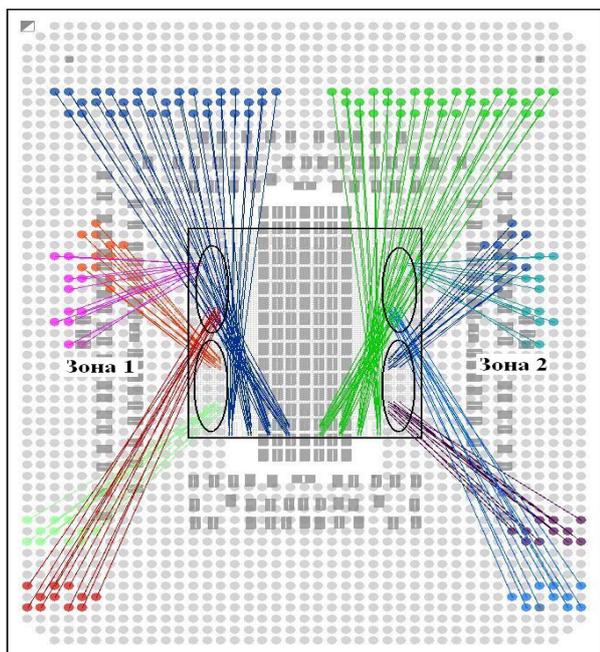


Рис. 3. Размещение и соединения в корпусе

При фиксированной матрице выводов корпуса и расположении объемных выводов кристалла имеются пересекающиеся соединения каналов памяти, межпроцессорного канала или канала ввода-вывода. Трассировка этих пересекающихся соединений в зоне 1 или 2 требует наличия у коммутационной платы по

четыре слоя для трасс каждого канала памяти и два слоя для трасс межпроцессорного канала или канала ввода-вывода. Возможность такой трассировки допускает равномерное расположение рядов объемных выводов кристалла по всем его сторонам.

Моделирование в среде *Cadence Sigrity SystemSI-PBA II* для всех каналов между процессором и планками памяти показало глазковые диаграммы с устойчивым приемом байт данных по стробу синхронизации. При моделировании учитывалось наличие одной или двух планок нерегистровой памяти *DDR3-1600* на каждый канал. Низкий уровень перекрестных помех между байтами каналов памяти объясняется отсутствием трасс для любых интерфейсов процессора на смежных слоях коммутационной платы корпуса. Из 28 слоев металлизации корпуса только 11 слоев имеют трассы интерфейсов, а остальные слои используются для питания или земли. На каждом слое между трассами также предусмотрены экранирующие сегменты земли или интервалы без металлизации.

VI. ЗАКЛЮЧЕНИЕ

В работе обсуждается совокупность проблем при разработке корпуса многоядерного процессора и предложены универсальные проектные решения. Проведен анализ существующих материалов и технологических процессов изготовления коммутационных плат корпуса на основе полимерных и керамических материалов. Показана эффективная конструкция микросхемы процессора и предлагаются перспективные материалы для ее элементов. Такие материалы уже в ближайшее время могут найти применение для серийного производства у ведущих производителей различных сложно-функциональных микросхем.

ЛИТЕРАТУРА

- [1] Garrou P. Will monolithic 3D IC technology become a real competitor to 3DIC with TSV? // *Solid State Technology*. January 2014. V. 57. № 1. P. 9.
- [2] Demler M. Haswell ULT Integrates PC Platform. Intel Lays Groundwork for Broadwell in Next-Generation PCs // *Microprocessors report*. December 16, 2013.
- [3] Бычков И.Н., Рябцев Ю.С., Юрлин С.В. Варианты распределенной сети питания для многоядерного микропроцессора // *Вопросы радиоэлектроники. Серия ЭВТ*. 2013. Вып. 3. С. 157–168.
- [4] Micropearl SOL // URL: <http://www.sekisui.co.jp/itmg/eng/> (дата обращения 12.05.2014).
- [5] ITRS Assembly and Packaging 2011 Edition // URL: <http://www.itrs.net/Links/2011ITRS/2011Chapters/2011AP.pdf> (дата обращения 12.05.2014).
- [6] Ceramic Packages for Large Scale Integration (LSI) Devices, Flip Chip *HITCE®* LTCC // URL: http://global.kyocera.com/prdct/semicon/semi/lsi_pkg/index.html (дата обращения 12.05.2014).
- [7] PCB Layout Guidelines for Designing with Avago SFP+ Transceivers, AV02-0725EN July 27, 2010 // URL: <http://cmsstaging.avagotech.com:90/docs/AV02-0725EN> (дата обращения 12.05.2014).