

# Проектирование 14-портового регистрового файла и буфера трансляции адресов со сниженным потреблением с учетом особенностей технологии 28 нм

П.Г. Кириченко, Л.А. Соловьева, И.В. Тарасов

ФГУ ФНИЦ Научно-исследовательский институт системных исследований РАН,  
pgkirich@cs.niisi.ras.ru

**Аннотация** — Статья описывает методы, использованные при разработке двух важных сложнофункциональных блоков запоминающих устройств для ядра 64-разрядного микропроцессора. В результате выполненных исследований и проделанной работы удалось достичь снижения потребляемой мощности в активном режиме до 12,7%, а токов утечек – до 35%. Время доступа в типовых условиях для регистрового файла – 260 пс. Отдельные предложенные решения позволили, кроме того, снизить влияние помех и наводок во время операций сравнения и чтения данных, что актуально в связи с низкими значениями напряжений питания в технологии 28 нм.

**Ключевые слова** — регистровый файл, буфер преобразования адресов, потребляемая мощность, токи утечки.

## I. ВВЕДЕНИЕ

Буфер трансляции адресов (TLB – translation lookaside buffer) и многопортовый регистровый файл (РФ) – это одни из наиболее интенсивно используемых блоков в современных системах на кристалле, определяющих производительность процессора. TLB осуществляет преобразование виртуального адреса (данных и инструкций) в физический. Он применяется в самых разнообразных микросхемах: в микропроцессорах [1], в сетевых маршрутизаторах [2], в обработке изображений [3], в детектировании вирусов [4]. А регистровые файлы обеспечивают оперативный и одновременный доступ из нескольких разных источников к хранящимся общим данным в микропроцессорах.

Наряду со схожими чертами (наличие массивов статической памяти, дешифраторов адреса, входных и выходных регистров) TLB и РФ имеют и свои особенности. Так, в TLB память виртуальных адресов реализуется на ассоциативной памяти (CAM – Content-Addressable Memory), а в РФ весь массив памяти хотя и является статическим ОЗУ, но в отличие от памяти физических адресов в TLB строится на многопортовых ячейках памяти. В создаваемом по технологии 28 нм 64-разрядном микропроцессоре общего назначения применяются оба типа устройств. В этой связи было целесообразно использовать как можно более общий подход к проектированию обоих блоков, чтобы минимизировать затраты и повысить выход годных, используя наиболее надежные решения в обоих случаях. По-

этому и РФ, и TLB были реализованы в виде заказных блоков, схемотехника и топология которых оптимизированы по быстродействию, площади и потребляемой мощности под заданную архитектуру процессора.

Спроектированный TLB имеет емкость 64 записи с ассоциативной частью 47 бит, включая 8 битов маски, и с памятью физических адресов 60 бит. А регистровый файл с 8 портами чтения и 6 портами записи состоит из 32 регистров по 72 бита каждый.

## II. МИКРОАРХИТЕКТУРА TLB И РЕГИСТРОВОГО ФАЙЛА

TLB содержит 64 записи трансляций виртуальных адресов для пар из четных и нечетных страниц и соответствующие им физические адреса. Каждую запись TLB можно условно разделить на две секции: секцию виртуальных адресов и секцию, хранящую физический адрес начала страницы. Секция виртуальных адресов включает в себя биты спецификатора отображаемой области, виртуальный адрес страницы, идентификатор процесса, бит глобального разрешения использования трансляции и поле маски страницы, что позволяет отображать различные размеры страниц. Секция, хранящая физический адрес начала страницы, состоит из пары полей, каждое из которых содержит физический адрес начала страницы, бит разрешения чтения трансляции TLB, бит разрешения обновления трансляции, атрибут политики кэширования страницы. Какой именно номер физической страницы будет извлечен, определяется младшим битом в поле номера виртуальной страницы запрошенного адреса.

Функционально TLB состоит из блоков управления и синхронизации, двухступенчатого дешифратора адреса, массива ассоциативной памяти виртуальных адресов и массива статической памяти физических адресов с блоком ПЗУ, отвечающим за генерацию адреса регистра, в котором произошло совпадение данных, поступивших извне, с данными, хранящимися в памяти виртуальных адресов.

Регистровый файл представляет собой многопортовое ОЗУ, у которого все порты чтения являются независимыми друг от друга. Запись в одном такте по двум и более портам возможна только по разным адресам, арбитраж не предусмотрен.

Авторами ранее уже было успешно реализовано в микропроцессорах, изготовленных по технологиям 0,18 мкм и 65 нм, TLB с описанной архитектурой [5]. А по технологии 65 нм был разработан регистровый файл, несколько отличающийся от представленного в данной статье. В частности, у 65-нанометровой версии меньше количество портов записи (4, а не 6) и количество бит в регистрах (64, а не 72). Поэтому, с одной стороны, часть решений можно было заимствовать из предыдущих успешных проектов, но с другой, новые особенности, присущие технологии 28 нм, потребовали выработки новых схемотехнических и топологических решений, которые и легли в основу методики проектирования. Эти особенности подробно описаны в разделе IV, посвященном топологическому проектированию. Отдельное внимание уделялось методам снижения потребляемой мощности, так как с развитием и широким распространением мобильных вычислительных устройств эта задача становится все более актуальной.

### III. СХЕМОТЕХНИКА TLB И РЕГИСТРОВОГО ФАЙЛА

Как упоминалось выше, память виртуальных адресов TLB реализована в виде ассоциативной памяти. Основным элементом памяти любого рода, определяющим выбор структуры всех остальных элементов, является ячейка памяти. Схемотехническая реализация ячейки памяти для буфера трансляции адресов может быть двух основных типов: динамическая или статическая. В статье, опубликованной авторами ранее [5], рассмотрены два варианта – динамическая и статическая организация САМ-порта в ячейке памяти – и показано, что уже для технологии 0,18 мкм предпочтительна статическая САМ-ячейка, приведенная на рис. 1 (порт чтения не показан для упрощения схемы), с точки зрения большей устойчивости линии совпадения к помехам. В динамических схемах потенциал линии совпадения удерживается вне такта сравнения схемами восстановления потенциала линии совпадения к напряжению питания (предзаряд) аналогичными схемам, традиционно применяющимися в различных памятьях в тракте чтения данных. В такте сравнения предзаряд снимается, и потенциал линии, как правило, поддерживается небольшой схемой с положительной обратной связью. В случае преднамеренного разряда линии совпадения даже одной ячейкой эта схема поддержания потенциала линии совпадения не должна препятствовать разряду. Поэтому ее эффективность в ситуации полного побитного совпадения данных, т.е. когда предзаряд снят, а линия совпадения не должна быть разряжена, в случае сильных помех и наводок может оказаться недостаточной при столь низких напряжениях питания (0,8...0,9 В), которые присущи технологии 28 нм. Дополнительно ситуация ухудшается из-за большой относительной величины токов утечки, доходящих в данной технологии до 30% от общей мощности при использовании транзисторов с низким пороговым напряжением. Это также может привести к

изменению потенциала линии совпадения при большом количестве подключенных к ней выходов динамических САМ-ячеек. Кроме того, динамические линии совпадения требуют использования схем предзаряда в каждом такте независимо от результата сравнения. Это приводит к заметному увеличению потребляемой мощности [6], в связи с чем от применения динамических компараторов в ячейках ассоциативной памяти было решено отказаться в пользу статических.

Ячейки же со статическим САМ-портом от указанных недостатков принципиально избавлены – потенциал на выходе совпадения ячейки жестко задается, как видно по схеме на рис. 1.

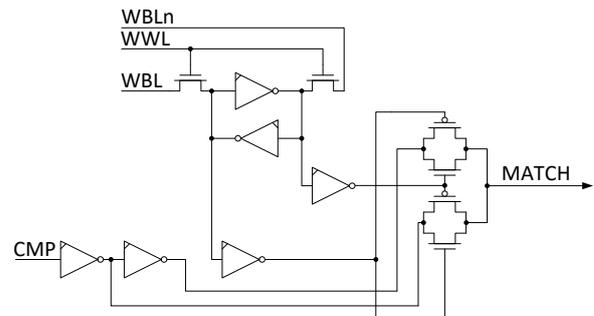


Рис. 1. Ячейка памяти со статическим САМ-портом

Такой вариант требует объединения выходов MATCH всех ячеек САМ-регистра через многоступенчатую древовидную логическую схему, что увеличивает площадь регистра и количество межсоединений внутри него. Это несколько усложняет топологическое проектирование, основные аспекты которого рассмотрены в разделе IV. Однако низкое напряжение питания (0,8...0,9 В), присущее технологии 28 нм, сводит на нет все преимущества динамических схем по быстродействию и площади из-за описанных выше причин.

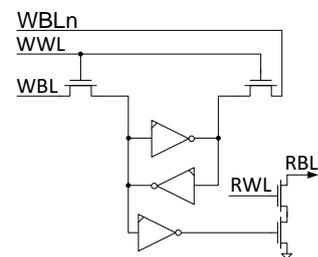


Рис. 2. RAM-ячейка с одним портом чтения и одним портом записи

14-портовая ячейка памяти регистрового файла строится на базе ячейки, представленной на рис. 2, путем увеличения количества портов чтения и записи. Разделительный инвертор между триггером ячейки и портами чтения позволяет избавиться от влияния количества портов чтения на емкость узлов хранения прямого и инверсного бита данных. Это, в свою оче-



Прототип рассматриваемого TLB, спроектированный для технологии 0,18 мкм, функционировал на частоте 300 МГц [5], а отдельные образцы – вплоть до 330 МГц. При переходе на технологию 65 нм требования к тактовой частоте процессора, а значит TLB и РФ, возросли до 1 ГГц. При такой частоте использование стандартных D-триггеров в регистре чтения, как это было в технологии 0,18 мкм, уже не обеспечивало требуемого быстродействия без применения LVT транзисторов, что неприемлемо с точки зрения снижения потребляемой мощности. В этой связи в обоих блоках использовался известный так называемый триггер-защелка SDL (set-dominant latch), схема которого представлена на рис. 4. Для простоты на рис. 4 не изображен транзистор предзаряда глобальной битовой шины GBL и схемы поддержания уровня, аналогичные показанным на рис. 4 для схемы объединения локальных битовых шин.

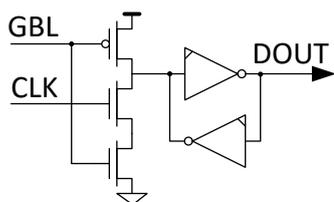


Рис. 4. SDL 65 нм

Особенность триггера типа SDL состоит в том, что независимо от наличия разрешающего уровня сигнала CLK разряд глобальной битовой шины GBL из 1 в 0 приводит к немедленной передаче этого фронта на выход блока. Такой триггер наиболее эффективно с точки зрения быстродействия осуществляет переход от динамической схемотехники битовой шины чтения к статической.

Однако для технологии 28 нм с учетом величины напряжения питания 0,9 В схема SDL, примененная ранее, не годится с точки зрения обеспечения стабильного напряжения переключения при отклонениях напряжения питания, температуры и техпроцесса от номинальных значений. Поэтому она была модифицирована так, как показано на рис. 5.

На рис. 6 приведены значения напряжения переключения двух типов элемента SDL в различных условиях. На этом графике данные с пометкой «схема 1» соответствуют схеме на рис. 4, а «схема 2» – на рис. 5. Пометки «0-1» и «1-0» соответствуют фронту подаваемых на вход данных.

Подписи под столбцами обозначают тип техпроцесса, температуру, напряжение питания. Измерения проводились для всех 45 возможных комбинаций – пять типов техпроцесса (tt, ss, ff, sf, fs), три напряжения питания (0,9 В; 0,99 В; 0,81 В), три рабочих температуры (-40 °С, 25 °С, 125 °С). На рис. 6 показан только типовой случай и три случая, имеющих наиболее заметное отклонение от типового.

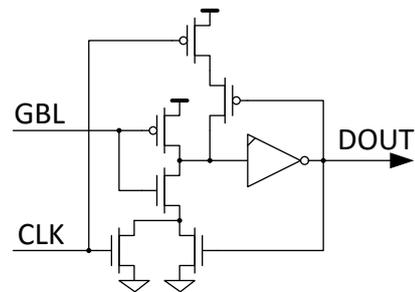


Рис. 5. SDL 28 нм

Видно, что вариант «схема 2» характеризуется большей стабильностью переключательной характеристики, что вместе с высоким быстродействием явилось причиной его выбора для использования в регистрах чтения TLB и РФ, спроектированных по технологии 28 нм.

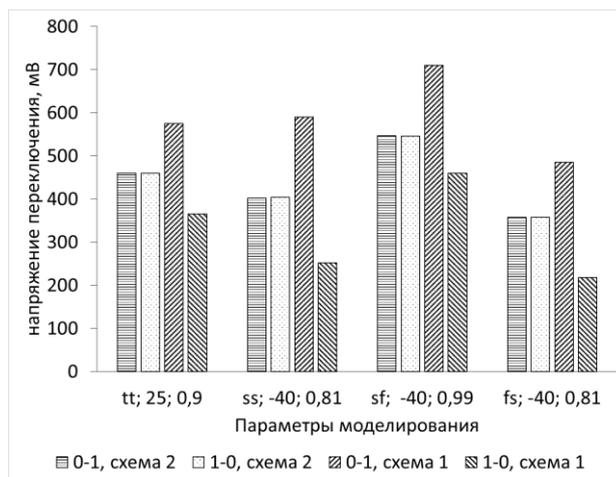


Рис. 6. Зависимость напряжения переключения от рабочих параметров

В отличие от регистра выходных данных регистр входных данных для записи не лежит на критическом пути по быстродействию, поэтому в нем используются стандартные схемы MS-триггеров.

В 14-портовом регистровом файле для экономии потребляемой мощности осуществляется предзаряд только тех локальных битовых шин, по которым производится чтение данных. Это реализовано в дешифраторе адреса каждого порта чтения схемами управления предзарядом, использующими только старшие 2 бита адреса, определяющие ту восьмерку регистров, из которой будет производиться чтение. В TLB невозможно определить заранее произойдет ли совпадение данных, подаваемых извне, с данными, хранящимися в одном из 64 регистров, и в каком именно регистре оно будет. Поэтому в прототипах, изготовленных по технологиям 0,18 мкм и 65 нм, сигнал управления предзарядом снимался со всех входов всех схем объединения во время цикла поиска или чтения. Это решение приводит к заметному увеличению потребления тока схемами предзаряда, но зато реализуется технически просто. В рассматриваемом TLB по технологии 28 нм требование минимизации мощности заставило внести услож-

нение в данную часть блока. Новая схема управления предзарядом приведена на рис. 7.

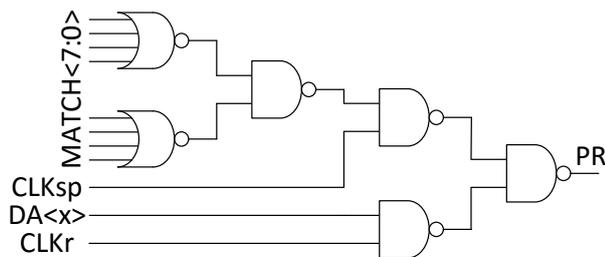


Рис. 7. Схема управления предзарядом в TLB

Такие блоки общим количеством в 8 штук устанавливаются напротив каждой из линий предзаряда, проходящей сквозь массив памяти. Соединение с источником питания через р-канальный транзистор предзаряда разрывается во время цикла чтения только для тех локальных битовых шин, к которым произошло обращение. Для этого на вход каждой из 8 схем вместе с синхросигналом чтения CLKr подается один из восьми сигналов DA<x>, полученных в результате частичной дешифрации старших трех бит адреса. А во время цикла поиска – возникший в одном из восьми регистров сигнал совпадения MATCH вместе с синхросигналом CLKsp таким же образом отключает предзаряд битовых шин этой восьмерки. Такое решение не только приводит к уменьшению потребляемой мощности, но и к снижению влияния помех и наводок, так как незадействованные битовые шины остаются подключенными к источнику напряжения предзаряда.

#### IV. ТОПОЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ

Буфер преобразования адресов и регистровый файл были разработаны по КМОП технологии с 10 слоями металла в виде полностью заказных сложно-функциональных блоков.

Как уже упоминалось ранее, особенности технологии 28 нм требуют особого подхода к проектированию как отдельных логических элементов, так и крупных заказных блоков в целом. Например, в отличие от предыдущих поколений технологий, для процесса с нормой 28 нм не допускается произвольная ориентация транзисторов на кристалле. Их затворы должны быть проведены строго вертикально, что значительно осложняет как размещение самих транзисторов, так и трассировку связей между ними. Такое ограничение также влияет на размер ячеек, и если в более ранних технологиях можно было добиться более плотной компоновки за счет поворота отдельных транзисторов на 90 градусов, то в технологии 28 нм такой возможности просто не существует.

Более того, поликремний на всей площади кристалла имеет вид вертикальной сетки с определенным шагом (вообще, затворы в данной технологии металлические, но по-прежнему слой затвора обозначается как поликремний, что будем использовать и мы в статье). Это приводит сразу к нескольким эффектам, так-

же отрицательно сказывающимся на плотности компоновки. Во-первых, невозможно осуществлять трассировку поликремнием локальных соединений внутри небольшой ячейки. Во-вторых, если затворы соседних транзисторов не могут быть по каким-то причинам размещены в соседних ребрах сетки, то один из транзисторов должен быть перенесен в следующую ячейку сетки с образованием неиспользуемого пространства между ними. Это правило действует даже в тех случаях, когда два транзистора объединены по диффузии без контакта в промежуточной области между затворами. В-третьих, «вылет» затвора за пределы области диффузии по правилам проектирования достаточно велик для обеспечения выхода годных, поэтому расстояния между соседними транзисторами, затворы которых находятся на одной вертикали сетки, также сравнительно велики. Некоторое уменьшение этого расстояния возможно за счет использования нового слоя CUT\_POLY. Это физический слой, который обеспечивает разрыв поликремния травлением в месте своего проведения. Это единственный способ сблизить транзисторы, находящиеся на одной вертикали сетки.

Еще одним жестким ограничением является правило постановки контакта. Так, для двух транзисторов с общим затвором, находящихся вертикально друг над другом (например, ячейка инвертора), контакт к затворам этих транзисторов может находиться исключительно между ними и никак иначе. Это тоже усложняет трассировку и приводит к заметному увеличению количества локальных соединений в нижних слоях металлизации.

Внутри каждого регистра ассоциативной памяти, построенного на САМ-ячейках со статическим компаратором, было необходимо проложить большое количество трасс для реализации древовидной многоуровневой структуры логических элементов, генерирующих сигнал совпадения, и дополнительной логики, генерирующей сигнал четности и нечетности, как того требует архитектура TLB для MIPS-совместимых процессоров. В прототипах, изготовленных по технологиям 0,18 мкм и 65 нм, для этого потребовалось занять третий и пятый слой металлизации. Чтобы уменьшить количество используемых слоев, были проведены тщательный анализ и оптимизация расположения логических элементов и ячеек памяти на кристалле и определено минимально необходимое количество трекров для трассировки – 14. Именно этим количеством (плюс шина земли и шина питания) определялся размер ячеек памяти и логики в TLB. Благодаря оптимизации размещения и трассировки удалось полностью освободить пятый слой металлизации и разместить все связи TLB в нижних четырех слоях.

Трассами же определялся и размер 14-портовой ячейки памяти регистрового файла. Первый металл использован для локальных межсоединений внутри ячейки, второй – для битовых шин записи и локальных битовых шин чтения, третий и пятый – для словарных шин, четвертый – для глобальных битовых шин чтения. В регистровом файле применение пятого слоя позволило уменьшить практически вдвое горизонталь-

ный размер ячейки памяти и сократить длину локальных битовых шин. В данном случае избавляться от пятого металла было нецелесообразно, так как и при выбранном варианте топологии внутри ячейки памяти транзисторы размещены не с предельной плотностью, а при удвоении ее горизонтальных размеров большая часть площади оказалась бы пустой.

## V. ЗАКЛЮЧЕНИЕ

В табл. 1 приведены количественные результаты предпринятых мер по снижению токов потребления в активном режиме и токов утечки. Моделирование проводилось при частоте 1 ГГц и при следующих параметрах техпроцесса и условиях работы, принятых в библиотеках стандартных элементов для измерения мощности: модели транзисторов fast-fast, напряжение питания 0,99 В (+10% от номинального), температура 125 °С.

В колонке «PCH\_ALL, NO\_HVT» приведены значения токов для TLB со старой версией схемы предзаряда и без использования HVT-транзисторов в элементах. В колонке «NO\_HVT» – данные для случая, при котором в обоих блоках не применялись транзисторы с высоким порогом в составе логических элементов. В последней колонке приведены результаты моделирования для окончательного варианта.

Таблица 1

*Величина потребляемого тока*

Параметр	PCH_ALL, NO_HVT	NO_HVT	Итого
$I_{RF\_active}$ , мА	-	25,82	22,91
$I_{RF\_leak}$ , мА	-	7,84	6,64
$I_{TLB\_active}$ , мА	48,99	48,50	47,52
$I_{TLB\_leak}$ , мА	5,70	6,39	4,22

Как видно, результатом использования предложенных решений стало заметное снижение потребляемого регистровым файлом и буфером преобразования адресов тока – как активного, так и тока утечки. Это позволяет продлить время работы микропроцессора от батареи питания в портативных и мобильных устройствах, что является актуальной задачей для современной микроэлектроники. Так как в новой схеме управления предзарядом в TLB в три раза больше транзисторов, чем в старой, величина токов утечки получилась несколько больше. Однако мощность, затрачиваемая на переключения, при этом экономится настолько, что суммарное потребление в активном режиме оказывается меньше.

Отдельные предложенные решения позволяют снизить влияние помех и наводок во время операций чте-

ния данных из регистрового файла и буфера преобразования адресов, что также актуально в связи с низкими значениями напряжений питания в современных технологиях производства.

Разработанные устройства имеют следующие геометрические размеры:

- регистровый файл 107,80×301,13 мкм<sup>2</sup>;
- TLB 142,64×271,28 мкм<sup>2</sup>.

По итогам разработки топологии было проведено моделирование с учетом паразитных параметров. Время доступа в типовых условиях для TLB составляет 900 пс, для регистрового файла – 260 пс.

На разработанные топологии были получены свидетельства Роспатента [8, 9].

## ЛИТЕРАТУРА

- [1] A. Agarwal et al., A 128x128 b high-speed wide-and match-line content addressable memory in 32 nm CMOS, in Proc. ESSCIRC, Sep. 2011, pp. 83-86.
- [2] H. Chao, Next generation routers, Prps. IEEE, vol. 90, no. 9, pp.1518-1558, Sep. 2002.
- [3] M. Meribout, T. Ogura and M. Nakanishi, On Using the CAM concept for Parametric curve extraction, IEEE Trans. Image Process., vol. 9, no. 12, pp. 2126-2130, Dec. 2000.
- [4] C.-C. Wang, C.-J. Cheng, T.-F. Chen and J.-S. Wang, An adaptively dividable dual-port BiTCAM for virus-detection processors in mobile devices, IEEE J. Solid-State Circuits, vol. 44, no.5, pp.1571-1581, May 2009.
- [5] Сысоева О.В., Кириченко П.Г., Буякова О.Н., Осина С.Э. Методика схемотехнического и топологического проектирования буфера преобразования адресов для высокопроизводительного MIPS-процессора // Электроника, микро- и нанoeлектроника. Сб. научн. трудов. / Под ред. В.Я. Стенина - М.: МИФИ, 2011 - С. 250-255
- [6] Kumar Anshumali et al. Circuit And Process Innovations To Enable High-Performance, And Power And Area Efficiency On The Nehalem And Westmere Family Of Intel Processors. // Intel Technology Journal. Vol. 14. № 3. 2010. P.104-127.
- [7] Вонг Б.П., Миттал А., Цао Ю., Старр Г. Нано-КМОП схемы и проектирование на физическом уровне. М.: Техносфера, 2014.
- [8] Свидетельство о государственной регистрации топологии интегральной микросхемы №2015630124 «Блок TLB (буфер преобразования адресов) по технологии 28 нм КМОП» Кириченко П.Г., Соловьева Л.А., Сысоева О.В. - 26 ноября 2015.
- [9] Свидетельство о государственной регистрации топологии интегральной микросхемы №2015630127 «Блок регистрового файла (РФ) с 8 портами чтения и 6 портами записи по технологии по технологии 28 нм КМОП» Кириченко П.Г., Тарасов И.В. - 26 ноября 2013.

# Design of Power Efficient 14-port Register File and Translation Lookaside Buffer in 28-nm Process

P.G. Kirichenko, L.A. Solovyeva, I.V. Tarasov

NIISI RAS, pgkirich@cs.niisi.ras.ru

**Keywords** — register file, translation lookaside buffer, power consumption, leakage current.

## ABSTRACT

A translation lookaside buffer (TLB) and a register file (RF) blocks are used intensively in a microprocessor core. For our 28-nm chip they were designed by a full-custom approach using same techniques and methods for both blocks as often as possible. The TLB has 64 words with a CAM part of 47 bits including 8 mask bits and a RAM part of 60 bits. The register file with 8 read and 6 write ports has 32 words of 72 bits each. Previously we designed RF with a less number of ports and bits and TLB blocks in 0.18- $\mu\text{m}$  and 65-nm process. However, we did not borrow completely methods and circuits used in those units due to the low power requirements.

28-nm process uses low Vdd values and has relatively high leakage current. This may lead to a significant CAM cell matchline stability reduction. To avoid signal to noise margin decreasing we implemented CAM register on cells with static CAM port instead of dynamic one. The circuit and layout design became more sophisticated but showed much more noise immunity and less leakage current value unlike the predecessors.

To improve read stability in memory array we decided to divide read bitline of RF and TLB on 2 parts: a local bitline, which joins 8 bitcells, and a global one. This also allowed us to keep bitcell area as small as possible and to decrease leakage current. Readmerge cells (the same for RF and TLB blocks) were upgraded to reduce leakage in bus keeper module.

Modification of read data register's set-dominant latch circuit, also the same for both RF and TLB, dramatically improve its noise immunity. We simulated blocks in all 45 PVT corners to ensure their robustness.

The previous designs of TLB used very simple circuitry of local read bitline precharge control. All precharge lines were deactivating during read cycle. The method has a risk of false data reading due to noise and crosstalk if one took into account low Vdd voltage and high leakage current value in 28-nm process. To ensure read stability we developed a precharge control circuit with read address or activated matchline number awareness. This circuit allows precharge deactivation on local bitlines, which should be used for reading only.

As far as we used full-custom approach we could introduced High-Vt transistors on non-critical path parts of circuits. This gave us additional power savings. The results

are presented in Table 1. The old precharge control circuit is designated as "PCH\_ALL", and "NO\_HVT" means absence of High-Vt transistors in non-critical path. One can see the leakage current reduction up to 35% and active current reduction up to 12.7%

Table 1

<i>Active and leakage current</i>			
<b>Current</b>	<b>PCH_ALL, NO_HVT</b>	<b>NO_HVT</b>	<b>Result</b>
$I_{RF\_active}$ , mA	-	25.82	22.91
$I_{RF\_leak}$ , mA	-	7.84	6.64
$I_{TLB\_active}$ , mA	48.99	48.50	47.52
$I_{TLB\_leak}$ , mA	5.70	6.39	4.22

## REFERENCES

- [1] A. Agarwal et al., A 128x128 b high-speed wide-and matchline content addressable memory in 32 nm CMOS, in Proc. ESSCIRC, Sep. 2011, pp. 83-86.
- [2] H. Chao, Next generation routers, Prps. IEEE, vol. 90, no. 9, pp.1518-1558, Sep. 2002.
- [3] M. Meribout, T. Ogura and M. Nakanishi, On Using the CAM concept for Parametric curve extraction, IEEE Trans. Image Process., vol. 9, no. 12, pp. 2126-2130, Dec. 2000.
- [4] C.-C. Wang, C.-J. Cheng, T.-F. Chen and J.-S. Wang, An adaptively dividable dual-port BiTCAM for virus-detection processors in mobile devices, IEEE J. Solid-State Circuits, vol. 44, no.5, pp.1571-1581, May 2009.
- [5] Sysoeva O.V., Kirichenko P.G., Buyakova O.N., Osina S.E. Circuit and layout design method for translation lookaside buffer of high-performance MIPS-processor // Elektronika, mikro- i nanoelektronika. Sb. nauchn. trudov. / Pod red. V.Ja. Stenina - M.: MIFI, 2011 - pp. 250-255 (In Russian).
- [6] Kumar Anshumali et al. Circuit And Process Innovations To Enable High-Performance, And Power And Area Efficiency On The Nehalem And Westmere Family Of Intel Processors. // Intel Technology Journal. Vol. 14. № 3. 2010. pp.104-127.
- [7] Vong B.P., Mittal A., Cao Ju., Starr G. Nano-KMOP shemy i proektirovanie na fizicheskom urovne. M.: Tehnosfera, 2014 (In Russian).
- [8] Kirichenko P.G., Solov'eva L.A., Sysoeva O.V. Blok TLB (bufer preobrazovanija adresov) po tehnologii 28 nm KMOP - A TLB (translation lookaside buffer) IP-block in 28 nm CMOS process. Russian Federation layout registration certificate no. 2015630124 (In Russian).
- [9] Kirichenko P.G., Tarasov I.V. Blok registrovogo fajla (RF) s 8 portami chtenija i 6 portami zapisi po tehnologii po tehnologii 28 nm KMOP – An 8-read and 6-write port register file IP-block in 28 nm process. Russian Federation layout registration certificate no. 2015630127 (In Russian).