

# Методы логико-временного анализа библиотечных элементов и блоков СБИС для перспективных технологий с вертикальным затвором транзистора

С.В. Гаврилов, Т.Д. Жукова, Д.И. Рыжова

Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН),

sergey\_g@ippm.ru, zhukova\_t@ippm.ru, ryzhova\_d@ippm.ru

**Аннотация** — С уменьшением технологических размеров базовых элементов деградация электрических параметров транзисторов становится все более ощутимой, так как возрастает влияние негативных короткоканальных эффектов в транзисторах. Это, в свою очередь, приводит к необходимости разработки альтернативных технологических решений, которые лучше масштабируются и совместимы с производственным процессом КМОП технологии. Одним из перспективных решений в этой области является КМОП технология с трехмерным затвором транзистора. В зарубежной литературе используется термин FinFET (Fin Field Effect Transistor – полевой транзистор с трехмерной структурой в форме плавника). Преимуществами этой технологии являются низкая чувствительность к эффектам короткого канала транзистора и низкие подпороговые утечки. На сегодняшний день отсутствуют средства САПР для синтеза топологии схем на основе FinFET структур, так как при переходе к технологиям 22 нм и ниже значительно увеличивается число конструкторско-технологических правил и ограничений. В данной работе предпринята попытка решения проблемы возрастающего числа норм проектирования за счет использования регулярных структур в слоях топологии.

**Ключевые слова** — САПР (системы автоматизированного проектирования), SP-граф, сложно-функциональный блок (СФ-блок), FinFET транзисторы (транзисторы с трехмерной структурой в форме плавника), КМОП технология.

## I. ВВЕДЕНИЕ

Развитие технологий производства интегральных схем связано с решением задачи масштабирования, которая до недавнего времени вполне удачно решалась с помощью разных технологических и методологических решений для архитектуры планарных транзисторов [1]. Для современных технологических процессов нормы и правила проектирования значительно усложнились по причине увеличения степени интеграции микроэлектронных систем, а также уменьшения технологических размеров базовых элементов. В настоящее время ведущие разработчики микроэлектронной аппаратуры разрабатывают ключевые блоки микроэлектронных систем (ядра микропроцессоров, микроконтроллеров и

т.п.) в полностью заказном режиме. Очевидно, что, в отличие от полузаказного, полностью заказное проектирование может обеспечить достижение лучших характеристик схемы по площади, потребляемой мощности и быстродействию. Кроме того, соблюдение всех конструкторско-технологических правил и ограничений в маршруте полузаказного и заказного проектирования схем с технологиями 22 нм и ниже является сложно выполнимой задачей. В частности, для перспективных технологий альтернативным решением является синтез FinFET структур на топологических шаблонах. В этих условиях в САПР микроэлектроники высокую значимость приобретает исследование и разработка методов логико-топологического синтеза библиотечных элементов и блоков для КМОП технологий с трехмерным затвором транзистора (FinFET).

Впервые компания Intel заявила об использовании FinFET технологии в начале 2012 года, а уже весной с применением FinFET технологии выпустила на рынок микропроцессоры, которые были изготовлены по технологическим нормам 22 нм [2]. В настоящее время ведущие фабрики-производители СБИС стали интенсивно осваивать техпроцессы с размерами транзисторов 16 нм и ниже. Программные средства таких крупных компаний, как Synopsys, Cadence и Mentor Graphics уже поддерживают проектирование по технологическим нормам 10 нм [3-5].

Регулярность FinFET структур не только упрощает верификацию топологии, но и позволяет разработать согласованное решение проблем синтеза логики и топологии схемы на логико-временном уровне анализа, а также предварительно оценить характеристики библиотечных элементов и блоков. Методы анализа логики схем интенсивно развиваются на протяжении последних тридцати лет. Одним из основных таких направлений считаются методы анализа переключательной логики, которые отразились в работах Р.Э. Брайанта [6-7]. Им был предложен метод логического анализа, основанный на представлении схемы в виде последовательно-параллельного направленного ациклического графа (Serial-Parallel Directed Acyclic Graph, SP-DAG). Но так как предложенные модели логических элементов изначально были предназначены только для анализа

логики схемы, то они не содержат полной информации о схемотехническом и топологическом описании всей схемы.

Для решения указанных проблем были разработаны перспективные методы, обеспечивающие контроль быстродействия при существенном сокращении площади элементов за счет дополнительного использования новых возможностей схем с технологией 22 нм и ниже при тесной интеграции методов логического и топологического синтеза.

Для достижения поставленной цели решаются следующие задачи:

- 1) разработка теоретико-графовой модели логических элементов для КМОП технологий с трехмерным затвором транзистора;
- 2) разработка методов формирования топологии базовых элементов для КМОП технологий с трехмерным затвором транзистора на основе регулярного шаблона;
- 3) разработка модели задержки КМОП вентиля на FinFET транзисторах на основе теоретико-графовой модели;
- 4) разработка алгоритмов логико-топологического синтеза библиотечных элементов и блоков с регулярной структурой.

Дальнейшее содержание работы включает следующие разделы.

В разделе II представлены альтернативные методы формирования топологии схем с технологиями 22 нм и ниже.

В разделе III приведено описание модели задержки КМОП вентиля на FinFET транзисторах.

В разделе IV приведено описание теоретико-графовой модели логических элементов для транзисторов с трехмерным затвором.

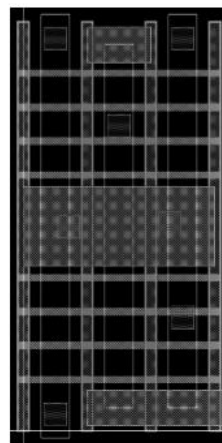
В разделе V представлен алгоритм логико-топологического синтеза схем с регулярной структурой.

Численные эксперименты приведены в разделе VI.

**II. МЕТОДЫ ФОРМИРОВАНИЯ ТОПОЛОГИИ НА ОСНОВЕ РЕГУЛЯРНОГО ШАБЛОНА И ТЕХНОЛОГИИ РЕЖУЩИХ (PCUT) СЛОЕВ**

По аналогии с работами компании Intel [8], в данной статье рассматривается метод топологического синтеза на основе регулярного шаблона. Регулярные шаблоны содержат изолирующие затворы, которые подключены к шинам питания и всегда закрыты. Такие затворы служат для изоляции частей топологии с функциональными затворами друг от друга. Регулярная топология в статье представлена структурой с выровненными полосами сильнолегированных областей  $p^+$  или  $n^+$  типа, фиксированной ширины (ширина может отличаться для  $p^+$  и  $n^+$  частей) и с периодически меняющимися

длинными и короткими затворами (рис. 1). Такая конструкция состоит из транзисторов, относительное расположение которых известно на этапах логического синтеза, что упрощает этапы физического синтеза по сравнению с подходами на отдельных транзисторах [9].



**Рис. 1. Реализация логического блока двухвходового NAND на основе предложенного топологического шаблона (конструкция TG-FinFET 16нм)**

Длинный затвор одновременно управляет  $P$  и  $N$  транзисторами, в то время как короткий затвор управляет только одним транзистором. Получающиеся таким образом последовательно соединенные транзисторы формируют ряды; каждый ряд имеет инвертированный порядок  $p^+$  и  $n^+$  полос по отношению к соседнему ряду, чтобы использовать общий проводник питания для двух соседних полос одного типа.

Альтернативным подходом к синтезу топологии схем с технологиями 22 нм и ниже является технология режущих слоев (cut layers), из которых изготавливаются специальные маски. Эти маски в процессе производства «режут» слои топологии [10]. Такой метод широко используется, начиная с технологии 28нм и ниже. В регулярных структурах метод режущих слоев также дает возможность регулировать синтез сложно-функциональных блоков в слоях поликремния и диффузии. Отрезав поликремний в тех местах, где это необходимо, можно получить почти любую схему и без выбора топологического шаблона.

По результатам исследования был разработан метод синтеза регулярной топологии с внедрением особого (PCUT) слоя, аналогичного режущему слою, который применяется лидирующими производителями (например, компания TSMC) [11]. Формирование регулярной структуры (рис. 2) и топологии (рис. 3) с помощью PCUT слоев обеспечивает уменьшение площади, занимаемой схемой, за счет объединения областей диффузии и уменьшения количества изолирующих затворов.

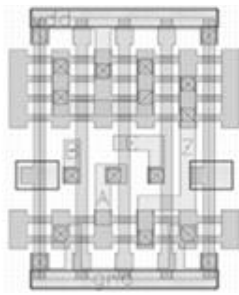


Рис. 2. Регулярная структура трехходового И-ИЛИ-НЕ21 с применением PCUT слоя

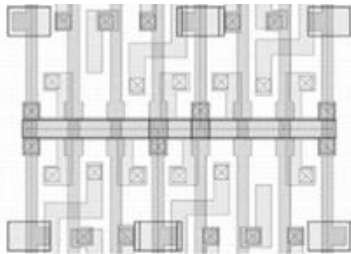


Рис. 3. Фрагмент топологии регулярных структур с применением PCUT слоя

### III. РАЗРАБОТКА МОДЕЛИ ЗАДЕРЖКИ КМОП ВЕНТИЛЯ НА FINFET ТРАНЗИСТОРАХ

На рис. 4 приведена простая структура SG-FinFET транзистора (затворы транзистора соединены), которая состоит из плавника – области диффузии для стока и истока, которая окружена с трех сторон затвором из поликремния. К физическим размерам транзистора относятся высота плавника  $h_{FIN}$ , длина канала  $L_{FIN}$  и толщина плавника  $T_{SI}$  [12]. Ширина канала транзистора  $W_{min} \approx 2 \cdot h_{FIN}$ . Вклад верхней части затвора в работу транзистора можно не учитывать, так как эта часть отделена от плавника сравнительно толстым слоем окисла [13]. Однако нужно отметить, что TG-FinFET часто называют те транзисторы, в которых учитывается и верхняя часть затвора. Для таких транзисторов к  $W_{min}$  добавляется еще и толщина плавника:  $W_{min} = 2 \cdot h_{FIN} + T_{SI}$ .

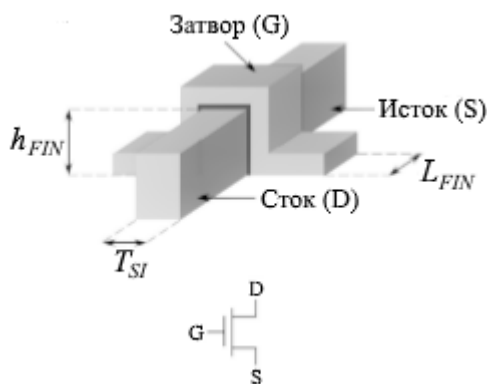


Рис. 4. Структура SG-FinFET транзистора

Структуру IG-FinFET транзистора (затворы транзистора независимы) можно получить из SG-FinFET транзистора, если удалить верхнюю часть затвора. Исходя из специфики конструкции FinFET

транзистора, для получения ширины транзистора, равной  $W > W_{min}$ , нужно параллельно подключить  $N_{FIT}$  транзисторов с шириной  $W_{min}$  [14]:  $N_{FIT} = W/W_{min}$ .

Информация о структуре схемы, которая содержится в ее графовой модели, позволяет проводить анализ некоторых характеристик схемы с помощью эвристических формул для отдельных транзисторов, а также для их параллельных и последовательных соединений. Для этого в работе предлагается заменить каждый транзистор схемы его эквивалентной П-моделью (рис. 5).

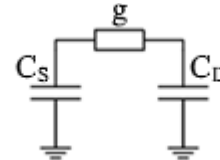


Рис. 5. Эквивалентная П-модель транзистора

Исходя из формул для  $W_{min}$  и  $N_{FIT}$  для КМОП технологий с трехмерным затвором транзистора предлагается следующий способ расчета проводимостей и емкостей отдельных транзисторов:

$$g = \frac{1}{R} = \frac{k_g \cdot W}{L} = \frac{k_g \cdot N_{FIN} \cdot (2 \cdot h_{FIN} + T_{SI})}{L},$$

$$C_S = C_D = k_c \cdot W \cdot L = k_c \cdot N_{FIN} \cdot (2 \cdot h_{FIN} + T_{SI}) \cdot L,$$

где  $L$  – длина канала транзистора, а  $k_g$  и  $k_c$  – коэффициенты, зависящие от технологии и определяемые в результате SPICE-моделирования.

Таким образом, RC-модель схемы, построенная в результате замены транзисторов на их эквивалентные П-модели, содержит в себе информацию о временных характеристиках схемы и может быть использована для логико-временного анализа. Например, такая модель может быть использована для ускоренной оценки быстродействия КМОП-вентилей на основе элморовской модели задержки [15]. В этом подходе задержка проводящего пути вентиля представлена в виде произведения его эквивалентного сопротивления и емкости выходного узла.

В общем случае RC-цепь может быть представлена в виде множества соединенных двухполюсников, при этом значения обобщенных проводимостей для первичных двухполюсников определяются или как проводимость между узлами  $n_i$  и  $n_j$ , соединенными резистором:  $y_{ij} = \frac{1}{R_{ij}} = g_{ij}$ , или как адмиттанс между

узлами  $n_i$  и  $n_j$ , соединенными конденсатором:  $y_{ij} = s \cdot c_{ij}$ . При параллельном соединении резисторов или конденсаторов суммарный адмиттанс между узлами  $n_i$  и  $n_j$  определяется как  $y_{ij} = y_i \cdot y_j$ . В случае последовательного соединения, суммарный адмиттанс определяется по формуле суммы обратных

адмиттансов:  $y_{ij} = \frac{y_{ik} \cdot y_{kj}}{y_{ik} + y_{kj}}$ . В данной работе

предлагается ограничиться общим случаем применения гауссовского исключения для преобразования RC-структуры в эквивалентную П-модель с точки зрения элморовской задержки [16].

#### IV. ТЕОРЕТИКО-ГРАФОВАЯ МОДЕЛЬ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ ДЛЯ FinFET ТРАНЗИСТОРОВ

В данной статье предложена модификация SP-графа, которая кроме описания логики схемы [17-18] также представляет модель ее транзисторного описания на уровне топологии (рис. 6). Корневыми вершинами такого SP-графа являются выходы цифровой схемы, а листьями – ее входы, а схема представлена как совокупность двух поддеревьев путей, которые соответствуют установке значений логических «1» и «0» на выходе. Листья графа представляют собой затворы p-МОП (обозначены с отрицанием) и n-МОП (обозначены без отрицания) транзисторов. При этом SP-графы для цепей транзисторов от земли (pull-down, PD) и цепей транзисторов от питания (pull-up, PU) описываются отдельно.

Задача описания функций на уровне топологии усложняется требованием взаимной однозначности между топологией и графовым деревом. Для обеспечения такой однозначности выбирается направление размещения транзисторов внутри топологии (слева направо или справа налево), так функция конъюнкции разделяется на конъюнкцию направо или налево, функция дизъюнкции – на дизъюнкцию направо или налево.

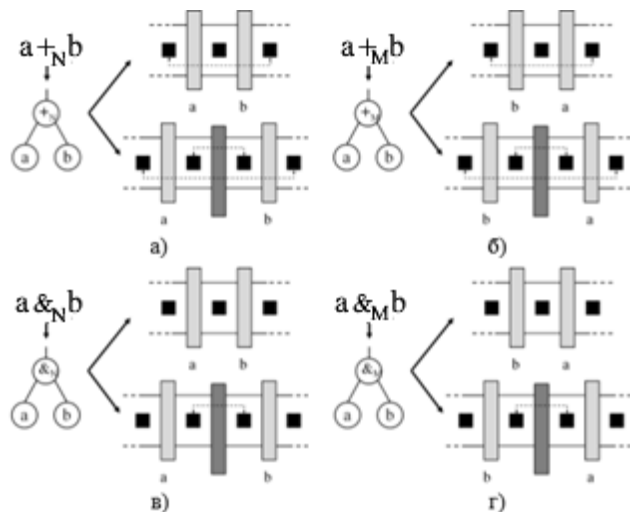


Рис. 6. Набор функций для описания топологической структуры: а) дизъюнкция в направлении N; б) дизъюнкция в направлении M; в) конъюнкция в направлении N; г) конъюнкция в направлении M

Предлагается выбрать одно правильное направление и противоположное ему направление. Так, если порядок транзисторов в топологии соответствует выбранному направлению, то к

оператору добавляется значок N (normal), если порядок противоположный, то M (mirror). Кроме выбора направления размещения транзисторов в последовательно-параллельных соединениях, выбирается ориентация каждого отдельного транзистора. В качестве нормального считается направление от истока к стоку. Каждый вход в описании индексируется латинскими буквами N, M (рис. 7). В данной работе такую модификацию SP-графа предлагается называть SP-NM-графом [19].

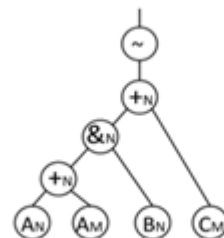


Рис. 7. Вид SP-NM-графа

Например, с помощью функций  $\&_N$ ,  $\&_M$ ,  $+_N$ ,  $+_M$  и  $\sim$  можно получить топологию функции И-ИЛИ-НЕ21 (AOI21). Алгоритм синтеза топологии схемы AOI21 с FinFET технологией на основе теоретико-графовой модели включает следующие шаги:

- 1) Формирование формулы функции:

$$f = \overline{(A \& B)} + C.$$

- 2) Описание функции для PU и PD частей в виде SP-DAG (рис. 8).

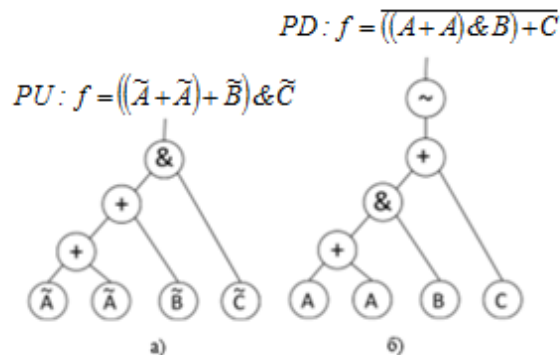


Рис. 8. Пример SP-DAG схемы И-ИЛИ-НЕ21: а) для цепи питания (PU), б) для цепи земли (PD)

На этом этапе решается, в какой последовательности по направлению от земли/питания будут стоять функциональные затворы, которые подключены к соответствующим входам (аргументам функций). В PU части графа аргументы будут с отрицанием, а на выходе не будет отрицания (рис. 8а), в PD части наоборот – аргументы без отрицания, а на выходе отрицание (рис. 8б).

- 3) Выбор направления размещения или направления функций (рис. 9, 10).

$$PU: f = ((\tilde{A}[+_N]\tilde{A})[+_N]\tilde{B})[\&_N]\tilde{C} \quad PD: f = \overline{(A[+_N]A)[\&_N]B}[+_N]C}$$

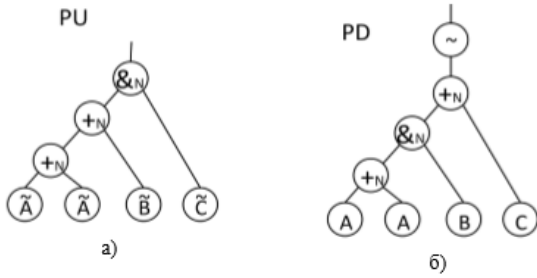


Рис. 9. Аннотация вершин логических функций графа на основе топологического шаблона: а) для цепи питания (PU), б) для цепи земли (PD)

$$PU: f = (\tilde{A}[+_N]\tilde{B})[\&_N]\tilde{C} \quad PD: f = \overline{(A[\&_N]B)[+_N]C}$$

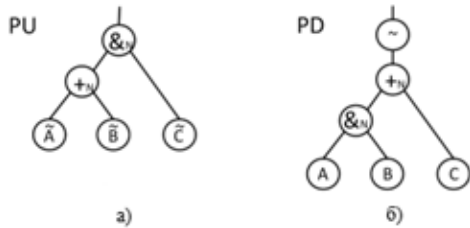


Рис. 10. Аннотация вершин логических функций графа на основе PCUT слоев: а) для цепи питания (PU), б) для цепи земли (PD)

4) Выбор направления каждого транзистора (рис. 11, 12).

$$PU: f = ((\tilde{A}_N[+_N]\tilde{A}_M)[+_N]\tilde{B}_N)[\&_N]\tilde{C}_N \quad PD: f = \overline{((A_N[+_N]A_M)[\&_N]B_N)[+_N]C_M}$$

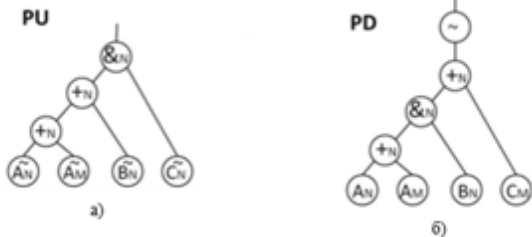


Рис. 11. Полная аннотация графа на основе топологического шаблона: а) для цепи питания (PU), б) для цепи земли (PD)

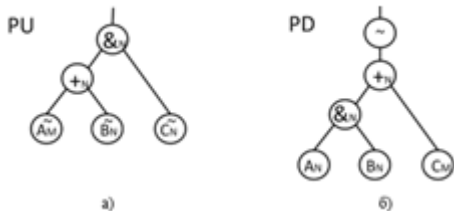


Рис. 12. Аннотация вершин логических функций графа на основе PCUT слоев: а) для цепи питания (PU), б) для цепи земли (PD)

5) Получение топологии из графа (рис. 13, 14, 15, 16).

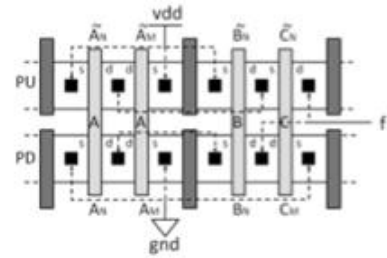


Рис. 13. Пример структуры топологии схемы И-ИЛИ-HE21, полученной из SP-NM-графа, на основе топологического шаблона

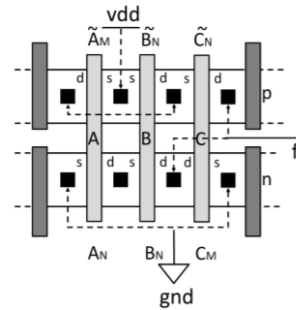


Рис. 14. Пример структуры топологии схемы И-ИЛИ-HE21, полученной из SP-NM-графа, на основе PCUT слоев

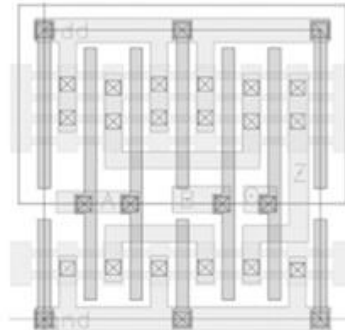


Рис. 15. Топология полученной из SP-NM-графа схемы И-ИЛИ-HE21 на основе топологического шаблона в редакторе Cadence Virtuoso

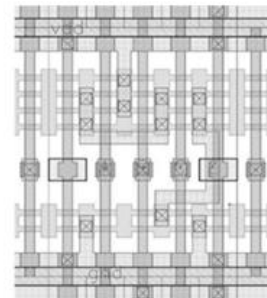


Рис. 16. Топология полученной из SP-NM-графа схемы И-ИЛИ-HE21 на основе PCUT слоев в редакторе Cadence Virtuoso

## V. АЛГОРИТМ ЛОГИКО-ТОПОЛОГИЧЕСКОГО СИНТЕЗА СХЕМ С РЕГУЛЯРНОЙ СТРУКТУРОЙ

Таблица 1

Алгоритм разработан с использованием согласованного решения синтеза схемы и топологии на основе модели компонент в форме графа вложенности последовательно-параллельных структур (SP-NM-граф) с независимым анализом цепей земли (pull-down) и питания (pull-up). Основными этапами реализации предлагаемого алгоритма логико-топологического синтеза являются:

- 1) Формирование графовой модели схемы (SP-DAG) из логики или транзисторного описания схемы.
- 2) Формирование SP-NM-графа с учетом топологического описания схемы на транзисторном уровне.
- 3) Размещение транзисторов из SP-NM-графа на основе КМОП технологии с трехмерным затвором транзистора FinFET. Оценка площади и метрик трассировки.
- 4) Трассировка внутренних соединений блока и формирование конечной топологии из SP-NM-графа.

Неотъемлемой частью логического синтеза как на отдельных транзисторах, так и на стандартных ячейках является операция декомпозиции логической функции – представление функции в виде суперпозиции внешней и набора внутренних функций. Для этой цели используется декомпозиция схемы на подсхемы элементов, связанных по постоянному току (Direct Current Connected Component, DCCC). В одну DCCC попадают все МОП-транзисторы, соединенные через стоки/истоки, при этом каждая DCCC может быть представлена в виде SP-NM-графа, который является модификацией SP-DAG.

SP-NM-граф позволяет эффективно разместить транзисторы на одномерной сетке и оценить площадь и метрику трассировки такой конструкции. В результате создается топология с регулярной структурой в слоях поликремния и диффузии в формате GDSII. Также синтезируется описание схемы на языке проектирования аппаратуры Verilog HDL из SP-NM-графа для дальнейшей обработки и трассировки с помощью промышленных программ, таких как Synopsys IC Compiler или Cadence Encounter.

## VI. ЧИСЛЕННЫЕ ЭКСПЕРИМЕНТЫ

На основе технологии FinFET 16nm был проведен сравнительный анализ занимаемой площади схем, спроектированных по традиционному маршруту на стандартных ячейках и по маршруту формирования регулярных структур на основе транзисторных шаблонов с режущими PCUT слоями и без. Анализ показал, что разработанные методы позволяют сократить площадь элемента до 23% в силу неразрывности затворов транзисторов (табл. 1, 2).

*Сравнительный анализ занимаемой площади схем, спроектированных по традиционному маршруту на основе стандартных ячеек и по маршруту формирования регулярных структур на основе транзисторных шаблонов без PCUT слоев*

Схема	Традиционный маршрут (площадь $\mu^2$ )	Предложенный маршрут (площадь $\mu^2$ )	Выигрыш по площади (%)
c17	2.281	2.84256	-24.6
c432	42.561	40.88448	3.9
c499	91.446	79.10784	13.5
c1355	87.765	78.7752	10.2
c1908	92.483	81.92016	11.4
c2670	126.852	110.13408	13.2

Таблица 2

*Сравнительный анализ занимаемой площади схем, спроектированных по традиционному маршруту на основе стандартных ячеек и по маршруту формирования регулярных структур на основе транзисторных шаблонов с PCUT слоями*

Схема	Традиционный маршрут (площадь $\mu^2$ )	Предложенный маршрут (площадь $\mu^2$ )	Выигрыш по площади (%)
c17	2.281	2.35872	11.4
c432	42.561	32.81472	22.9
c499	91.446	70.32096	23.1
c1355	87.765	69.15456	21.2
c1908	92.483	72.65376	21.4
c2670	126.852	97.848	22.9

Также было проведено сравнение синтезированных библиотечных элементов со стандартными ячейками, которые обладают аналогичной функциональностью и электрическими характеристиками. Сравнение показало, что предложенные методы логико-топологического синтеза позволяют сократить площадь блока от 5 до 15% по сравнению со стандартными ячейками.

## VII. ЗАКЛЮЧЕНИЕ

В данной работе предложены новые методы формирования базовых элементов с регулярными структурами в слоях поликремния и диффузии. Отличительной особенностью этих методов является способ формирования топологии базовых элементов с регулярными FinFET структурами. Также предложен новый шаблон регулярной топологии для

оптимального отображения SP-структуры на FinFET транзисторах. Возможности FinFET технологии в данном случае позволяют формировать регулярные структуры эффективнее, сохраняя при этом сравнительно больше степеней свободы и тем самым уменьшая площадь конечной топологии. В отличие от аналогичных подходов, разработанный шаблон позволяет экономить площадь до 23% за счет структуры неразрывных затворов.

Для дальнейшей оптимизации размещения разработан метод синтеза регулярной топологии с внедрением особого слоя – PCUT слоя. Этот метод позволяет удалять поликремний для обеспечения синтеза любых схем на матрице регулярных слоев поликремния и диффузии.

Предложена модификация SP-DAG, которая представляет не только модель логического описания схемы, но и содержит информацию о ее топологической структуре. На основе полученной графовой модели был разработан эффективный алгоритм логико-топологического синтеза и структурной оптимизации схем. При этом, с одной стороны, сохраняется большее число степеней свободы за счет булевой формы графа, с другой стороны, обеспечивается нужная точность оценки задержек, мощности и площади за счет структурной интерпретации на транзисторном уровне.

В рамках разработанного маршрута были проведены численные эксперименты на наборе тестовых схем ISCAS85 [20] с использованием одной из новейших КМОП технологий с трехмерным затвором транзистора с технологией 16 нм. Проведен комплекс численных экспериментов, подтверждающих эффективность разработанных методов и моделей для логико-топологического синтеза библиотечных элементов и блоков для КМОП технологий с трехмерным затвором транзистора. Полученные результаты позволили сделать вывод о высокой степени эффективности предлагаемого подхода: получен выигрыш по площади топологии (от 10 до 20 %) при ухудшении других параметров схемы (задержка, мощность) порядка 5 %, а также выигрыш во времени проектирования (в 2-3 раза) за счет автоматизации этапов физического синтеза топологии.

#### ПОДДЕРЖКА

Работа выполнена при финансовой поддержке РФФИ в рамках научного проекта № 16-07-00609.

#### ЛИТЕРАТУРА

- [1] Scheffer L.K. Physical CAD Challenges to Incorporate Design for Lithography and Manufacturability // Proc. of ASP-DAC. – 2004. – P. 768-773.
- [2] 3D, 22 nm: New Technology Delivers An Unprecedented Combination of Performance and Power Efficiency // Intel corporation. Режим доступа: <http://www.intel.com/content/www/us/en/silicon-innovations/intel-22nmtechnology.html>.
- [3] Synopsys Tools Achieve TSMC Certification for 16-nm FinFET+ Process and Both Companies Enter 10-nm FinFET Collaboration // Synopsys, Inc. Режим доступа: <http://news.synopsys.com/2014-09-25-Synopsys-Tools-Achieve-TSMCCertification-for-16-nm-FinFET-Process-and-Entered-10-nm-FinFETCollaboration>.
- [4] Cadence Digital and Custom/Analog Tools Achieve TSMC Certification for 10nm FinFET Process Technology // Cadence Design Systems, Inc. Режим доступа: <http://www.cadence.com/cadence/Pages/tsmc.aspx>.
- [5] Mentor Graphics and TSMC Collaborate to Deliver IC Design and Signoff Infrastructure for 10nm // Mentor Graphics, Inc. Режим доступа: <http://www.mentor.com/company/news/mentor-tsmc-design-10nm>.
- [6] Bryant R.E. Boolean Analysis of MOS Circuits// IEEE Trans. on CAD. – 1987. – P. 634-649.
- [7] Bryant R.E. Graph-Based Algorithms for Boolean Function Manipulation// IEEE Trans. on Computers. – 1986. – P. 677-691.
- [8] Талалай М.С, Трушин К.В., Венгер О.В. Логический синтез комбинационных схем на основе транзисторных шаблонов с регулярной топологией // Информационные технологии. – 2011. – №4 (176). – С. 2-7.
- [9] Гаврилов С.В., Иванова Г.А., Манукян А.А. Методы проектирования заказных сложно-функциональных блоков в базе элементов с регулярной топологической структурой в слоях поликремния и диффузии // VI Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем - 2014» / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИПМ РАН, 2014. Часть I. С. 161-166.
- [10] Synopsys, «Design Solutions for 20nm and Beyond», June 2012.
- [11] Гаврилов С.В., Иванова Г.А., Манукян А.А. Новые проблемы логико-топологического синтеза заказных сложно-функциональных блоков и методы их решения // Информационные технологии. 2014. № 8. С. 44-50.
- [12] Гаврилов С.В., Глебов А.Л., Стемпковский А.Л. Методы логического и логико-временного анализа цифровых КМОП СБИС. М.: Наука. 2007. 220 с.
- [13] Huang X., Lee W.-C., Kuo C., Hisamoto D., etc. Sub 50-nm FinFET: PFET // Tech. Dig. IEDM. 1999. P. 67–70.
- [14] Collinge J. P. FinFETs and Other Multi-Gate Transistors // New York: Springer. 2008.
- [15] Anil K.G., Henson K., Biesemans S., and Collaert N. Layout density analysis of FinFET // in Proc. ESSDERC. 2003. P. 139–142.
- [16] Elmore W.C. The Transient Response of Damped Linear Networks with Particular Regard to Wideband Amplifiers// IEEE Transactions. 1948. Vol. 19. P. 55-63.
- [17] Sheehan B.N. Realizable Reduction of Extracted RC Circuits.// Digest of Technical Papers, IEEE/ACM Proc. of ICCAD. 1999. P. 200-203.
- [18] Гаврилов С.В., Гудкова О.Н., Щелоков А.Н. Логико-временной анализ нанометровых схем на основе интервального подхода // Известия ЮФУ. Технические науки. – 2012. – №7 (132). – С. 85-91.
- [19] Гаврилов С.В., Иванова Г.А., Стемпковский А.Л. Теоретико-графовая модель сложно-функциональных блоков для КМОП технологий с трехмерной структурой транзистора // Известия ЮФУ. Технические науки. 2014. № 7 (156). С. 58-66.
- [20] Hansen M., Yalcin H., and Hayes J.P. Unveiling the ISCAS-85 Benchmarks: A Case Study in Reverse Engineering // IEEE Design and Test. 1999. Vol. 16. No. 3. Pp. 7280.

# The methods of time-logic analysis of library elements and VLSI blocks for advanced technologies with a vertical transistor's gate

S.V. Gavrilov, T.D. Zhukova, D.I. Ryzhova

Institute for Design Problems in Microelectronics of Russian Academy of Sciences,  
sergey\_g@ippm.ru, zhukova\_t@ippm.ru, ryzhova\_d@ippm.ru

**Keywords** — CAD (computer-aided design), SP-DAG, Intellectual property (IP-block), FinFET transistor, CMOS technology.

## ABSTRACT

With the reduction of standard elements size, the degradation of transistors electrical parameters grows dramatically as the negative impact of the short-channel effects is increased. This results in the need to develop alternative technological solutions which scaled better than existing solutions and compatible with CMOS manufacturing process. One of the most promising solution in this field is the CMOS technology with 3D transistor's gate. In the foreign literature FinFET term is used (Fin Field Effect Transistor – field effect transistor with 3D structure in the shape of fin). The advantages of this technology are low sensitivity to the short-channel effects and low subthreshold leakage. Today CAD tools for layout synthesis for circuits based on FinFET structures are absent, since for 22 nm technologies and below the number of design rules and constrains is significantly increased. In this paper we attempt to solve the problem of increasing number of design rules by using regular structures in layout layers.

## FINANCIAL GRANT

The work was financially supported by RFBR, research project No. 16-07-00609.

## REFERENCES

- [1] Scheffer L.K. Physical CAD Challenges to Incorporate Design for Lithography and Manufacturability – *Proc. of ASP-DAC*, 2004, pp. 768-773.
- [2] 3D, 22 nm: New Technology Delivers An Unprecedented Combination of Performance and Power Efficiency – Intel corporation. <http://www.intel.com/content/www/us/en/silicon-innovations/intel-22nmtechnology.html>.
- [3] Synopsys Tools Achieve TSMC Certification for 16-nm FinFET+ Process and Both Companies Enter 10-nm FinFET Collaboration – Synopsys, Inc. <http://news.synopsys.com/2014-09-25-Synopsys-Tools-Achieve-TSMCCertification-for-16-nm-FinFET-Process-and-Entered-10-nm-FinFETCollaboration>.
- [4] Cadence Digital and Custom/Analog Tools Achieve TSMC Certification for 10nm FinFET Process Technology – Cadence Design Systems, Inc. <http://www.cadence.com/cadence/Pages/tsmc.aspx>.
- [5] Mentor Graphics and TSMC Collaborate to Deliver IC Design and Signoff Infrastructure for 10nm – Mentor Graphics, Inc. <http://www.mentor.com/company/news/mentor-tsmc-design-10nm>.
- [6] Bryant R.E. Boolean Analysis of MOS Circuits – *IEEE Trans. on CAD*, 1987, pp. 634-649.
- [7] Bryant R.E. Graph-Based Algorithms for Boolean Function Manipulation – *IEEE Trans. on Computers*, 1986, pp. 677-691.
- [8] Talalaj M.S., Trushin K.V., Venger O.V. Logic synthesis of combinational circuits based on transistors templates with regular layout – *Informacionnye tehnologii*, 2011, no. 4 (176), pp. 2-7 (in Russian).
- [9] Gavrilov S.V., Ivanova G.A., Manukjan A.A. Methods of designing custom IP-blocks based on the elements with regular topological structure in layers of polysilicon and diffusion – *VI Vserossijskaja nauchno-tehnicheskaja konferencija «Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem - 2014»*, pod obshh. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2014, no. I, pp. 161-1667 (in Russian).
- [10] Synopsys, «Design Solutions for 20nm and Beyond», June 2012.
- [11] Gavrilov S.V., Ivanova G.A., Manukjan A.A. New problems of logic-topological synthesis of custom IP-blocks and methods for their solution – *Informacionnye tehnologii*, 2014, no. 8, pp. 44-50 (in Russian).
- [12] Gavrilov S.V., Glebov A.L., Stempkovskij A.L. Methods of logic and time-logic analysis of digital CMOS VLSI. M.: Nauka, 2007. 220 p (in Russian).
- [13] Huang X., Lee W.-C., Kuo C., Hisamoto D., etc. Sub 50-nm FinFET: PFET – *Tech. Dig. IEDM*, 1999, pp. 67–70.
- [14] Collinge J. P. FinFETs and Other Multi-Gate Transistors. New York: Springer, 2008.
- [15] Anil K.G., Henson K., Biesemans S., and Collaert N. Layout density analysis of FinFET – *Proc. ESSDERC*, 2003, pp. 139–142.
- [16] Elmore W.C. The Transient Response of Damped Linear Networks with Particular Regard to Wideband Amplifiers – *IEEE Transactions*, 1948, vol. 19, pp. 55-63.
- [17] Sheehan B.N. Realizable Reduction of Extracted RC Circuits – *Digest of Technical Papers*, IEEE/ACM Proc. of ICCAD, 1999, pp. 200-203.
- [18] Gavrilov S.V., Gudkova O.N., Shhelokov A.N. Time-logic analysis of nanometer circuits based on the interval approach – *Izvestija JuFU. Tehnicheskie nauki*, 2012., no. 7 (132), pp. 85-91 (in Russian).
- [19] Gavrilov S.V., Ivanova G.A., Stempkovskij A.L. Theoretical-graph model of IP-blocks for CMOS technology with 3D structure of the transistor – *Izvestija JuFU. Tehnicheskie nauki*, 2014, no. 7 (156), pp. 58-66 (in Russian).
- [20] Hansen M., Yalcin H., and Hayes J.P. Unveiling the ISCAS-85 Benchmarks: A Case Study in Reverse Engineering – *IEEE Design and Test*, 1999, vol. 16, no. 3, 7280 p.