

Эквалайзер с решающей обратной связью и активной индуктивностью для высокоскоростного приемника

А.В. Ларионов

Научно-исследовательский институт системных исследований РАН, alar@cs.niisi.ras.ru

Аннотация — В статье представлена архитектура эквалайзера с решающей обратной связью и прямым доступом. Особенность данной работы – принципиальная схема эквалайзера, реализованная с применением активной индуктивности, что позволило увеличить его быстродействие на 18%, по сравнению с эквалайзером на основе резистивной нагрузки, без дополнительных затрат по мощности. Эквалайзер 4-ого порядка спроектирован по технологии КМОП 65 нм с потребляемой мощностью 31 мВт и способен обрабатывать данные на скорости 12.5 Гб/с.

Ключевые слова — эквалайзер, решающая обратная связь, приемник, приемопередатчик, DFE, direct-feedback architecture, active inductor, CML, SSLMS.

I. ВВЕДЕНИЕ

Полоса пропускания электрического канала деградирует в результате нескольких физических эффектов. Три основных – это скин-эффект, абсорбция диэлектрика и отражения. Эквалайзер с решающей обратной связью DFE (Decision-Feedback Equalizer), используемый на стороне приемника, позволяет компенсировать затухание в канале. Достоинством DFE является возможность компенсировать затухания в канале, имеющие нелинейный характер, а также компенсировать МСИ (межсимвольную интерференцию) без усиления шума и перекрестных помех.

Цель работы – спроектировать DFE для высокоскоростного приемника, используемого в каналах с большим коэффициентом затухания сигнала. Главное требование быстродействующего DFE – гарантировать своевременный приход сигналов обратной связи для корректного формирования данных на входе первой защёлки к моменту его стробирования. Архитектура, схемотехника и технология – пути для достижения этой цели.

Существует две основные опции в процессе выбора архитектуры DFE. Первая опция – спекулятивный принцип (speculative feedback) [1] или прямой доступ (direct-feedback) [2-4]. Вторая опция – количество параллельных конвейеров, как правило, два (half-rate) [1-4] или четыре (quarter-rate) [5].

Спекулятивный принцип – один из наиболее популярных подходов для обеспечения предельно-возможных скоростей обработки данных. Распараллеливание потоков с предварительным вычислением возможных комбинаций данных

позволяет смягчить временные требования к цепям обратной связи. Однако такой подход увеличивает количество защелок и мультиплексоров вдвое для каждого спекулятивного порядка, а также провоцирует ужесточение временных требований для следующего порядка эквалайзера. По сути, происходит экспоненциальное увеличение аппаратных затрат, что неизбежно ведет к значительному росту потребления, площади, длины проводников, паразитных параметров. Более того, спекулятивные порядки фильтра не участвуют в коррекции сигнала, используемого для блока восстановления синхронизации CDR (Clock Data Recovery), что приводит к дополнительному дрейзу восстанавливаемого тактового сигнала.

Для эквалайзера с прямым доступом в работах [2-4] предложен подход (latch-based или soft-decision), позволяющий уменьшить время прохождения сигнала в петле обратной связи для наиболее критичного первого порядка без дополнительной аппаратуры. Данный тип эквалайзера является хорошим компромиссом между скоростью обрабатываемых данных и потребляемой мощностью.

Схемотехнические решения быстродействующих DFE в большинстве своем сводятся к применению токовой логики CML (Current Mode Logic). Этот стиль обеспечивает максимальное быстродействие, но требует больших энергетических затрат. В работе [2] для снижения потребления частично использовалась псевдо-CML логика с индуктивностью в нагрузке. Однако такой стиль увеличивает площадь, что неизбежно приводит к увеличению паразитных параметров. В работах [3-4] применяется предзаряд паразитной емкости на дифференциальных выходах сумматоров, но снижению потребления сопутствует снижение помехоустойчивости блока, что может оказаться критичным при использовании в системах на кристалле.

В параграфе II представлена архитектура DFE и его функциональное описание. Способ увеличения быстродействия эквалайзера и принципиальная схема сумматора представлены в параграфе III. В IV представлены результаты моделирования, а в V – заключение работы.

II. АРХИТЕКТУРА ЭКВАЛАЙЗЕРА

Схема DFE, реализованного в данной работе, показана на рис. 1. Применена архитектура с прямым доступом, сходная с архитектурой, представленной в

[4]. Эквалайзер 4-ого порядка содержит два параллельных, абсолютно идентичных конвейера. Один – для обработки четных (EVEN), другой – для обработки нечетных (ODD) импульсов входной последовательности данных. Конвейер состоит из сумматора, буфера, компаратора и 8-ми защелок (latches). Блок тактируется тремя парами тактовых сигналов с частотой Найквиста. Сигнал CLKD/NCLKD тактирует 8 защелок, фиксируя восстановленные данные YDEVEN/YDODD, поступающие на демultipлексор, а также в петлю обратной связи на входы сумматоров. Сигнал CLKB/NCLKB тактирует 4 защелки, фиксируя информацию для контроля фазы и частоты тактовых сигналов. Эта информация с выходов YBEVEN/YBODD демultipлексируется и поступает в блок восстановления синхронизации CDR. Наконец, сигналы CLKA/NCLKA фиксируют информацию, необходимую для вычисления коэффициентов DFE, коррекции постоянной составляющей, подстройки усилителя напряжения и линейного эквалайзера. Эта информация с выходов YAEVEN/YAODD демultipлексируется и подается в блок, использующий хорошо известный метод наименьших средних квадратов SSLMS (Sign-Sign Least Mean Square).

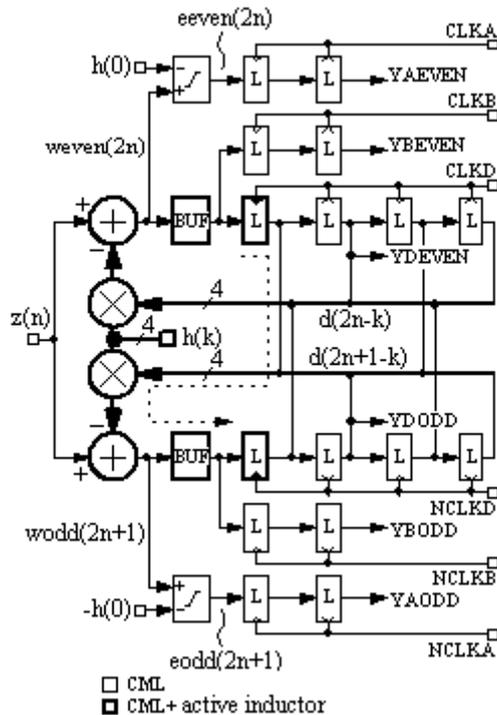


Рис. 1. Функциональная схема эквалайзера

Сигналы CLKD/NCLKD и CLKB/NCLKB находятся в квадратуре по отношению друг к другу. Когда сходимость блоком CDR найдена, фронты и срезы CLKD/NCLKD совпадают с центром “глазка” данных на входе первых защелок. В свою очередь, фронты и срезы CLKB/NCLKB совпадают с моментами переключений “глазка” данных.

Хотя DFE является цифро-аналоговым блоком, его работу удобно рассматривать в цифровом домене, где n – промежуток времени, соответствующий одному единичному интервалу UI (Unit Interval). Сигнал $z(n)$, имеющий определенную порцию МСИ, поступает на вход DFE. Поскольку для EVEN конвейера интересны только четные данные, а для ODD конвейера нечетные, входной сигнал можно разложить на $z(2n)$ и $z(2n+1)$. Выходные сигналы сумматоров $w_{even}(2n)$ и $w_{odd}(2n+1)$ – это восстановленные сигналы, полученные путем вычитания продукта обратной связи из входного сигнала:

$$w_{even}(2n) = z(2n) - \sum_{k=1}^4 h(k)d(2n-k),$$

$$w_{odd}(2n+1) = z(2n+1) - \sum_{k=1}^4 h(k)d(2n+1-k),$$

где $h(k)$ – весовые коэффициенты для каждого порядка эквалайзера. Для подстройки коэффициентов требуется определить ошибку $e(n)$. С этой целью в эквалайзер встроены компараторы, выполняющие сравнение текущего уровня выходного сигнала сумматора с пороговым уровнем $h(0)$. Поскольку система является высокоскоростной, с целью снижения нагрузки на сумматоры каждый конвейер имеет только один компаратор. Конвейер EVEN проводит проверку для позитивных данных “единиц”, а конвейер ODD – для негативных данных “нулей”. С этой целью на вход компаратора в конвейер EVEN пороговый уровень $h(0)$ подается прямо, а в конвейер ODD – инверсно. Уравнения для определения ошибок:

$$e_{even}(2n) = w(2n) - h(0),$$

$$e_{odd}(2n+1) = w(2n+1) + h(0).$$

Поскольку обработка осуществляется бинарным образом, справедливо рассматривать знак ошибки, записав $\text{sign}[e_{even}(2n)]$ и $\text{sign}[e_{odd}(2n+1)]$. Аккумулируя все ошибки, уравнение для подстройки коэффициентов эквалайзера можно записать как:

$$h(n, k) = h(n-1, k) - \mu * \text{sign}[e(n)] * d(n-k),$$

где k – порядковый номер фильтра от 1 до 4 и μ – коэффициент передачи. Уравнение для подстройки порогового напряжения:

$$h(n, 0) = h(n-1, 0) - \mu * \text{sign}[e(n)].$$

Необходимо отметить, что существенные нелинейности передаточной характеристики канала даже применительно к печатным платам, выполненным по бюджетным технологиям (low-cost), проявляют себя на частотах выше 1 ГГц. И поскольку приемник содержит в своем тракте линейный эквалайзер, компенсирующий низкочастотную часть МСИ, реализация DFE с порядком выше 5-ого для обработки потока данных 10 Гб/с не имеет большого смысла.

III. СХЕМОТЕХНИКА ЭКВАЛАЙЗЕРА

A. Активная индуктивность

На рис. 1 пунктирной стрелкой показан критичный путь эквалайзера (второй путь – симметричный), а элементы этого пути выделены утолщенной линией. Первая защелка тракта данных – сумматор и буфер – должна иметь полосу пропускания достаточную, чтобы задержка данных по критичному пути была в пределах одного единичного интервала UI.

Наиболее часто применяемый подход для увеличения полосы пропускания элементов схемы – использование в нагрузке классической индуктивности [2]. Однако металлизированная спираль и охранное кольцо, лежащие в основе такой индуктивности, требуют большой площади, что ведет к значительному увеличению паразитных параметров проводников схемы. Также необходимо контролировать собственный резонанс индуктивности, который должен быть много больше, чем полоса пропускания схемы.

В работах [6-8] для увеличения полосы пропускания схемы использована активная индуктивность. Это хорошая альтернатива классической индуктивности, поскольку занимает значительно меньшую площадь и не имеет проблем с резонансом, корректно функционируя вплоть до половинной частоты единичного усиления транзистора. Кроме того, к несомненным преимуществам активной индуктивности относится возможность подстраивать её номинал после изготовления кристалла. В [7] это свойство использовано для регулировки глубины эквалайзера передатчика в зависимости от затухания в канале связи.

На рис. 2 представлены три варианта реализации активной индуктивности. Импеданс нагрузки можно записать как:

$$Z(s) = \frac{1}{g_M} * \frac{1 + sCR}{1 + s \frac{C}{g_M}},$$

где g_M – крутизна транзистора M. Дополнительный ноль $1/CR$ увеличивает полосу пропускания. В низкочастотной области импеданс равен приблизительно $1/g_M$, а в высокочастотной – R. Отметим также, что, как правило, роль конденсатора C выполняет емкость затвор-исток транзистора, что приводит к дополнительному уменьшению занимаемой площади.

Индуктивность на рис. 2а реализована на NMOS-транзисторе. Недосток этой схемы – сужение рабочего диапазона напряжений для обработки

сигнала. Это спровоцировано необходимостью обеспечить пороговое напряжение, подаваемое на затвор-исток транзистора MN1. Более того, потенциал истока MN1 много больше подложки, что приводит к увеличению порогового напряжения (body-effect). Увеличить рабочий диапазон можно путем использования дополнительного источника питания с повышенным напряжением $VDD+V_b$, где V_b чуть меньше порогового напряжения. Схема показана на рис. 2б. Такой подход нежелателен, поскольку требует дополнительные аппаратные затраты, усложняя конечное изделие.

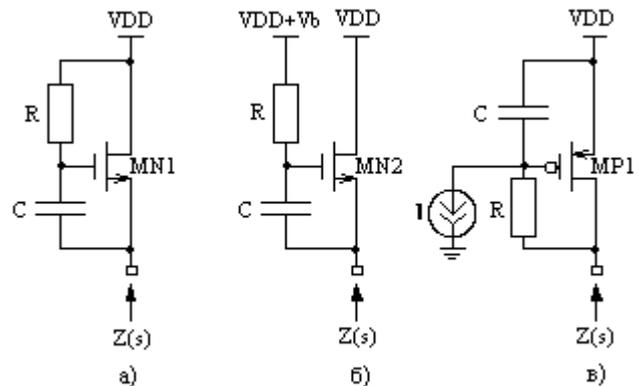


Рис. 2. Варианты реализации схемы активной индуктивности: (а) на NMOS транзисторе, (б) на NMOS транзисторе с дополнительным источником питания, (в) на PMOS транзисторе

На рис. 2в активная индуктивность реализована на PMOS-транзисторе. В схему интегрирован источник тока, удерживающий транзистор MP1 в крутой области $V_{DSMP1} = V_{GSMP1} - IR$, что обеспечивает линейное функционирование в широком диапазоне напряжений без дополнительных источников питания.

B. Схема сумматора

На рис. 3 показана принципиальная схема сумматора с активной индуктивностью на основе PMOS-транзистора в нагрузке. На вход Z/Z_N подается корректируемый сигнал. Схема суммирует токи параллельно соединенных дифференциальных пар, формируя выходной восстановленный дифференциальный сигнал W/NW . Сигналы $D\langle k \rangle / ND\langle k \rangle$ поступают на входы по петле обратной связи с выходов защелок. Отметим, что знак первого порядка эквалайзера всегда негативный (инверсия к входному сигналу), а для остальных порядков эквалайзера знак может меняться. Это упрощение, основанное на реалистичной модели затухания в канале, позволяет несколько снизить выходную емкость сумматора. Величины весовых токов I_{MAIN} , $I_{N\langle k \rangle}$ формируются массивом цифро-аналоговых преобразователей (ЦАП). В целях избегания нежелательных искажений постоянная

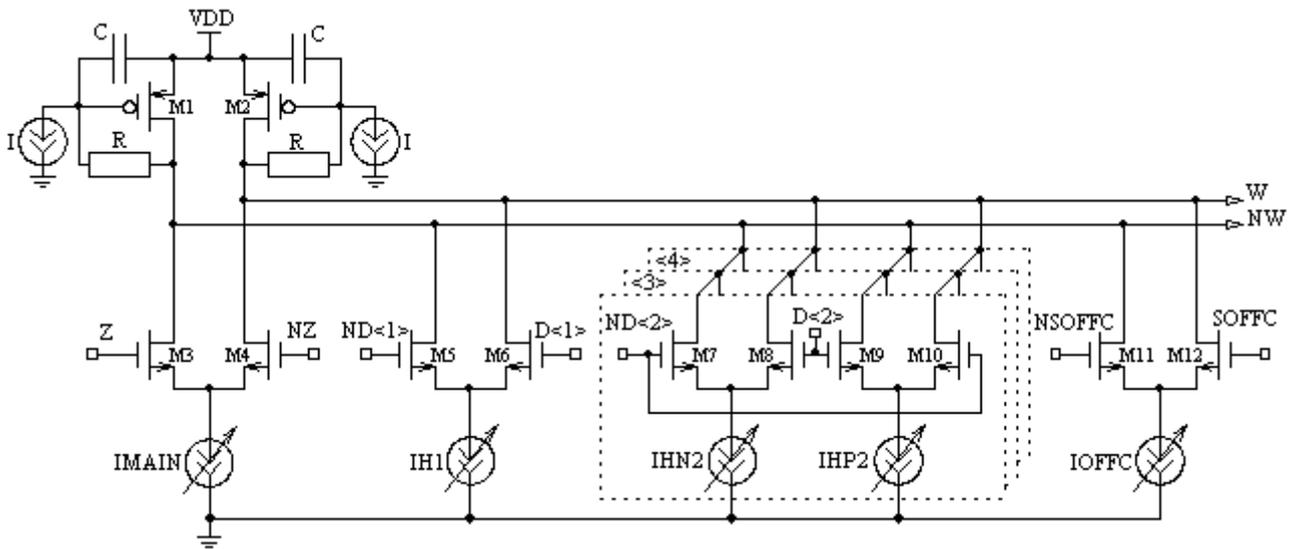


Рис. 3. Принципиальная схема сумматора с активной индуктивностью в нагрузке

составляющая сигнала W/NW не должна зависеть от величины тока для любого порядка k. Это обеспечивается условием:

$$I_{MAIN} + \sum_{k=1}^4 I_{H<k>} = const.$$

В процессе обработки данных, предшествующих сумматору, постоянная составляющая прямого Z и инверсного ZN сигналов могли сместиться друг относительно друга. С целью её выравнивания на вход SOFFC/NSOFFC поступает управляющий сигнал, формируя знак коррекции. Величину тока IOFFC также контролирует ЦАП. Все цифро-аналоговые преобразователи управляются через SSLMS алгоритм.

IV. МОДЕЛИРОВАНИЕ

Рис. 4 демонстрирует увеличение полосы пропускания сумматора и буфера в результате замены резистивной нагрузки на активную индуктивность. Это в свою очередь приводит к уменьшению времени критического пути, показанного на рис. 1, с 88 пс до 72 пс. Быстродействие DFE увеличивается приблизительно на 18% без дополнительных затрат потребляемой мощности, что позволяет применять его на скорости 12,5 Гб/с.

Терминирование входного сигнала, регулировка амплитуды, коррекция низкочастотной межсимвольной интерференции, восстановление тактового сигнала и расчет весовых коэффициентов требуются для проверки характеристик DFE. Следовательно, объективно проверить эквалайзер можно только в составе приемника, не все блоки которого могут функционировать на скорости 12,5 Гб/с.

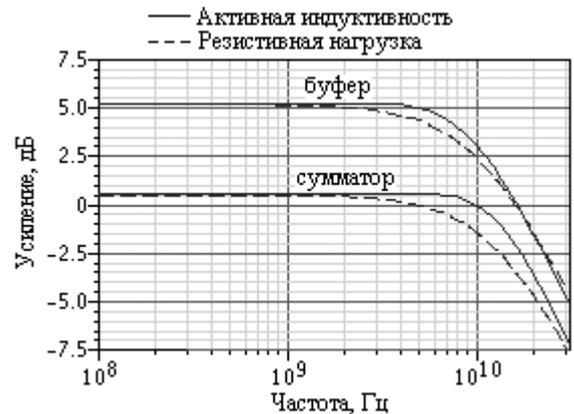


Рис. 4. Амплитудно-частотные характеристики сумматора и буфера с активной индуктивностью и резистивной нагрузкой

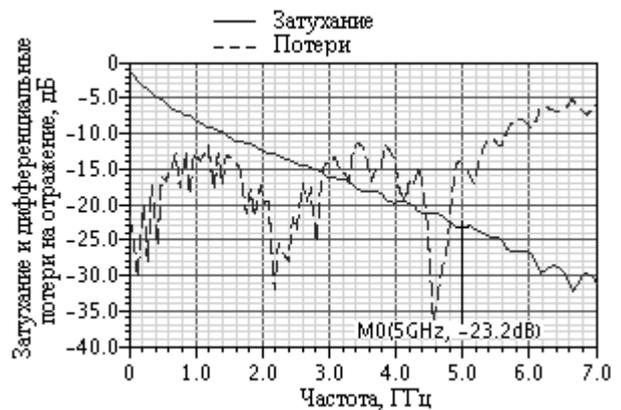


Рис. 5. Зависимость затухания и дифференциальных потерь на отражение от частоты для приемопередающего канала

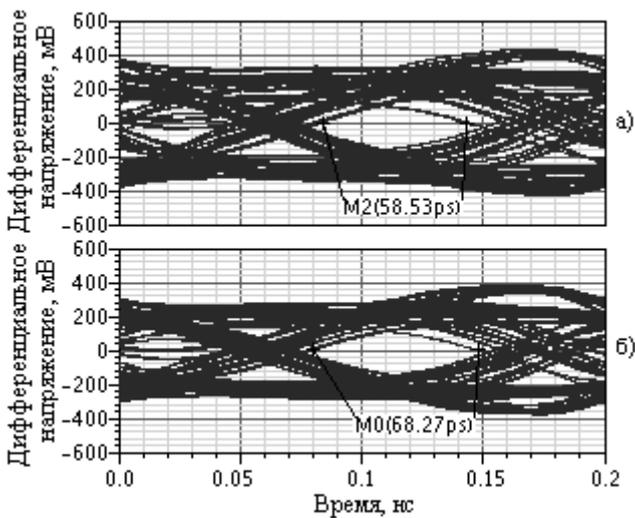


Рис. 6. Глазковые диаграммы на входе первой защелки одного из двух параллельных конвейеров эквалайзера: (а) с резистивной нагрузкой, (б) с активной индуктивностью в нагрузке

Таблица 1

Основные характеристики эквалайзеров с решающей обратной связью и прямым доступом

Дизайн	Эта работа	[2]	[3]	[4]
Тех., нм	65 CMOS	65 CMOS	65 CMOS	45 SOI
Архитектура	half-rate	half-rate+full rate adder	half-rate	half-rate
Схематехника	CML+ active inductor	pseudo CML+ inductor	CML+ precharge adder	CML+ precharge adder
Порядок фильтра	4	3	1+IIR	5
Питание, В	1.0	1.0	1.0	1.0
Пот. мощ., мВт	31	40	7*	30
Скорость, Гб/с	12.5	10	10	12

* Учитывался только тракт данных

В данной работе для проверки эффективности предложенного решения проведено моделирование приемника на скорости 10 Гб/с с DFE на основе резистивной нагрузки и на основе активной индуктивности. Сигнал на вход приемника подан через канал с затуханием -23 дБ на частоте Найквиста, как видно на рис. 5. Эквалайзер передатчика [9] отключен, а также нет искусственных источников случайного шума (random jitter отсутствует). Результаты моделирования на рис. 6 показывают, что применение активной индуктивности привело к дополнительному раскрытию “глаза” по горизонтали приблизительно на 9 пс. В табл. 1 приведены основные характеристики DFE с прямым доступом для этой и ранее представленных работ.

V. ЗАКЛЮЧЕНИЕ

Эквалайзер с решающей обратной связью и прямым доступом разработан по технологии КМОП 65 нм. Принципиальная схема эквалайзера реализована с применением активной индуктивности, что позволило увеличить его быстродействие на 18%, по сравнению с эквалайзером на основе резистивной нагрузки, без дополнительных затрат по мощности. Блок спроектирован как составная часть высокоскоростного приемника, используемого в каналах с большим коэффициентом затухания сигнала. Эквалайзер 4-ого порядка потребляет 31 мВт от источника питания 1 В и способен обрабатывать данные со скоростью 12,5 Гб/с.

БЛАГОДАРНОСТИ

Выражаю признательность Бужковой О.Н. и Сысоевой О.В. за искусное выполнение топологии.

ЛИТЕРАТУРА

- [1] Bulzacchelli J., Meghelli M., Rylov S. A 10-Gb/s 5-tap DFE/4-tap FFE transceiver in 90-nm CMOS technology // IEEE Journal of Solid-State Circuits. 2006. V. 41. № 12. P. 2885-2900.
- [2] Pozzoni M., Erba S., Viola P. A multi-standard 1.5 to 10 Gb/s latch-based 3-tap DFE receiver with a SSC tolerant CDR for serial backplane communication // IEEE Journal of Solid-State Circuits. 2009. V. 44. № 4. P. 1306-1315.
- [3] Kim B., Liu Y., Dickson T. A 10-Gb/s compact low-power serial I/O with DFE-IIR equalization in 65 nm CMOS // IEEE Journal of Solid-State Circuits. 2009. V. 44. № 12. P. 3526-3538.
- [4] Dickson T., Bulzacchelli J., Friedman D. A 12-Gb/s 11-mW half-rate sampled 5-tap decision feedback equalizer with current-integrating summers in 45-nm SOI CMOS technology // IEEE Journal of Solid-State Circuits. 2009 V. 44, № 4. P. 1298-1305.
- [5] Agrawal A., Bulzacchelli J., Dickson T. A 19-Gb/s serial link receiver with both 4-tap FFE and 5-tap DFE functions in 45-nm SOI CMOS // IEEE Journal of Solid-State Circuits. 2012. V. 47. № 12. P. 3220-3231.
- [6] Sackinger E., Fischer W. A 3 GHz, 32 dB CMOS limiting amplifier for SONET OC-48 receivers // IEEE International of Solid-State Circuits Conference. 2000. P. 158-159.
- [7] Payandehnia P., Forouzandeh B., Abbasfar A. A 12.5 Gb/s active-inductor based transmitter for I/O applications // IEEE European Conference on Circuit Theory and Design. 2011. P. 186-189.
- [8] Kimura H., Aziz P., Jing T. A 28 Gb/s 560 mW multi-standard serdes with single-stage analog frond-end and 14-tap decision feedback equalizer in 28 nm CMOS // IEEE Journal of Solid-State Circuits. 2014. V. 49. № 12. P. 3091-3103.
- [9] Ларионов А. В. Адаптивный эквалайзер с контроллером минимально допустимого дифференциального напряжения выходного сигнала и псевдодифференциальным каскадным выходным буфером для 10 Гб/с передатчика по технологии 65 нм // Микроэлектроника. 2015. Т. 44. № 6. С. 464-471.

Decision-feedback equalizer with active inductor for high-speed receiver

A.V. Larionov

Scientific Research Institute for the System Analysis, alar@cs.niisi.ras.ru

Keywords — equalizer, decision-feedback equalizer, receiver, transceiver, DFE, direct-feedback architecture, active inductor, CML, SSLMS, sign-sign least mean square.

ABSTRACT

The paper presents decision-feedback equalizer (DFE) based on half-rate direct-feedback architecture. A feature of this work is that the equalizer circuit was implemented using active inductor. This increased its speed by 18 % without any additional cost for the power consumption. The 4-tap DFE is designed in CMOS 65nm technology, with power consumption 31 mW from the power source 1 V when equalizing 12.5 Gb/s data. The block was designed as a component of high-speed receiver for a channel with high losses.

The primary requirement of direct feedback in data recovery consists in feeding back the decision in less than one unit interval. Architecture, circuit design and technology – are the way to achieve this goal.

The half-rate direct-feedback architecture with latch-based equalization was employed in this work. This reduces the delay in the feedback loop for the more critical one of first tap, without additional hardware. This type of equalizer is a good compromise between the data rate and consumed power, successfully competing in the field of high-speed communication.

Active inductor is used in the scheme to increase the bandwidth frequency. It is a good alternative to the classical inductance, as it takes a much smaller area and has no problem with resonance, properly functioning up to half the frequency of unity gain transistor. In addition, the benefit of an active inductor is the possibility to adjust its nominal value after manufacturing of integrated circuit. Active inductor have been implemented by PMOS transistor, which provides linear operation of the circuit in a wide range of voltage without additional power sources.

The work demonstrates a significant increase in frequency bandwidth of the critical circuit elements of DFE when the resistive load is replaced by the active inductor. The time delay on the critical path of the equalizer decreased from 88 ps to 72 ps. To test the effectiveness of proposed solutions, simulation

was conducted on the receiver on 10 Gb/s with DFE based on resistive load and based on active inductor. The simulation results showed that the use of the active inductor allowed horizontal eye opening to be improved approximately by 9 ps. The resulting table shows the main characteristics of the DFE with direct-feedback architecture for this and earlier works.

ACKNOWLEDGMENTS

The author would like to thank Buyakova O.N. and Syssoeva O.V. for state-of-the-art of topology.

REFERENCES

- [1] Bulzacchelli J., Meghelli M., Rylov S. A 10-Gb/s 5-tap DFE/4-tap FFE transceiver in 90-nm CMOS technology // *IEEE Journal of Solid-State Circuits*. 2006. V. 41. No. 12. P. 2885-2900.
- [2] Pozzoni M., Erba S., Viola P. A multi-standard 1.5 to 10 Gb/s latch-based 3-tap DFE receiver with a SSC tolerant CDR for serial backplane communication // *IEEE Journal of Solid-State Circuits*. 2009. V. 44. No. 4. P. 1306-1315.
- [3] Kim B., Liu Y., Dickson T. A 10-Gb/s compact low-power serial I/O with DFE-IIR equalization in 65 nm CMOS // *IEEE Journal of Solid-State Circuits*. 2009. V. 44. No. 12. P. 3526-3538.
- [4] Dickson T., Bulzacchelli J., Friedman D. A 12-Gb/s 11-mW half-rate sampled 5-tap decision feedback equalizer with current-integrating summers in 45-nm SOI CMOS technology // *IEEE Journal of Solid-State Circuits*. 2009. V. 44. No. 4. P. 1298-1305.
- [5] Agrawal A., Bulzacchelli J., Dickson T. A 19-Gb/s serial link receiver with both 4-tap FFE and 5-tap DFE functions in 45-nm SOI CMOS // *IEEE Journal of Solid-State Circuits*. 2012. V. 47. No. 12. P. 3220-3231.
- [6] Sackinger E., Fischer W. A 3 GHz, 32 dB CMOS limiting amplifier for SONET OC-48 receivers // *IEEE International of Solid-State Circuits Conference*. 2000. P. 158-159.
- [7] Payandehnia P., Forouzandeh B., Abbasfar A. A 12.5 Gb/s active-inductor based transmitter for I/O applications // *IEEE European Conference on Circuit Theory and Design*. 2011. P. 186-189.
- [8] Kimura H., Aziz P., Jing T. A 28 Gb/s 560 mW multi-standard serdes with single-stage analog front-end and 14-tap decision feedback equalizer in 28 nm CMOS // *IEEE Journal of Solid-State Circuits*. 2014. V. 49. No. 12. P. 3091-3103.
- [9] Larionov A. V. Adaptive equalizer with a controller of a minimally admissible differential voltage of the output signal and pseudodifferential cascode output buffer for the 10-Gb/s transmitter according to the 65-nm CMOS technology // *Russian Microelectronics*. 2015. V. 44. No. 6. P. 464-471. (in Russian)