

Оптимизация состава библиотек стандартных ячеек

В.С. Калашников, М.Ю. Семёнов

ООО «Эн-Экс-Пи Семикондакторс», viacheslav.kalashnikov@nxp.com,
mikhail.semenov@nxp.com

Аннотация — Современные библиотеки стандартных ячеек или комплекты средств для цифрового проектирования (Digital Design Kit, DDK) содержат сотни и тысячи ячеек с различными функциями, нагрузочными способностями, длинами каналов транзисторов, опциями порогового напряжения транзисторов и т.д. В данной статье предложена методология анализа состава библиотек стандартных ячеек. С применением предложенной методологии проведен детальный анализ библиотек стандартных ячеек от разных поставщиков и для различных технологий (90 нм, 55 нм и 28 нм) на основе реального использования ячеек в проектах. В заключении даны рекомендации по обеспечению сбалансированного состава библиотек стандартных ячеек, выработанные на основе проведенного исследования. Представленные результаты анализа полученных данных могут быть применены разработчиками библиотек стандартных ячеек для корректного определения состава библиотек с точки зрения наиболее часто используемых ячеек, функций, опций порогового напряжения, нагрузочных способностей и т.д.

Ключевые слова — цифровая библиотека; состав библиотеки стандартных ячеек; маломощная стандартная ячейка; быстродействующая стандартная ячейка; ячейки с разным пороговым напряжением транзисторов; ячейки со смешанными длинами каналов транзисторов; ячейки с малыми токами утечки; соотношение P/N; ячейки с малой нагрузочной способностью; ячейки с высокой нагрузочной способностью.

I. ВВЕДЕНИЕ

Библиотеки стандартных ячеек или комплекты средств для цифрового проектирования включают сотни и тысячи различных ячеек и соответствующих представлений (views) для САПР [1]. Поставщики библиотек стандартных ячеек предлагают в них своим пользователям ячейки с различными функциями, нагрузочными способностями, длинами каналов транзисторов, опциями порогового напряжения транзисторов [2-5]. В то же время не существует единого подхода относительно того, как много и какие ячейки должны быть включены в библиотеку и какой состав является достаточным [6, 7]. Ответить на данные вопросы представляется достаточно сложным, поскольку оптимизация библиотек стандартных ячеек и их использование специфичны для конкретного проекта, как, например, для маломощных [8] или быстродействующих [9] применений.

В статье представлены результаты анализа данных по использованию библиотек стандартных ячеек от разных поставщиков и для разных технологий в реальных проектах, представляющих довольно широкий спектр различного класса СБИС: малопотребляющие контроллеры для промышленных применений, микроконтроллеры для “Интернета вещей (IoT)”, высокопроизводительные решения для беспроводных технологий, высокоскоростные интерфейсы, схемы управления для потребительской электроники (игровые приставки, мобильное аудио) и т.п. На основе полученной детальной статистики выработаны рекомендации по оптимальному составу библиотек.

Раздел II содержит краткое описание методологии, применяемой для анализа данных. В разделе III обсуждается функциональный состав библиотек для различных технологий, определен список наиболее часто используемых функций. Раздел IV предоставляет детальную статистику использования состава различных библиотек стандартных ячеек. Выводы и заключение представлены в разделе V.

II. МЕТОДОЛОГИЯ АНАЛИЗА ДАННЫХ

Перед передачей в производство финальная топология проекта проходит ряд формальных заключительных проверок (layout sign-off). В ходе данного этапа финальные топологии проектов верифицируются на их пригодность к изготовлению. В данной работе анализируются базы данных продуктов, успешно прошедших все требуемые финальные проверки, содержащие полный набор топологий в формате GDSII, а также сопроводительную информацию для изготовленных продуктов. Предлагаемая методология анализа данных по использованию библиотек стандартных ячеек основана на информации, извлекаемой из таких баз данных. Эта методология облегчает задачу определения состава библиотеки стандартных ячеек, базируясь на реальной статистике использования различных типов ячеек в проектах. Для последующей обработки извлекаемой информации разработано специальное программное средство на языке Perl [10]. Ниже приведены основные возможности и свойства данной программы:

1) включает настраиваемый механизм фильтрации на основе шаблонов, задаваемых пользователем, и/или служебных меток в топологии (чтобы исключить из

рассмотрения вспомогательные ячейки, не входящие в состав анализируемой библиотеки).

2) Позволяет получить отсортированный отчет по использованию ячеек для каждого проекта в отдельности, а также суммарный отчет по всему набору выбранных для анализа проектов.

3) Позволяет получить отдельные отчеты для каждого свойства библиотеки, определяемого пользователем (опция порогового напряжения, длина канала транзисторов и т.д.). Каждый отчет включает непосредственно таблицу с данными и соответствующую секторную диаграмму.

4) Обеспечивает автоматическую генерацию отчетов с результатами проведенного анализа в формате Excel.

Данная методология была применена к следующим трем библиотекам стандартных ячеек, предоставленными различными поставщиками:

1) технология 28 нм, библиотека стандартных ячеек с высотой 12 трасс (проанализированы 6 продуктов).

2) Технология 55 нм, библиотека стандартных ячеек с высотой 13 трасс (проанализированы 10 продуктов).

3) Технология 90 нм, библиотека стандартных ячеек с высотой 9 трасс (проанализированы 33 продукта).

Для исследования намеренно выбраны библиотеки, оптимизированные для различных применений – первые две библиотеки (28 нм/12 трасс и 55 нм/13 трасс) разработаны для быстродействующих проектов, тогда как последняя (90 нм/9 трасс) – для компактных маломощных проектов. Это позволяет получить обобщенную статистику по использованию ячеек из библиотек с различной архитектурой.

III. НАИБОЛЕЕ ЧАСТО ИСПОЛЬЗУЕМЫЕ ФУНКЦИИ

Результаты анализа наиболее часто используемых в проектах функций ячеек представлены в табл. 1 (для каждой технологии приведены “топ 20” функций, общее количество ячеек и процент использования, совпадающие функции выделены жирным шрифтом). Детальное описание указанных функций ячеек дано в табл. 2.

Таблица 1

“Топ 20” наиболее часто используемых функций

#	28нм	Кол-во ячеек	%	55нм	Кол-во ячеек	%	90нм	Кол-во ячеек	%
1	buf	24681797	12.9	buf	4007732	12.6	buf	838741	13
2	inv	22085888	11.6	inv	2696365	8.5	inv	600704	9.3
3	aoi22	17745720	9.3	sdffprq	2071882	6.5	nand2	419275	6.5
4	nand2	12975129	6.8	nand2	1950737	6.1	and2	319547	5.0
5	sdffprq	11742305	6.1	and2	1867265	5.9	nor2	274268	4.3
6	nor2	8685434	4.5	nor2	1281379	4.0	mux2	215306	3.3
7	dly	6585480	3.4	mux2	1190724	3.7	aoi22	202674	3.1
8	mux2	4686591	2.5	nor2i	982463	3.1	nor2i	200461	3.1
9	nor2i	4441815	2.3	xor2	898277	2.8	or2i	163027	2.5
10	and2	4234374	2.2	mx4	855065	2.7	ao22	151389	2.4
11	xnor2	4134608	2.2	nand2i	833664	2.6	ao21i	125973	2.0
12	oai22	3791471	2.0	dly	669097	2.1	sdffprq	104640	1.6
13	oai21	3273112	1.7	xnor2	649777	2.0	dly	102164	1.6
14	ao22	3035630	1.6	ao22	580027	1.8	xor2	102109	1.6
15	nand4	2833590	1.5	or2	577258	1.8	or2	101651	1.6
16	aoi21	2830745	1.5	sdffpq	515705	1.6	mux2i	87335	1.4
17	ao21i	2539753	1.3	xor3	491780	1.5	xnor2	83924	1.3
18	fulladder	2502898	1.3	ao12	478802	1.5	mx4	80682	1.3
19	sdffpq	2497109	1.3	ao222	391891	1.2	aoi21	75012	1.2
20	nand2i	2293338	1.2	sdffpsq	376498	1.2	nand2i	72998	1.1

Описание функций ячеек

Имя функции	Описание
and2	2-х входовой логический элемент 2И (a & b)
ao12	3-х входовой логический элемент, реализующий функцию ((a & b) c)
ao21i	3-х входовой логический элемент, реализующий функцию ((a & b) ~c)
ao22	4-х входовой логический элемент, реализующий функцию ((a & b) (c & d))
ao222	6-ти входовой логический элемент, реализующий функцию ((a & b) (c & d) (e & f))
aoi21	3-х входовой логический элемент, реализующий функцию ~(a & b) c)
aoi22	4-х входовой логический элемент, реализующий функцию ~(a & b) (c & d))
buf	Буфер
dly	Элемент задержки
fulladder	Полный сумматор
inv	Инвертор
mux2	Мультиплексор 2 в 1 с кодированным входом выбора
mux2i	Мультиплексор 2 в 1 с инвертированным входом данных и кодированным входом выбора
mx4	Мультиплексор 4 в 1 с индивидуальными входами выбора
nand2	2-х входовой логический элемент 2И-НЕ ~(a & b)
nand2i	2-х входовой логический элемент 2И-НЕ с инвертированным входом ~(~a & b)
nand4	4-х входовой логический элемент 4И-НЕ ~(a & b & c & d)
nor2	2-х входовой логический элемент 2ИЛИ-НЕ ~(a b)
nor2i	2-х входовой логический элемент 2ИЛИ-НЕ с инвертированным входом ~(~a b)
oai21	3-х входовой логический элемент, реализующий функцию ~(a b) & c)
oai22	4-х входовой логический элемент, реализующий функцию ~(a b) & (c d))
or2	2-х входовой логический элемент 2ИЛИ (a b)
or2i	2-х входовой логический элемент 2ИЛИ с инвертированным входом (~a b)
sdfprq	Сканирующий D-триггер, управляемый фронтом, неинвертирующий выход
sdfprq	Сканирующий D-триггер, управляемый фронтом, асинхронный сброс, неинвертирующий выход
sdfpsq	Сканирующий D-триггер, управляемый фронтом, асинхронная установка, неинвертирующий выход
xnor2	2-х входовой логический элемент исключающее 2ИЛИ-НЕ ~(a ^ b)
xor2	2-х входовой логический элемент исключающее 2ИЛИ (a ^ b)
xor3	3-х входовой логический элемент исключающее 3ИЛИ (a ^ b ^ c)

Статистика результатов исследования показывает, что только 40-60% всех ячеек из рассматриваемых библиотек используются в реальных проектах (рис. 1-3). Основной причиной столь невысоких процентов использования ячеек является то, что далеко не все реализации той или иной функции (различающиеся опциями порогового напряжения транзисторов, соотношением P/N, нагрузочной способностью и т.д.) задействованы в проектах, тогда как функциональный состав, как правило, востребован гораздо выше. Более детальный анализ использования различных реализаций ячеек представлен в разделе IV.

Ячейки	Количество ячеек	%
Используемые	4008	48
Неиспользуемые	4404	52

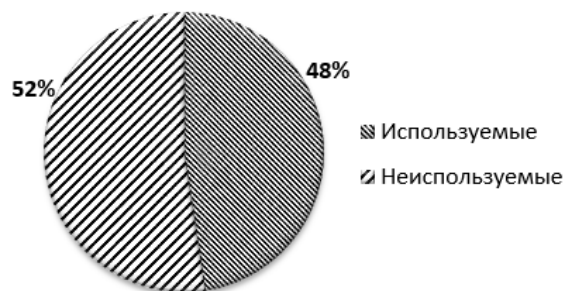


Рис. 1. Статистика использования ячеек для библиотеки 28 нм/12 трасс (проанализированы 6 продуктов)

Ячейки	Количество ячеек	%
Используемые	5219	63
Неиспользуемые	3105	37

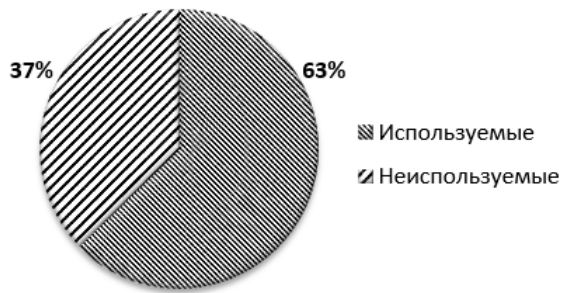


Рис. 2. Статистика использования ячеек для библиотеки 55 нм/13 трасс (проанализированы 10 продуктов)

Ячейки	Количество ячеек	%
Используемые	2755	42
Неиспользуемые	3879	58

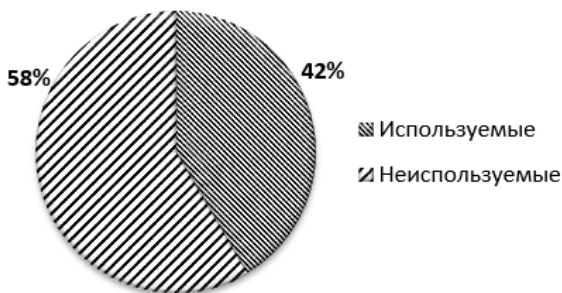


Рис. 3. Статистика использования ячеек для библиотеки 90 нм/9 трасс (проанализированы 33 продукта)

На основе результатов анализа данных по использованию в проектах различных функций ячеек можно выделить следующие “топ 12” функций, которые должны быть оптимизированы и включены во все библиотеки стандартных ячеек с наивысшим приоритетом:

- 1) and2;
- 2) ao22;
- 3) buf;
- 4) dly;
- 5) inv;
- 6) mux2;
- 7) nand2;
- 8) nand2i;
- 9) nor2;
- 10) nor2i;
- 11) sdffprq;
- 12) xnor2.

Таким образом, для приведенного выше списка функций рекомендуется предоставлять наиболее полный набор их реализаций, включающий ячейки с различной нагрузочной способностью, соотношением P/N, значениями длин каналов, порогового напряжения и т.д. Стоит также отметить, что данный список

должен рассматриваться как начальный и минимально рекомендуемый, но не ограничивающий использование в библиотеке других функций.

IV. РЕЗУЛЬТАТЫ ДЕТАЛЬНОГО АНАЛИЗА ДАННЫХ

Для минимизации общей потребляемой мощности и токов утечки библиотеки стандартных ячеек содержат ячейки с различными значениями порогового напряжения транзисторов (Vt-опциями). Обычно такие ячейки имеют одинаковую топологию с точки зрения размеров и местоположения портов, отличаясь лишь несколькими слоями. Благодаря этому, на этапе оптимизации мощности проекта средства САПР, используемые для его логического и физического синтеза, могут беспрепятственно заменять ячейки с более низким пороговым напряжением на ячейки с более высоким пороговым напряжением с целью уменьшения потребляемой мощности [11].

Результаты анализа данных по использованию различных Vt-опций для исследуемых библиотек приведены на рис. 4-6.

Пороговое напряжение	Количество ячеек	%
HVT (высокое)	119305162	63
SVT (среднее)	38661798	20
LVT (низкое)	31385878	16
ULVT (ультранизкое)	1724527	1

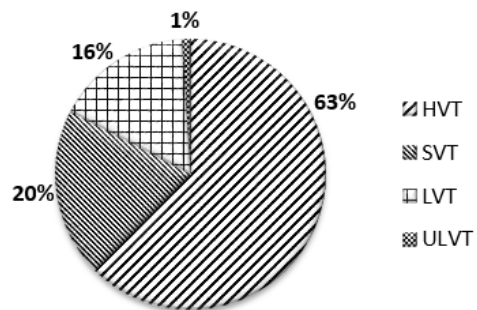


Рис. 4. Статистика использования Vt-опций для библиотеки 28 нм/12 трасс

Пороговое напряжение	Количество ячеек	%
HVT (высокое)	20346321	64
SVT (среднее)	11444619	36
LVT (низкое)	8789	0 (<0.1%)
HV (другие)	219	0 (<0.1%)

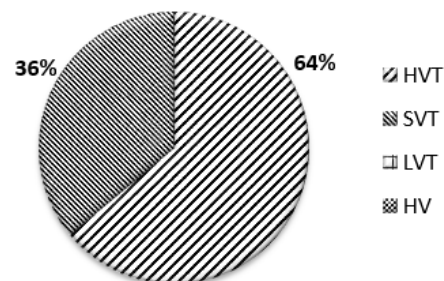


Рис. 5. Статистика использования Vt-опций для библиотеки 55 нм/13 трасс

Пороговое напряжение	Количество ячеек	%
HVT (высокое)	5336123	83
SVT (среднее)	876988	14
HV (другие)	222115	3

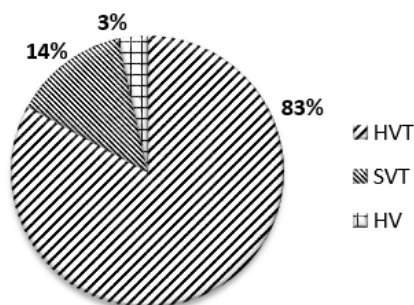


Рис. 6. Статистика использования Vt-опций для библиотеки 90 нм/9 трасс

Представленные результаты демонстрируют, что ячейки с высоким пороговым напряжением, как правило, преобладают в реальных проектах для всех проанализированных библиотек и технологий (итоговый процент использования таких ячеек составляет 63-83%). Версии ячеек с более низким пороговым напряжением используются для удовлетворения ограничений по критическим путям. Поэтому разумно иметь либо одинаковые наборы ячеек с высоким и низким пороговым напряжением, либо даже включить в библиотеку ограниченный набор ячеек с более низким пороговым напряжением.

Другой путь минимизации токов утечки – это использование ячеек с различной длиной канала транзисторов в рамках одной библиотеки. Существуют различные подходы к реализации данного метода, например:

- 1) ячейки со смешанной длиной канала – ячейки, совместимые по размерам и местоположению портов с ячейками с номинальной длиной канала, в которых только отдельные транзисторы могут иметь увеличенную длину канала, что позволяет снизить токи утечки, сохраняя при этом приблизительно одинаковое быстродействие [12].
- 2) Ячейки с малым током утечки – ячейки, несовместимые по размерам и местоположению портов с ячейками с номинальной длиной канала, в которых все транзисторы имеют увеличенную длину канала для снижения токов утечки (но предполагающие некоторое ухудшение быстродействия).

Результаты анализа данных по использованию ячеек с различной длиной канала транзисторов для исследуемых библиотек приведены на рис. 7-9.

Библиотека 28 нм содержит ячейки с номинальной и уменьшенной на 4 нм длиной канала. Как видно из результатов анализа, ячейки с номинальной длиной канала значительно преобладают над ячейками с уменьшенной длиной канала, которые были задействованы только в критических по быстродействию временных путях.

Длина канала	Количество ячеек	%
Номинальная	190805828	99.8
Номинальная – 4нм	313661	0.2

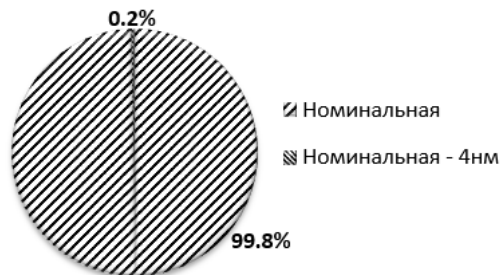


Рис. 7. Статистика использования ячеек с различной длиной канала для библиотеки 28 нм/12 трасс

Длина канала	Количество ячеек	%
Номинальная	18156510	57
Смешанная	9304758	29
Номинальная + 20нм	3887354	12
Номинальная + 10нм	451326	2



Рис. 8. Статистика использования ячеек с различной длиной канала для библиотеки 55 нм/13 трасс

Длина канала	Количество ячеек	%
Номинальная	4834937	75
Номинальная + 20нм	1566990	25

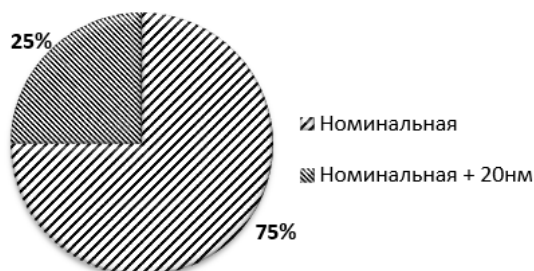


Рис. 9. Статистика использования ячеек с различной длиной канала для библиотеки 90 нм/9 трасс

Библиотека 55 нм имеет гораздо больше вариантов ячеек с различной длиной канала – номинальной, смешанной, увеличенной на 10 нм и увеличенной на 20 нм. Большинство ячеек, использованных в проектах, это ячейки с номинальной длиной канала (57%). Ячейки со смешанной длиной канала преобладают среди различных вариантов ячеек для снижения тока утечки (29% от общего числа ячеек).

Библиотека 90 нм также включает в свой состав различные опции длины канала – ячейки с номинальной длиной канала и ячейки с малым током утечки, в которых длина канала увеличена на 20 нм.

Как и для ранее рассмотренных библиотек, большинство ячеек в проектах – это ячейки с номинальной длиной канала (75 %).

Вместе с тем на основе полученных данных можно заключить, что среди прочих подходов к реализации ячеек с различной длиной канала ячейки со смешанной длиной канала должны рассматриваться с более высоким приоритетом для дополнения в библиотеку стандартных ячеек, предназначенную для маломощных применений.

Для достижения наилучшего сочетания быстродействия и потребляемой мощности поставщики библиотек обычно включают ячейки, которые имеют одну и ту же функцию, но разное соотношение P/N [13, 14]. Под соотношением P/N подразумевается соотношение ширин P-канального и N-канального транзисторов в стандартной ячейке.

Результаты анализа данных по использованию ячеек с различным соотношением P/N для исследуемых библиотек приведены на рис. 10-12.

Соотношение P/N	Количество ячеек	%
Типовое	160895431	84
Высокое (симметрия)	13679663	7
Низкое	10383075	6
Другое	6161320	3

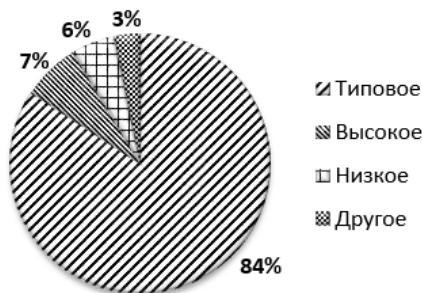


Рис. 10. Статистика использования ячеек с различным соотношением P/N для библиотеки 28 нм/12 трасс

Соотношение P/N	Количество ячеек	%
Типовое	31337265	98.5
Высокое (симметрия)	462683	1.5

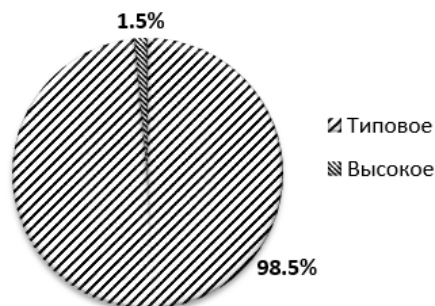


Рис. 11. Статистика использования ячеек с различным соотношением P/N для библиотеки 55 нм/13 трасс

Соотношение P/N	Количество ячеек	%
Типовое	6021188	93.5
Высокое (симметрия)	414038	6.5

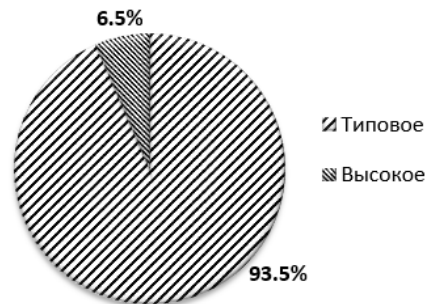


Рис. 12. Статистика использования ячеек с различным соотношением P/N для библиотеки 90 нм/9 трасс

Библиотека 28 нм содержит расширенный набор ячеек с различным соотношением P/N по сравнению с библиотеками 55 нм и 90 нм. Статистика показывает, что ячейки с типовым соотношением P/N (соответствующим топологической архитектуре стандартных ячеек, выбранной по умолчанию) являются наиболее часто используемыми среди всех проанализированных проектов. Однако в случае наличия дополнительного набора с другим соотношением P/N данные ячейки также достаточно широко используются средствами логического или физического синтеза (до 16% всех ячеек для библиотеки 28 нм).

Реализация каждой функции в библиотеке включает ячейки с различной нагрузочной способностью, чтобы позволить средствам логического и физического синтеза выбрать наиболее подходящую ячейку для каждой конкретной нагрузочной емкости в проекте. Все ячейки в библиотеке соответствуют единой топологической архитектуре, предопределенной для конкретной библиотеки и ограничивающей максимальную ширину одного “пальца” P-канального и N-канального транзисторов в ячейке. Под “пальцем” в данном случае подразумевается единичный фрагмент поликремниевого затвора N/P-канального транзистора в многозатворной транзисторной структуре. Таким образом, ячейки с малой нагрузочной способностью имеют ширины транзисторов меньше 1-го полного “пальца” (максимального для конкретной топологической архитектуры), тогда как ячейки с более высокой нагрузочной способностью имеют ширины транзисторов больше 1-го полного “пальца” (до нескольких десятков параллельно соединенных поликремниевых затворов).

Результаты анализа данных по использованию ячеек с различной нагрузочной способностью для исследуемых библиотек приведены на рис. 13-15.

Нагрузочная способность	Количество ячеек	%
Выходной каскад 1 палец	134052440	70
Выходной каскад 2 пальца	24925517	13
Выходной каскад 3 пальца	7475875	4
Выходной каскад 4 пальца	5844351	3
Выходной каскад от 5 до 11 пальцев	11116145	6
Выходной каскад >11 пальцев	2096573	1
Другая	5608588	3

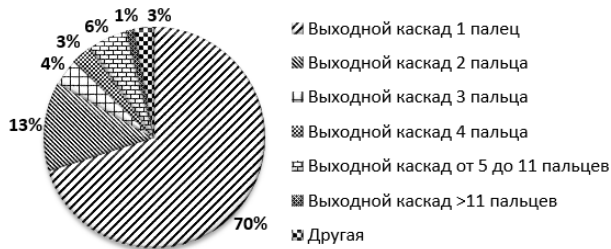


Рис. 13. Статистика использования ячеек с различной нагрузочной способностью для библиотеки 28 нм/12 трасс

Нагрузочная способность	Количество ячеек	%
Выходной каскад 1 палец	24327615	77
Выходной каскад 2 пальца	3334657	10
Выходной каскад 3 пальца	1357809	4
Выходной каскад 4 пальца	1001292	3
Выходной каскад от 5 до 11 пальцев	1197600	4
Выходной каскад >11 пальцев	580821	2
Другая	154	0 (<0.1%)

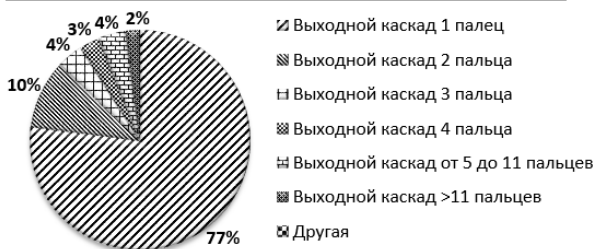


Рис. 14. Статистика использования ячеек с различной нагрузочной способностью для библиотеки 55 нм/13 трасс

Нагрузочная способность	Количество ячеек	%
Выходной каскад 1 палец	4826341	75
Выходной каскад 2 пальца	696774	11
Выходной каскад 3 пальца	152060	2
Выходной каскад 4 пальца	432718	7
Выходной каскад от 5 до 11 пальцев	171792	3
Выходной каскад >11 пальцев	155541	2

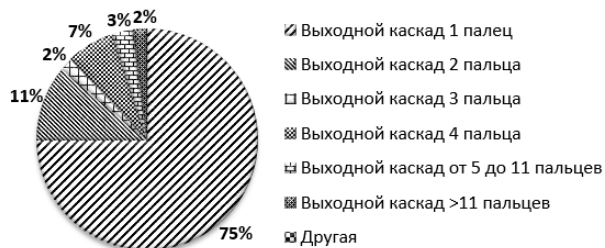


Рис. 15. Статистика использования ячеек с различной нагрузочной способностью для библиотеки 90 нм/9 трасс

Статистика показывает, что ячейки с малой нагрузочной способностью (размеры выходного каскада не более 1-го “пальца”) наиболее часто используются в проектах (70-77%), тогда как количество ячеек с высокой нагрузочной способностью (размеры выходного каскада более 11 “пальцев”) довольно мало (1-2%). Стоит также отметить, что высокая гранулярность разбиения в

области малых значений нагрузочной способности позволяет минимизировать потребляемую мощность проекта при сохранении быстродействия.

V. ЗАКЛЮЧЕНИЕ

В данной статье представлены результаты детального анализа данных по использованию библиотек стандартных ячеек (90 нм, 55 нм, 28 нм) в реальных проектах. Полученные результаты могут применяться разработчиками библиотек для определения сбалансированного набора функций и их различных реализаций даже на ранних стадиях разработки, значительно ускоряя процесс освоения новых технологий (при переходе на новые нормы проектирования). Кроме того, данные результаты способствуют определению корректного набора функций и ячеек также и в финальной версии библиотеки, помогая сократить расходы на разработку.

ЛИТЕРАТУРА

- [1] Doman D. Engineering the CMOS Library: Enhancing digital design kits for competitive silicon. New Jersey, Wiley, 2012. 342 p.
- [2] Martins M., Matos J. M., Ribas R. P., Reis A., Schlinker G., Rech L., Michelsen J. Open Cell Library in 15nm FreePDK Technology // Proceedings of the International Symposium on Physical Design (ISPD). 2015. P. 171-178.
- [3] URL: <https://www.synopsys.com/Community/UniversityProgram/Pages/32-28nm-generic-library.aspx> (дата обращения: 14.02.2016).
- [4] URL: <http://www.synopsys.com/Community/UniversityProgram/Pages/Library.aspx> (дата обращения: 14.02.2016).
- [5] URL: http://www.dolphin-ic.com/tsmc_28hpl_cell.html (дата обращения: 14.02.2016).
- [6] Noullet J. L., Noullet A. Do We Need So Many Cells for Digital ASIC Synthesis? // Electron Technology. 1999. V. 32. № 3. P. 272-276.
- [7] URL: http://vlsicad.eecs.umich.edu/BK/Slots/cache/www.eecs.umich.edu/~mguthaus/software/directed_study_report.pdf (дата обращения: 14.02.2016).
- [8] Rahman M., Afonso R., Tennakoon H., Sechen C. Design Automation Tools and Libraries for Low Power Digital Design // IEEE Dallas Circuits and Systems Workshop (DCAS). 2010. P. 1-4.
- [9] Ricci A., Munari I. De, Ciampolini P. Performance-Effective Compaction of Standard-Cell Libraries for Digital Design // Digital System Design, Architectures, Methods and Tools. 2009. P. 315-322.
- [10] Wall L., Schwartz R. L. Programming Perl. 3rd ed. O'Reilly & Associates Inc., 2000. 1104 p.
- [11] Srivastav W. M., Rao S. S. S. P., Bhatnagar H. Power reduction techniques using multi-Vt libraries // Proc. IWSOC. 2005. P. 363-367.
- [12] Hu J., Wang J. Low leakage power designs of basic standard cells using gate-length biasing // Proc. IEEE Electronics, Communications and Control (ICECC), 2011 International Conference on 9-11 Sept. 2011. P. 324-327.
- [13] Afonso R., Rahman M., Tennakoon H., Sechen C. Power Efficient Standard Cell Library Design // Proc. IEEE Dallas Circuits and Systems Workshop, Texas, Oct. 2009. P. 1-4.
- [14] Nishizawa S.; Ishihara T.; Onodera H. A flexible structure of standard cell and its optimization method for near-threshold voltage operation // Computer Design (ICCD), 2012 IEEE 30th International Conference. 2012. P. 235 - 240.

Standard cell libraries content optimization

V.S. Kalashnikov, M.Y. Semenov

NXP Semiconductors, viacheslav.kalashnikov@nxp.com, mikhail.semenov@nxp.com

Keywords — digital library, standard cell library content, low power standard cell, high performance standard cell, multiple voltage threshold cells, mixed gate length cells, low leakage cell, P/N ratio, low drive strength cells, high drive strength cells.

PURPOSE

Standard cell libraries or Digital Design Kits (DDK) include thousands different cells. Different vendors provide the cells with various functions, driving strengths, transistor's gate lengths, V_t options. At the same time there is no unique approach how many and what cells should be included in DDK and what content is sufficient. The main purpose of this article is to investigate and provide recommendations on DDK content based on real designs.

METHODS

A methodology of DDK content analysis has been proposed. It is based on data extracted from sign-off layout databases that are ready for tape-out. A special tool for post-processing of extracted data has been developed. Applying this methodology we have provided the data mining for standard cell libraries from different vendors for various technologies (90nm, 55nm and 28nm) based on actual cells usage in real designs.

RESULTS

Below are main outcomes of the analysis:

- 1) identified "top twelve" functions which should be optimized and included at the highest priority list for all standard cell libraries;
- 2) high V_t cells usually dominate in real designs across analyzed designs (usage 63-83%);
- 3) mixed gate-length cells approach should be considered as higher priority addition in library for low power applications;
- 4) cells with regular P/N ratio are the most used across analyzed designs but custom P/N ratio cells are widely used by synthesis tools (up to 16%);
- 5) low drive strength cells are the most used cells in designs (70-77%) whereas amount of high drive strength cells is quite small (1-2%).

These results facilitate well balanced and proper set of functions and cells in DDK both at early phases of development and final DDK.

REFERENCES

- [1] Doman D. Engineering the CMOS Library: Enhancing digital design kits for competitive silicon. New Jersey, Wiley, 2012. 342 p.
- [2] Martins M., Matos J. M., Ribas R. P., Reis A., Schlinker G., Rech L., Michelsen J. Open Cell Library in 15nm FreePDK Technology // Proceedings of the International Symposium on Physical Design (ISPD). 2015. P. 171-178.
- [3] URL: <https://www.synopsys.com/Community/UniversityProgram/Pages/32-28nm-generic-library.aspx> (accessed 14.02.2016).
- [4] URL: <http://www.synopsys.com/Community/UniversityProgram/Pages/Library.aspx> (accessed 14.02.2016).
- [5] URL: http://www.dolphin-ic.com/tsmc_28hpl_cell.html (accessed 14.02.2016).
- [6] Noullet J. L., Noullet A. Do We Need So Many Cells for Digital ASIC Synthesis? // Electron Technology. 1999. V. 32. No. 3. P. 272-276.
- [7] URL: http://vlsicad.eecs.umich.edu/BK/Slots/cache/www.eecs.umich.edu/~mguthaus/software/directed_study_report.pdf (accessed 14.02.2016).
- [8] Rahman M., Afonso R., Tennakoon H., Sechen C. Design Automation Tools and Libraries for Low Power Digital Design // IEEE Dallas Circuits and Systems Workshop (DCAS). 2010. P. 1-4.
- [9] Ricci A., Munari I. De, Ciampolini P. Performance-Effective Compaction of Standard-Cell Libraries for Digital Design // Digital System Design, Architectures, Methods and Tools. 2009. P. 315-322.
- [10] Wall L., Schwartz R. L. Programming Perl. 3rd ed. O'Reilly & Associates Inc., 2000. 1104 p.
- [11] Srivastav W. M., Rao S. S. S. P., Bhatnagar H. Power reduction techniques using multi- V_t libraries // Proc. IWSOC. 2005. P. 363-367.
- [12] Hu J., Wang J. Low leakage power designs of basic standard cells using gate-length biasing // Proc. IEEE Electronics, Communications and Control (ICECC), 2011 International Conference on 9-11 Sept. 2011. P. 324-327.
- [13] Afonso R., Rahman M., Tennakoon H., Sechen C. Power Efficient Standard Cell Library Design // Proc. IEEE Dallas Circuits and Systems Workshop, Texas, Oct. 2009. P. 1-4.
- [14] Nishizawa S.; Ishihara T.; Onodera H. A flexible structure of standard cell and its optimization method for near-threshold voltage operation // Computer Design (ICCD), 2012 IEEE 30th International Conference. 2012. P. 235 - 240.