

Методы оптимизации схем кодирования на основе диаграмм двоичных решений для синтеза отказоустойчивых микро- и нанoeлектронных схем

С.В. Гаврилов, Т.Д. Жукова, Д.И. Рыжова

Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН),

sergey_g@ippm.ru, zhukova_t@ippm.ru, ryzhova_d@ippm.ru

Аннотация — Сегодня с внедрением каждой новой технологии происходит рост степени интеграции и уменьшение технологических размеров. Это приводит к необходимости повышения помехозащищенности интегральных схем в экстремальных условиях эксплуатации. Не сегодняшний день не существует единой методологии, включающей все аспекты проектирования помехоустойчивых интегральных схем. Обычно для решения этой задачи используют дублирование и тестирование схем (мажорирование). При этом делается предположение об абсолютной надежности декодера (voter), что на практике не соответствует действительности и ведет к завышенным оценкам помехозащищенности микросистем. Кроме того, в последнее время всё больший интерес вызывают попытки применения для решения данной задачи результатов теории помехоустойчивости кодирования, разработанной для защиты от помех потоков информации при её передаче по линиям связи. Однако в указанных подходах отсутствует возможность гибкого управления избыточностью получаемых решений, что ведет к невозможности их адаптации к требованиям, предъявляемым к проектируемым схемам. Для решения данной проблемы в данной работе предлагается метод кодирования в базисе полей Галуа, который основан на введении структурной избыточности и обеспечивает требуемый уровень помехозащищенности при выполнении требований к минимизации аппаратных затрат. В данной работе предлагается метод оптимизации схем кодирования с применением диаграмм двоичных решений для различных вариантов коммутирования выходов дубликата основной схемы.

Ключевые слова — поля Галуа, помехозащищенность, упорядоченные диаграммы двоичных решений, структурная избыточность, мажорирование.

I. ВВЕДЕНИЕ

На сегодняшний день помехозащищенность является определяющим условием работоспособности и надежности разрабатываемой электронной аппаратуры. Для достижения необходимого уровня помехозащищенности разрабатываются решения на всех уровнях проектирования.

К схемотехническим методам повышения степени помехозащищенности интегральных схем в экстремальных условиях, в том числе методам повышения стойкости к воздействию тяжелых заряженных частиц, относится метод, основанный на применении библиотек элементов с мажорированием на уровне вентилях, кодеров, декодеров Хэмминга, т.н. «усиленных» библиотек элементов, отборе библиотечных компонентов и т.д.

Большинство логических методов можно разделить на две группы:

- 1) методы контроля и коррекции ошибок – это методы избыточного кодирования, такие как контроль по четности, мажорирование и ряд других решений;
- 2) методы резервирования – методы, основанные на контроле работоспособности и автоматической замене неисправных блоков резервными.

Методы решения проблемы отказоустойчивости сводятся к дублированию одних элементов другими, к многократному повторению, к автоматическому контролю и к исправлению работы отдельных участков схемы или всей схемы в целом. Среди данных методов наиболее распространенными являются метод дублирования и мажорирование, однако главным недостатком данных методов является большая структурная избыточность.

Для решения задач в области помехоустойчивого кодирования используются линейные и циклические коды – коды Боуза-Чоудхури-Хоквингема (БЧХ-коды) [1], которые могут находить и исправлять фиксированное количество одиночных ошибок. Для кодирования сообщений применяется операция умножения на образующий многочлен, при этом вектор исходного сообщения $(a_{k-1}, a_{k-2}, \dots, a_0)$ представляется в виде многочлена:

$$a_{k-1}x^{k-1} + a_{k-2}x^{k-2} + \dots + a_0,$$

где k – длина сообщения. Для декодирования сообщения используется операция деления переданного сообщения на образующий многочлен.

Остаток от деления принятого слова на образующий многочлен называется синдромом. Если ошибок в переданном сообщении нет, то синдром равен нулю. Вектор ошибок находится по вычисленному синдрому. Для исправления ошибок принятое сообщение складывается с вектором ошибок.

Принципиальное отличие задачи кодирования данных для передачи через канал связи от задачи повышения отказоустойчивости комбинационных схем состоит в следующем. Так как в задаче повышения отказоустойчивости сама комбинационная схема подвержена ошибкам, схема кодирования реализуется за счет дублирования исходной схемы с последующей оптимизацией совместно со схемой кодирования. Для синтеза схемы кодирования используется операция умножения многочлена выходного сообщения комбинационной схемы на образующий многочлен.

Альтернативное направление, позволяющее повышать отказоустойчивость комбинационных схем, заключается в разработке и исследовании методов маскирования возникающих сбоев (glitch). На уровне транзисторов и p-n переходов моделируются радиационные эффекты, и исследуется реакция логических элементов на такие воздействия. Попадание заряженной частицы приводит к возникновению одиночных эффектов, которые делятся на одиночные ошибки (обратимые, SSE) и отказы (необратимые).

Обычно одиночные сбои оказывают большее влияние на последовательностные схемы, чем на комбинационную логику, что объясняется наличием трех факторов, которые не позволяют логике стать более чувствительной к одиночным сбоям:

- 1) логическое маскирование – одиночный эффект переходной ионизационной реакции (Single-Event Transient, SET) должен распространяться по чувствительному пути от места локализации до триггера-защелки [2];
- 2) электрическое маскирование – из-за электрических свойств вентилях сбой может быть ослаблен или даже полностью маскирован, прежде чем он распространится до триггера-защелки [3];
- 3) временное маскирование – сбой может распространиться в схеме, только если достигнет триггера-защелки и удовлетворит условиям установки и удержания временного сигнала (setup and hold time) [4].

В данной работе предлагается оптимизация схем кодирования в базисе диаграмм двоичных решений за счет выбора схемы коммутации с учетом логических корреляций. При проведении совместной оптимизации дублирующей схемы и кодирующей схемы можно достигнуть сокращения структурной избыточности [5]. Одним из путей оптимизации схемы является построение логических функций на основе применения диаграмм двоичных решений. Использование данной методики обеспечивает управляемость и предсказуемость процесса проектирования схем при

достижении оптимального сочетания заданных требований по отказоустойчивости и минимизации структурных затрат. На качество результата в терминах занимаемой площади существенное влияние оказывает не только переупорядочивание входов (как в случае стандартной BDD), но и порядок коммутации выходов в схеме кодирования.

Дальнейшее содержание работы включает следующие разделы.

В разделе II введены основные понятия, необходимые для понимания метода, представленного в данной работе.

В разделе III рассмотрен синтез схемы кодирования в базисе конечных полей Галуа.

В разделе IV рассмотрен метод оптимизации схемы кодирования с учетом логических корреляций.

В разделе V представлены результаты численных экспериментов и выводы, которые можно по ним сделать.

II. ОСНОВНЫЕ ПОНЯТИЯ

Перед тем как приступить к описанию предлагаемого подхода по оптимизации схем кодирования, необходимо ввести основные понятия, на которых данный подход основывается – диаграммы двоичных решений и логические корреляции.

A. Диаграммы двоичных решений

Пространство возможных структурных реализаций схемы может быть описано различными способами, но наиболее удобен метод, основанный на представлении логики работы схемы в виде диаграммы двоичных решений.

Диаграммы двоичных решений (Binary Decision Diagram, BDD) – это специальный вид направленных помеченных графов, с помощью которых можно представлять булевы функции и проводить оптимизацию схемы [6, 7]. BDD определяется как направленный ациклический граф, в котором выделена одна вершина с входной степенью 0, называемая корнем, и две вершины с выходной степенью 0, называемые терминальными. Терминальные вершины помечены константами 0 и 1. Все остальные вершины помечаются переменными из множества $X = \{x_1, \dots, x_n\}$. Из любой вершины, за исключением терминальных, выходят две дуги. Одну дугу обычно рисуют пунктирной, а другую – сплошной линией. Дуга, обозначенная пунктиром, называется *low*-ребром, дуга, обозначенная сплошной линией – *high*-ребром.

В произвольной упорядоченной диаграмме двоичных решений (OBDD) можно выделять фрагменты (подграфы), которые сами являются OBDD. Для этой цели достаточно объявить соответствующую нетерминальную вершину корнем. Идея сокращенной OBDD (ROBDD) заключается в склейке повторяющихся фрагментов: ROBDD-граф не должен

содержать одинаковых OBDD-подграфов меньших размерностей. Таким образом, ROBDD можно рассматривать как «наиболее сжатое» графическое представление некоторой булевой функции. Сказанное означает, что ROBDD – это OBDD, в которой:

- 1) равенства $var(v) = var(u), high(v) = high(u), low(v) = low(u)$ означают, что $v = u$;
- 2) для любой нетерминальной вершины v имеет место: $high(v) \neq low(v)$.

В [8] было показано, что произвольная всюду определенная булева функция при фиксированном порядке определения переменных имеет однозначное (с точностью до изоморфизма соответствующих графов) ROBDD-представление.

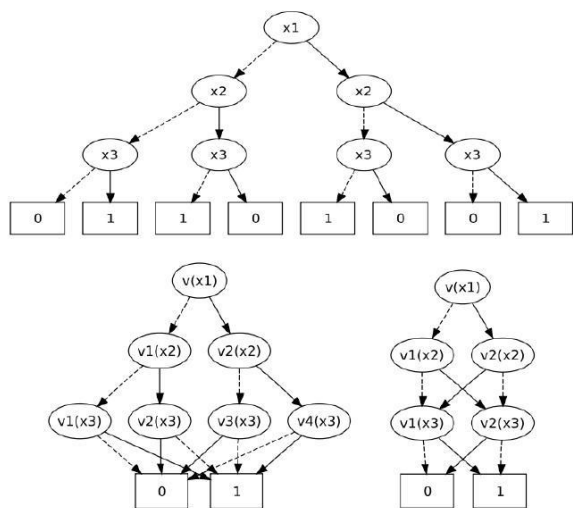


Рис. 1. Процесс перехода от BDD к ROBDD

В качестве примера рассмотрим процесс перехода от дерева решений линейной функции к её BDD. Воспользуемся функцией

$$f(x_1, x_2, x_3) = x_1 \text{ XOR } x_2 \text{ XOR } x_3.$$

Зафиксируем для неё порядок определения переменных: $x_1 < x_2 < x_3$. На рис. 1 сверху приведено дерево решений для данной функции, на рисунке внизу слева приведена OBDD, полученная путём склеивания одноимённых терминальных вершин дерева решений. Внизу справа изображена ROBDD данной функции, полученная из OBDD путём склеивания вершины $v_2(x_3)$ с $v_3(x_3)$, а также $v_1(x_3)$ с $v_4(x_3)$ [9].

Оптимизация схем кодирования в данной работе осуществляется в базе упорядоченных диаграмм двоичных решений. Данная оптимизация проводится за счет оптимизации дублирующей и кодирующей схем. В роли целевой функции выступает размерность BDD.

Использование синтеза булевых функций в конечных полях Галуа на основе ROBDD позволяет снять ограничение на размерность проектируемых комбинационных схем (число входов и выходов), а применение методики ре-синтеза полученных решений позволяет достичь оптимального структурного решения. В совокупности данный подход обеспечивает управляемость и предсказуемость процесса проектирования схем при оптимальном сочетании заданных требований по отказоустойчивости и минимизации структурных затрат.

В. Анализ логических корреляций

В книгах [10, 11] подробно освещена задача поиска логических ограничений (или логических корреляций) в схеме для повышения эффективности анализа быстродействия и помех. В данной работе подходы к решению этой задачи используются для оценки вероятностей распространения сигнала. Логические корреляции сигналов распространяются вдоль схемы от входов до выходов. Для нахождения оптимального варианта коммутации необходимо учитывать логические корреляции, имеющие в своем составе хотя бы один из выходов.

Существуют несколько методов учета логических корреляций. Один из методов основан на использовании простых логических импликаций (ПЛИ). Данный подход неспособен учесть корреляции более сложные, чем парные.

Другим методом является метод резолюций, ранее широко применявшийся в автоматическом доказательстве теорем [10-14]. Он работает на схемах транзисторного уровня и не требует предварительной экстракции логической функции вентилях. Это особенно важно для схем, содержащих DCCC (DC-connected components – подсхемы, связанные по постоянному току) большого размера и сложности, для которых экстракция логической функции является чрезвычайно сложной задачей. Первоначальный набор ограничений в этом методе вытекает из условия равенства потенциалов истока и стока для всех проводящих МОП-транзисторов. Для статических КМОП-схем это соотношение является единственным надежным источником первичных корреляций между сигналами [15-17].

Метод резолюций – метод, позволяющий вывести новые булевые соотношения из заданного множества булевых соотношений [11, 12].

Пусть задана пара (V, R) , где $V = \{a, b, \dots\}$ – множество булевых переменных; R – множество булевых соотношений типа $A = B$; A, B – выражения на множестве V . Множество R преобразуется в одно соотношение $g = 0$, где g – это ДНФ (дизъюнктивная нормальная форма).

Для вывода новых ограничений предлагается использовать следующее правило резолюции:

$$a \cdot B = 0, \bar{a} \cdot C = 0 \rightarrow B \cdot C = 0,$$

где B, C – произведения литералов.

III. СИНТЕЗ СХЕМЫ КОДИРОВАНИЯ

Для проектирования отказоустойчивых комбинационных схем выбран метод, который основан на синтезе схем кодирования в базе конечных полей Галуа (GF) с булевыми коэффициентами. Данный метод не приводит к неоправданной избыточности, а также обеспечивает возможность оптимального сочетания требований к минимизации аппаратных затрат и достижение требуемого уровня отказоустойчивости. Схема предлагаемого подхода представлена на рис. 2.

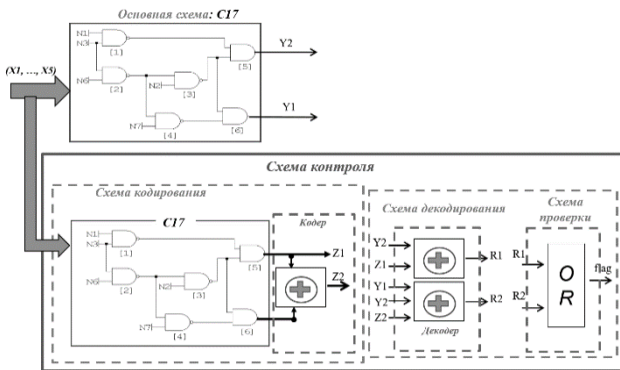


Рис.2. Предлагаемый подход

Синтез схемы кодирования осуществляется с помощью метода, основанного на разделении выходного вектора (размерности k) на подмножества разрешенных и запрещенных кодовых комбинаций. Данные комбинации получаются благодаря добавлению к выходному вектору проверочного вектора (размерность r). Проверочный вектор формируется с помощью деления разрешенных и запрещенных кодовых комбинаций на двоичный образующий многочлен $g(x)$, принадлежащий двоичным полям Галуа. Тем же способом определяется и принадлежность вектора к данным кодовым комбинациям.

Ошибки, возникающие в схеме кодирования, можно обнаружить с помощью обнаруживающих свойств схемы. Для предложенного метода обнаруживающие свойства оцениваются как 2^{-r} , где r – размерность проверочного вектора.

Метод синтеза схемы кодирования зависит от следующих факторов:

- 1) выбора образующего многочлена $g(x)$;
- 2) размерности выходного вектора (числа информационных разрядов k);
- 3) схемы коммутации, позволяющей обеспечить формирование соответствия между выходом исходной схемы и входом синтезируемой схемы кодирования.

Для дальнейшего описания метода синтеза вводятся следующие обозначения:

$g^r(x)$ – образующий многочлен;

r – степень образующего многочлена;

y – вектор выходных сигналов комбинационной схемы $y = y_1, \dots, y_i, \dots, y_k$, где k – количество выходов;

z – вектор выходных сигналов схемы контроля $z = z_1, \dots, z_r$;

ZM – матрица остатков от деления вектора выходных сигналов на образующий многочлен;

y' – вектор, состоящий из вектора выходных сигналов схемы y и вектора выходов схемы контроля $z = z_1, \dots, z_r$;

z' – вектор выходных сигналов схемы декодирования $z' = z'_1, \dots, z'_r$.

Основная идея данного метода заключается в «сворачивании» вектора выходных сигналов комбинационной схемы $y = y_1, \dots, y_i, \dots, y_k$ и получении итоговой сигнатурной свертки z'_1, \dots, z'_r .

В качестве примера будет рассмотрена комбинационная схема с пятью выходами y_1, \dots, y_5 . В качестве образующего выбран примитивный многочлен $g^3(x) = x^3 + x + 1$.

z'_1, \dots, z'_r – остаток от деления y на многочлен 3-ей степени $g(x)$.

y_1	y_2	y_3	y_4	y_5	z_1	z_2	z_3	1	0	1	1
y_1	0	y_1	y_1					$y_1 A1$	$B1$	$C1$	$D1$
\oplus	$A1$	$A2$	$A3$	y_5							
	$A1$	0	$A1$	$A1$							
\oplus	$B1$	$B2$	$B3$	z_1							
	$B1$	0	$B1$	$B1$							
\oplus	$C1$	$C2$	$C3$	z_2							
	$C1$	0	$C1$	$C1$							
\oplus	$D1$	$D2$	$D3$	z_3							
	$D1$	0	$D1$	$D1$							
	$E1$	$E2$	$E3$								

Рис. 3. Функциональная схема деления выходного вектора на образующий многочлен $g(x)$

На рис. 3 изображена функциональная схема деления вектора, состоящего из вектора выходных сигналов схемы и вектора выходов схемы контроля $y_1, \dots, y_i, \dots, y_5, z_1, \dots, z_3$, на образующий многочлен. В результате выполнения данной операции будет сформирован остаток $y' = E1, E2, E3$ (знак \oplus обозначает суммирование по модулю 2).

При делении формируются следующие промежуточные остатки:

$$A1, A2, A3 \Rightarrow$$

$$A1 = y_2; A2 = y_1 \oplus y_3; A3 = y_1 \oplus y_4;$$

$$B1, B2, B3 \Rightarrow$$

$$B1 = y_1 \oplus y_3; B2 = y_1 \oplus y_2 \oplus y_4; B3 = y_2 \oplus y_5;$$

$$C1, C2, C3 \Rightarrow$$

$$C1 = y_1 \oplus y_2 \oplus y_4; C2 = y_1 \oplus y_2 \oplus y_3 \oplus y_5;$$

$$C3 = y_1 \oplus y_3 \oplus z_1;$$

$$D1, D2, D3 \Rightarrow$$

$$D1 = y_1 \oplus y_2 \oplus y_3 \oplus y_5; D2 = y_2 \oplus y_3 \oplus y_4 \oplus z_1;$$

$$D3 = y_1 \oplus y_2 \oplus y_4 \oplus z_2;$$

$$E1, E2, E3 \Rightarrow$$

$$E1 = y_2 \oplus y_3 \oplus y_4 \oplus z_1; E2 = y_3 \oplus y_4 \oplus y_5 \oplus z_2;$$

$$E3 = y_1 \oplus y_2 \oplus y_3 \oplus y_5 \oplus z_3.$$

IV. МЕТОД ОПТИМИЗАЦИИ СХЕМ КОДИРОВАНИЯ С УЧЕТОМ ЛОГИЧЕСКИХ КОРРЕЛЯЦИЙ

Для выбора оптимального варианта коммутации предлагается использовать оценочную функцию, вычисленную на основе расчета взаимных корреляций между выходами [18-21]. Рассмотрим применение данного подхода на примере схемы, изображенной на рис. 4.

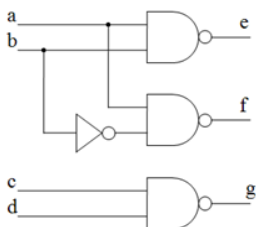


Рис 4. Пример логической схемы

Данная схема обладает тремя выходами e, f, g . В качестве образующего многочлена возьмем полином второй степени $(x^2 + x + 1)$. В результате схема кодирования будет выглядеть следующим образом:

$$y = x_1 \oplus x_2,$$

$$z = x_2 \oplus x_3,$$

где \oplus – сложение по модулю два.

Для комбинационной схемы число вариантов коммутации выходов составляет $N!$ (N – число выходов). Поэтому для схемы с тремя выходами число комбинаций равно 6. При рассмотрении полученной схемы кодирования можно заметить, что от перестановки x_1 и x_3 местами результат не изменится. Таким образом, из 6-ти возможных комбинаций остается 3:

$$x_1 = e, x_2 = f, x_3 = g; \quad x_1 = f, x_2 = g, x_3 = e;$$

$$x_1 = g, x_2 = e, x_3 = f.$$

Размер схемы кодирования зависит от выбора коммутирования. Варианты BDD схемы контроля для схемы, взятой в качестве примера, изображены на рис. 5. BDD, изображенная на рис. 5а, соответствует первому варианту, рис. 5б – второму варианту и рис. 5в – третьему варианту коммутации. Из данных рисунков видно, что в первом и третьем случае количество промежуточных узлов равно 7, во втором 8.

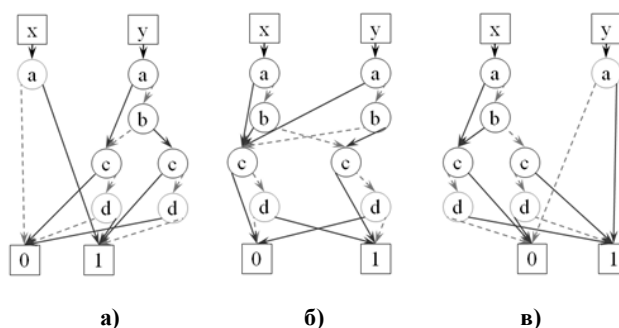


Рис. 5. Варианты BDD схемы кодирования

Для того чтобы выбрать оптимальный вариант коммутации, предлагается учитывать логические корреляции между выходами. В примере, изображенном на рис. 4, существуют логические корреляции между выходами e и f .

Для поиска логических корреляций между выходами можно воспользоваться методом распространения логических корреляций на основе метода резолюций.

Корреляции разной степени оказывают разное влияние на оптимизацию схемы. Для учета корреляций различных степеней предлагается следующая эвристическая формула:

$$S^*(o_i, o_j) = \sum_{k=1}^4 n_k(o_i, o_j) \cdot 2^{-k},$$

где $S^*(o_i, o_j)$ – функция учета логических корреляций между i -м и j -м выходами схемы; n_k – количество корреляций k -го порядка.

Наибольший эффект от оптимизации схемы кодирования достигается при условии вхождения в одну формулу схемы кодирования выходов схемы, имеющих взаимные корреляции. Для всех выходов дублирующей схемы применяют предложенные методы анализа логических корреляций в цифровой схеме для получения весовых функций. На основе полученных весовых функций выбирается порядок коммутации выходов дублирующей схемы.

V. РЕЗУЛЬТАТЫ ЧИСЛЕННЫХ ЭКСПЕРИМЕНТОВ

Таблица 3

Проведенные исследования показали, что на качество результата в терминах занимаемой площади существенное влияние оказывает не только переупорядочивание входов, как в случае стандартной BDD, но и порядок коммутации выходов в схеме кодирования.

Результат оптимизации схемы кодирования зависит от порядка коммутации выходов дублирующей схемы. Как уже было указано в разделе IV, количество всех возможных комбинаций при этом составляет N!

Для всех выходов дублирующей схемы применяют предложенные методы анализа логических корреляций в цифровой схеме для получения весовых функций. На основе полученных весовых функций выбирается порядок коммутации выходов дублирующей схемы.

Таблица 1

Оценка логических корреляций выходов схемы c17

Выходы схемы c17	Оценка логических корреляций
N22	7,875
N23	7,25

Таблица 2

Количество узлов в схеме кодирования c17 после оптимизации

Схема c17	Кол-во узлов после оптимизации	
	1011 (x^3+x+1)	111 (x^2+x+1)
1 N22 <-> F1 N23 <-> F2	12	10
2 N22 <-> F2 N23 <-> F1	13	13

В табл. 1 представлена оценка логических корреляций выходов схемы c17. В табл. 2 – сравнение количества узлов в схемах кодирования c17, полученных на основе полиномов второй и третьей степеней, после оптимизации.

В результате использования предложенных методов при построении схем кодирования получены результаты, которые показывают выигрыш по площади для схемы c432 при построении схемы кодирования на основе полинома второй (x^2+x+1) (табл. 3) и третьей степени (x^3+x+1) (табл. 4) по сравнению со схемами с прямым порядком коммутации. В целом при сравнении количества узлов после оптимизации при использовании метода мажорирования со схемой кодирования на основе полинома второй степени улучшение составило от 8 до 33%.

Количество узлов в схеме кодирования c432 на основе полинома второй степени после оптимизации

Схема c432		Кол-во узлов после оптимизации		Улучшение относительно мажорирования
		Мажорирование	111 (x^2+x+1)	
1	N223 <-> F1	1836	1241	33,4%
	N329 <-> F4			
	N370 <-> F7			
	N421 <-> F2			
	N430 <-> F3			
	N431 <-> F5			
N432 <-> F6				
2	N223 <-> F1	1836	1640	10,7%
	N329 <-> F2			
	N370 <-> F3			
	N421 <-> F4			
	N430 <-> F5			
	N431 <-> F6			
	N432 <-> F7			
3	N223 <-> F2	1836	1691	7,9%
	N329 <-> F3			
	N370 <-> F5			
	N421 <-> F1			
	N430 <-> F6			
	N431 <-> F4			
	N432 <-> F7			

Таблица 4

Количество узлов в схеме кодирования c432 на основе полинома третьей степени после оптимизации

Схема c432			1011 (x^3+x+1)
			Кол-во узлов после оптимизации
1	N223 <-> F5	13,5 - 2	1941
	N329 <-> F6	13,5 - 3	
	N370 <-> F7	12,5 - 2	
	N421 <-> F1	2,25 - 1	
	N430 <-> F4	6,56 - 2	
	N431 <-> F2	3,56 - 1	
2	N432 <-> F3	3,06 - 1	2010
	N223 <-> F1	13,5 - 1	
	N329 <-> F2	13,5 - 1	
	N370 <-> F3	12,5 - 1	
	N421 <-> F4	2,25 - 2	
	N430 <-> F5	6,56 - 3	
	N431 <-> F6	3,56 - 2	
3	N432 <-> F7	3,06 - 2	2268
	N223 <-> F1	13,5 - 1	
	N329 <-> F2	13,5 - 1	
	N370 <-> F3	12,5 - 1	
	N421 <-> F5	2,25 - 3	
	N430 <-> F4	6,56 - 2	
	N431 <-> F6	3,56 - 2	
N432 <-> F7	3,06 - 2		

VI. ЗАКЛЮЧЕНИЕ

В данной работе исследованы существующие методы оптимизации КМОП-схем и алгоритм синтеза схемы кодирования в базе полей Галуа. Рассмотрены методы преобразования булевых функций в базе операций по модулю 2 на основе упорядоченных диаграмм двоичных решений (OBDD). Был предложен метод оптимизации схем кодирования за счет выбора варианта коммутирования выходов дубликата основной схемы на основе результатов анализа логических корреляций.

ПОДДЕРЖКА

Работа выполнена при финансовой поддержке РФФИ в рамках научного проекта № 15-07-02065.

ЛИТЕРАТУРА

- [1] M. Poolakparambil, J. Mathew. BCH Code Based Multiple Bit Error Correction in Finite Field Multiplier Circuits // ISQED, 2011. P. 1-6.
- [2] P. Shivakumar, M. Kistler, S.W. Keckler, D. Burger. Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic // Dependable Systems and Networks, 2002. P. 389-398.
- [3] F. Wang, Y. Xie, R. Rajaraman. Soft Error Rate Analysis for Combinational Logic Using An Accurate Electrical Masking Model // 20th International Conference on VLSI Design, 2007. P. 165-170.
- [4] S. Krishnaswamy. On the Role of Timing Masking in Reliable Logic Circuit Design // Design Automation Conference, 2008. P. 924-929.
- [5] Соловьев А.Н., Стемпковский А.Л. Методы повышения отказоустойчивости работы устройства управления микросистемы за счет введения структурной избыточности // Информационные технологии. 2014. № 10. С. 17-22.
- [6] Lee C. Y. Representation of Switching Circuits by Binary-Decision Programs // Bell System Technical Journal. 1959. Vol. 38. Pp. 985-999.
- [7] Akers S.B. Binary Decision Diagrams // IEEE Transactions on Computers. 1978. Vol. C-27. № 6. Pp. 509-516.
- [8] Глебов А.Л., Гурарий М.М., Жаров М.М. и др. под ред. члена-корреспондента РАН А.Л. Стемпковского. Актуальные проблемы моделирования в системах автоматизации схемотехнического проектирования. - М: Наука, 2003.
- [9] Хмельнов А.Е., Игнатъев А.С., Семенов А.А. Двоичные диаграммы решений в задачах обращения дискретных функций // Вестник ТГУ. Управление, вычислительная техника и информатика. - 2009. - Вып. №1 (6).
- [10] Гаврилов С.В. Методы анализа логических корреляций для САПР цифровых КМОП СБИС. - М., Техносфера, 2011, 136 с.
- [11] Гаврилов С.В., Глебов А.Л., Стемпковский А.Л. Методы логического и логико-временного анализа цифровых КМОП СБИС. - М.: Наука, 2007, 223 с.
- [12] Glebov A.L., Gavrilov S.V., Blaauw D. False-noise analysis using resolution method. ISQED-2002.
- [13] Стемпковский А.Л., Гаврилов С.В., Глебов А.Л. Анализ помехоустойчивости цифровых схем на основе метода резолюций // Электроника, Известия ВУЗов, 2004, № 6, С. 64-71.
- [14] Gavrilov S.V., Glebov A.L., Soloviev R.A., etc. Delay Noise Pessimism Reduction by Logic Correlations // In Proc. of ICCAD, 2004, P.160-167.
- [15] Гаврилов С.В., Рыжова Д.И., Стемпковский А.Л. Методы повышения точности оценки пикового тока на логическом уровне на основе анализа логических корреляций // Известия ЮФУ. Технические науки. 2014, № 7, С. 66-75.
- [16] Гаврилов С.В., Рыжова Д.И. Алгоритм оценки пикового тока на логическом уровне проектирования на основе анализа распространения логических корреляций в схеме // Вестник Рязанского государственного радиотехнического университета. 2015. №2 (Выпуск 52). С. 53-61.
- [17] Гаврилов С.В., Гудкова О.Н., Северцев В.Н. Интервальный статический временной анализ КМОП-схем с учетом логических корреляций // V Всероссийская научно-техническая конференция "Проблемы разработки перспективных микро- и нанoeлектронных систем – 2012": сб. научн. тр. / под общей ред. А.Л. Стемпковского. М.: ИПИМ РАН, 2012, С. 113-118.
- [18] Гаврилов С.В., Иванова Г.А., Соловьев А.Н., Стемпковский А.Л. Оптимизация схем кодирования на основе выбора варианта коммутаций с учетом логических корреляций между выходами комбинационной схемы // Известия ЮФУ. Технические науки. - 2015. №6 (167), С. 255-262.
- [19] Гаврилов С.В., Иванова Г.А., Соловьев А.Н., Щелоков А.Н. Учет логических корреляций между выходами комбинационной схемы при коммутации с входами схемы кодирования // труды Международного конгресса по интеллектуальным системам и информационным технологиям – 2015, "IS&IT'15". С. 192-197.
- [20] Гаврилов С.В., Иванова Г.А., Рыжова Д.И., Соловьев А.Н., Стемпковский А.Л. Методы синтеза помехозащищенных комбинационных блоков // Информационные технологии. 2015, Т. 21, №11, С. 821-826.
- [21] Гаврилов С.В., Иванова Г.А., Рыжова Д.И., Стемпковский А.Л. Методы повышения надежности комбинационных микрoeлектронных схем на основе мультиинтервального анализа быстродействия // "Системы высокой доступности". №4. 2015. С. 69-76.

Optimization methods of coding circuits based on the binary decision diagrams for synthesis of fault-tolerant micro- and nanoelectronic circuits

S.V.Gavrilov, T.D. Zhukova, D.I. Ryzhova

Institute for Design Problems in Microelectronics of the RAS (IPPM RAS), sergey_g@ippm.ru

Keywords — Galois field, noise tolerance, binary decision diagram (BDD).

ABSTRACT

Today, with the using of new process technology the level of integration is increased and technological sizes are decreased. This leads to the need to improve the reliability and noise immunity of integrated circuits in extreme operating conditions. Approaches to solving this problem based on linear and cyclic codes are typically used to protect transmission and storage data. But they are not intended to improve the noise immunity of combinational circuits. Majority approach is used as a schematic solution, followed by a vote on circuit outputs. In this case, the assumption about the absolute reliability of the voter is made, but in practice it is not true and leads to overestimation of the microsystems reliability. In addition, there is no possibility of flexible control of redundancy for the obtained solutions in majority approaches. This leads to the impossibility of adapting them to the requirements of design circuits. To solve this problem, in this paper we propose to use the coding method in the basis of Galois field. This method is based on the using of structural redundancy. It provides the desired level of noise immunity and the requirements of hardware costs minimization. Also we propose a method for optimizing the coding circuits with the use of binary decision diagrams for various commutations of duplicate circuit outputs.

REFERENCES

- [1] M. Poolakkaparambil, J. Mathew. BCH Code Based Multiple Bit Error Correction in Finite Field Multiplier Circuits – ISQED, 2011, pp. 1-6.
- [2] P. Shivakumar, M. Kistler, S.W. Keckler, D. Burger. Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic – Dependable Systems and Networks, 2002, pp. 389-398.
- [3] F. Wang, Y. Xie, R. Rajaraman. Soft Error Rate Analysis for Combinational Logic Using An Accurate Electrical Masking Model – 20th International Conference on VLSI Design, 2007, pp. 165-170.
- [4] S. Krishnaswamy. On the Role of Timing Masking in Reliable Logic Circuit Design – Design Automation Conference, 2008, pp. 924-929.
- [5] Solov'ev A.N., Stempkovskij A.L. The methods of fault tolerance microsystem controller performance increasing by structural redundancy – Informacionnye tehnologii, 2014, No. 10, pp. 17-22 (in Russian).
- [6] Lee C.Y. Representation of Switching Circuits by Binary-Decision Programs – Bell System Technical Journal, 1959, Vol. 38, pp. 985-999.
- [7] Akers S.B. Binary Decision Diagrams – IEEE Transactions on Computers, 1978, Vol. C-27, no. 6, pp. 509-516.
- [8] Glebov A.L., Gurarij M.M., Zharov M.M., etc. under the editorship of corresponding member of RAS A.L. Stempkovskij. Actual problems of simulation in the circuit design automation systems - M: Nauka, 2003 (in Russian).
- [9] Hmel'nov A.E., Ignat'ev A.S., Semenov A.A. The binary decision diagrams in the problems of the inversion of discrete functions – Vestnik TGU. Upravlenie, vychislitel'naja tehnika i informatika, 2009, vol. no. 1 (6) (in Russian).
- [10] Gavrilov S.V. Methods of logical correlations analysis for digital CMOS VLSI CAD – M., Tehnosfera, 2011, 136 p. (in Russian).
- [11] Gavrilov S.V., Glebov A.L., Stempkovskij A.L. Methods of logic and time-logic analysis of digital CMOS VLSI – M.: Nauka, 2007, 223 p. (in Russian).
- [12] Glebov A.L., Gavrilov S.V., Blaauw D. False-noise analysis using resolution method – ISQED-2002.
- [13] Stempkovskij A.L., Gavrilov S.V., Glebov A.L. Analysis of the noise immunity of digital circuits on the basis of the resolution method – Jelektronika, Izvestija VUZov, 2004, no. 6, pp. 64-71 (in Russian).
- [14] Gavrilov S.V., Glebov A.L., Soloviev R.A., etc. Delay Noise Pessimism Reduction by Logic Correlations – In Proc. of ICCAD, 2004, pp. 160-167.
- [15] Gavrilov S.V., Ryzhova D.I., Stempkovskij A.L. Methods of increasing peak current estimation accuracy at the logical level based on the analysis of logical correlations – Izvestija JuFU. Tehnicheskie nauki, 2014, no. 7, pp. 66-75 (in Russian).
- [16] Gavrilov S.V., Ryzhova D.I. The algorithm of peak current estimation at the logic level design based on the analysis of correlations propagation in the logic circuit – Vestnik Rjazanskogo gosudarstvennogo radiotekhnicheskogo universiteta, 2015, no. 2 (edition 52), pp. 53-61 (in Russian).
- [17] Gavrilov S.V., Gudkova O.N., Severcev V.N. Interval static timing analysis of CMOS circuits based on the logical correlations – Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem – 2012". M.: IDPM RAS, 2012, pp. 113-118 (in Russian).
- [18] Gavrilov S.V., Ivanova G.A., Solov'ev A.N., Stempkovskij A.L. Optimization of coding circuits based on the commutations option selection based on the logical correlations between outputs of combinational circuit – Izvestija JuFU. Tehnicheskie nauki, 2015, no. 6 (167), pp. 255-262 (in Russian).
- [19] Gavrilov S.V., Ivanova G.A., Solov'ev A.N., Shhelokov A.N. Consideration of the logical correlation between outputs of the combinational circuit based on the coding circuit inputs commutation – trudy Mezhdunarodnogo kongressa po intellektual'nym sistemam i informacionnym tehnologijam – 2015, "IS&IT'15". pp. 192-197 (in Russian).
- [20] Gavrilov S.V., Ivanova G.A., Ryzhova D.I., Solov'ev A.N., Stempkovskij A.L. The methods of fault tolerance combinational blocks synthesis – Informacionnye tehnologii. 2015, Vol. 21, no. 11, pp. 821-826 (in Russian).
- [21] Gavrilov S.V., Ivanova G.A., Ryzhova D.I., Stempkovskij A.L. Methods of increasing the reliability of the combinational microelectronic circuits based on the multiinterval analysis of performance – "Sistemy vysokoj dostupnosti". 2015, no. 4, pp. 69-76 (in Russian).