

Методика автоматизированной генерации и анализа базовых конструктивов для проектирования блоков динамической и статической защиты интегральных схем от ЭСР

С.А. Ильин, С.К. Кочанов, О.В. Ласточкин, А.А. Новиков

НИИ молекулярной электроники (АО «НИИМЭ»), annovikov@mikron.ru

Аннотация — В статье описывается методика проектирования блоков динамической и статической защиты интегральных схем (ИС) от электростатического разряда (ЭСР). Методика основывается на автоматизированной генерации базовых конструктивов и проведении анализа их электрических параметров с учетом разработанного набора критериев.

Ключевые слова — ЭСР, схема динамической защиты от ЭСР, схема статической защиты от ЭСР, автоматизированная генерация базовых конструктивов, маршрут проектирования, специализированное программное обеспечение.

ВВЕДЕНИЕ

Повышение скорости обработки цифровых данных и степени интеграции МОП технологий делают актуальными задачи: разработки новых библиотек ИО ячеек с элементами защиты от ЭСР по современным топологическим нормам; сокращение временных затрат на разработку ИО библиотек; поддержку, развитие и миграцию готовых ИО библиотек между широким спектром полупроводниковых технологий. Постоянная эволюция полупроводниковых технологий существенно усложняет процесс разработки ИО библиотек. Поэтому необходимо разрабатывать автоматизированные средства, позволяющие ускорять отдельные этапы маршрута проектирования ИО библиотек, а также снижать вероятность появления ошибок при ручном проектировании.

Цель работы: для сокращения временных затрат и повышения эффективности проектирования компонентов защиты от ЭСР предлагается методика автоматизированной генерации базовых конструктивов с требуемыми электрическими параметрами и удовлетворяющих заданным ограничениям.

ОБЩИЕ СВЕДЕНИЯ ОБ ЭСР И ПРИНЦИПАХ ПОСТРОЕНИЯ ЗАЩИТЫ

ЭСР является одной из основных причин отказов интегральных схем (ИС) и может произойти в любой момент времени жизни ИС: при изготовлении, сборке, хранении или испытаниях. Причина возникновения заключается в разности потенциалов между выводами схемы, при этом схема подвергается

кратковременным, от 0,1 нс до 100 нс, импульсам тока с амплитудой от 1 А до 30 А, которые могут привести к повреждению затворов активных приборов и подзатворного окисла. Как правило, рассматривают три основные модели тестовых воздействий:

- модель тела человека (Human Body Model – HBM);
- машинную модель (Machine Model – MM);
- модель заряженного устройства (Charge Device Model – CDM).

Каждая модель отличается видом сигнала, продолжительностью импульса и пиковыми напряжением и током. Общий вид графиков изменения тока от времени показан на рис. 1.

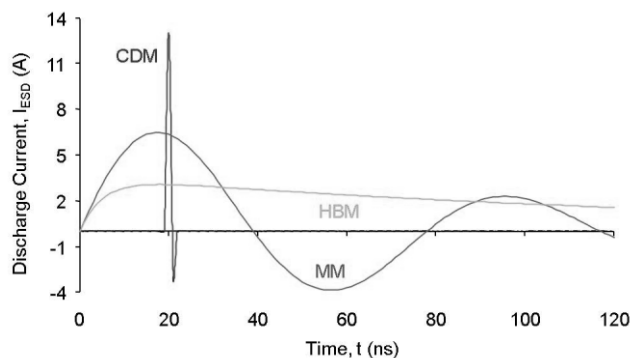


Рис. 1. Общий вид зависимости амплитуды тока от времени для разных моделей воздействия ЭСР

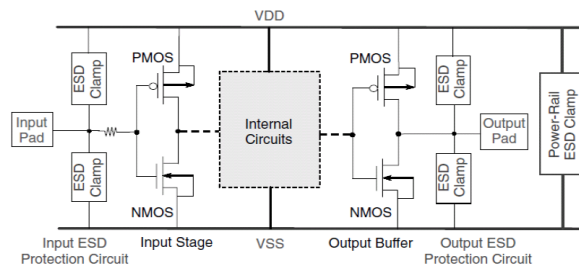


Рис. 2. Общая схема построения защиты ИС от ЭСР

Проведем анализ общей схемы защиты ИС от ЭСР, представленной на рис. 2. Данная архитектура применяется для защиты от повреждений HBM/MM-воздействиями случайной пары портов ИС, между которыми может возникнуть ЭСР. Для защиты пары

портов данных предусмотрен элемент статической схемы защиты – ESD Clamp, который подключается между портом данных и шиной питания VDD или шиной земли VSS. Для защиты пары «порт данных-порт шины питания/земли» предназначена схема динамической защиты – Power-Rail ESD Clamp. Она должна быть размещена между шинами питания и земли ИС.

В рассматриваемой архитектуре статические схемы защиты входят в состав ячеек ввода-вывода, динамические схемы защиты входят в состав элементов Clamp. Элементы статической защиты обычно проектируются на основе диодной пары. Динамическая схема защиты проектируется на основе транзистора (или массива распределенных транзисторов) с элементами RC-цепи и схемой управления. Площадь, занимаемая элементами статической и динамической защиты по отношению к площади, характерной для выбранной технологии ячейки ввода-вывода, достаточно велика.

На рис. 3 приведен общий вид топологии ячейки ввода-вывода¹. Фигурными скобками выделена диодная пара, занимающая ~35 % от площади ячейки.

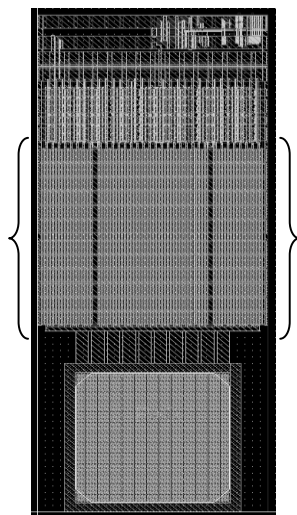


Рис. 3. Топология ячейки ввода-вывода

На рис. 4 приведен общий вид топологии схемы Clamp, в которой фигурными скобками выделен Clamp-транзистор – основной и наиболее важный элемент схемы. Площадь, занимаемая Clamp-транзистором, составляет ~57% площади всей ячейки. Из проведенного анализа следует, что значительную часть площади защиты от ЭСР занимают базовые конструктивы статической и динамической защиты, соответственно, массив диодов и Clamp-транзистор. Учитывая возможные вариации основных параметров диодов и транзисторов, типоминималов,

технологических особенностей элементов, их количества, необходимого для достижения требуемой стойкости к ЭСР, вариаций параметров процесса и условий функционирования, проектирование, анализ характеристик и выбор наиболее эффективных решений реализации базовых конструктивов существенно затруднены.

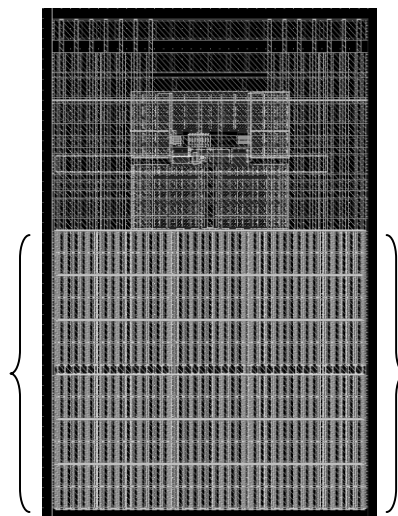


Рис. 4. Топологии ячейки Clamp

Следует отметить, что конструктивно схема защиты от ЭСР не сильно зависит от технологии, однако элементы, на основе которых осуществляется ее разработка, в значительной степени определяются базисом, который позволяет использовать поддерживаемая технология. Если разработчик поддерживает одновременно несколько технологий, отличающихся как по технологическим нормам – 250/180/90 нм и менее, так и по типу самой технологии – КМОП/КНИ, и обеспечивает разработку библиотек ячеек ввода-вывода для этих технологий, то задача эффективной миграции решений между технологиями также крайне актуальна.

МЕТОДИКА АВТОМАТИЗИРОВАННОЙ ГЕНЕРАЦИИ БАЗОВЫХ КОНСТРУКТИВОВ ДЛЯ ПОСТРОЕНИЯ СХЕМЫ ЗАЩИТЫ ИС ОТ ЭСР

Принимая во внимание большое количество ограничений, переменных параметров базовых элементов, параметров разрабатываемой схемы защиты и требований к условиям функционирования схемы, эффективность ее разработки может быть существенно повышена путем автоматизации данного этапа.

Для решения поставленной задачи предлагается методика, основанная на совместном использовании пакета специализированного программного обеспечения (ПО) и маршрута проектирования.

Оценка эффективности каждого конструктива проводится на основе схмотехнического моделирования. Для запуска моделирования требуется набор файлов окружения: непосредственно сам

¹ Примеры и параметры элементов, приведенные в статье, взяты из библиотеки элементов ввода-вывода по технологии Микрон КНИ 250 нм

исследуемый конструктив (файл в формате Spectre/Spice), файл тестовых воздействий, командный файл анализа и вычисления электрических параметров схемы по результатам моделирования (.mdl файл), командный файл запуска моделирования, модуль анализа полученных результатов с учетом заданных критериев. Выполнение перечисленных задач может быть полностью автоматизировано.

Разработанное ПО позволяет автоматически создавать и анализировать по заданному алгоритму практически ничем не ограниченное количество вариантов конструктивов и обеспечивает поиск наиболее точно соответствующего заданным критериям и параметрам варианта.

Предлагаемый маршрут на основе применения разработанного ПО приведен на рис. 5.

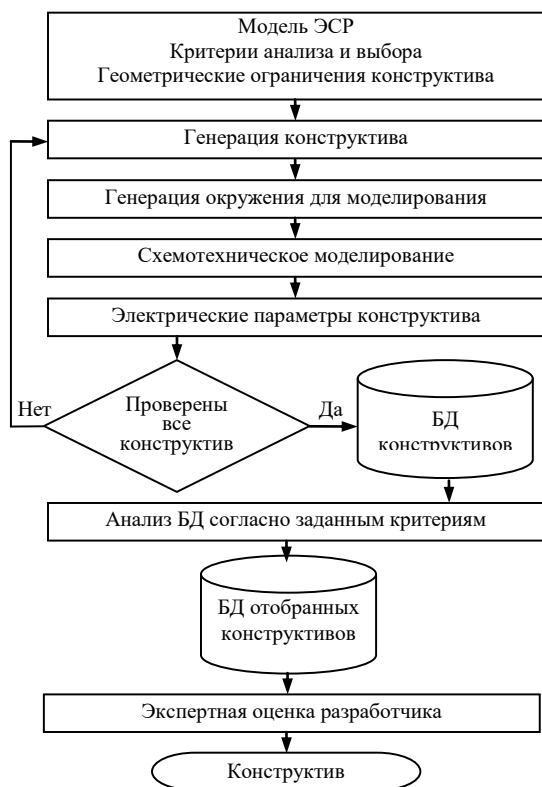


Рис. 5. Маршрут определения параметров базовых конструктивов защиты от ЭСР

Результатом работы ПО является база данных (БД) базовых конструктивов для статической и динамической схем защиты. Из полученной БД в автоматическом режиме осуществляется отбор удовлетворяющих заданным критериям конструктивов. Таким образом, формируется список взаимозаменяемых вариантов конструктивов, из которых разработчик выбирает наиболее подходящее решение.

Для статической схемы защиты особый интерес представляет конструктив диода, способный провести заданный ток, соответствующий тому или иному

значению ЭСР. На рис. 6 представлен график зависимости падения напряжения для конструктивов на основе диода dp (диод dp – один из элементов библиотеки КНИ 250нм «Микрон»). Пропускная способность каждого конструктива равна ~2А (для ЭСР НВМ). Каждое пиковое значение на графике отображает конструктив с данной пропускной способностью. Для повышения надежности предпочтение должно быть отдано конструктивам, обеспечивающим наименьшее падение напряжения, однако при этом данный конструктив будет отличаться увеличенными геометрическими размерами.

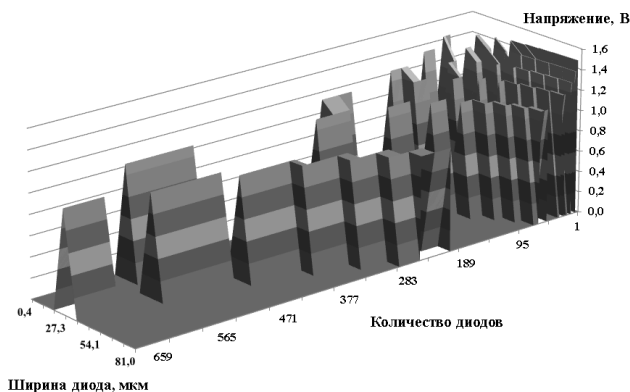


Рис. 6. Зависимость напряжения от параметров конструктива на базе диода dp для пропускания тока 2А

Если для разработчика большее значение имеет критерий минимизации занимаемой площади, то необходимо выбирать конструктивы, достигшие более высоких значений напряжения.

Такой же алгоритм действий применяется и для конструктива динамической схемы защиты. Отдельный интерес представляет пропускная способность транзистора при нормальных условиях работы. На рис. 7 представлен график зависимости тока конструктива на транзисторе rmos_a типа.

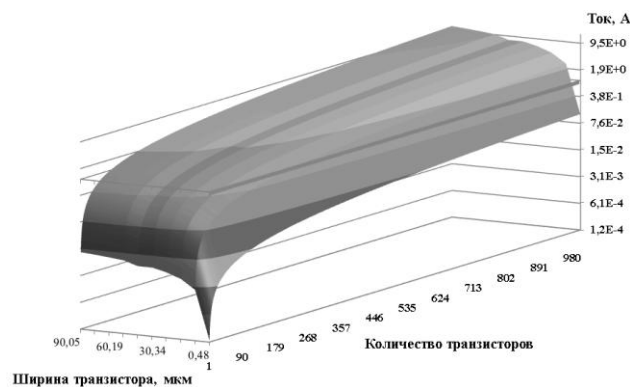


Рис. 7. Зависимость величины тока, пропускаемого rmos_a транзистором, от параметров конструктива

Для проверки эффективности методики в качестве исходной схемы были выбраны ячейки ввода-вывода из библиотеки, созданной на базе технологии Микрон

КНИ 250 нм, которая в настоящее время используется при разработке проектов.

В ходе эксперимента с помощью предложенной методики удалось переопределить параметры исходных базовых конструктивов. Таким образом, площадь, занимаемая диодной парой, рассчитанной по методике, уменьшилась в 5 раз в сравнении с исходным вариантом, а Clamp-транзистор удалось уменьшить в ~4 раза. Более подробные данные по базовым конструктивам приведены в таблице 1. Для подтверждения правильности методики запланировано проведение испытаний реализованной защиты от ЭСР в кремнии.

Таблица 1

Данные до и после применения методики

		До	После
Статическая схема защиты	Элемент	dn, dp	dn, dp
	W (мкм)	5,08	54,14
	N	850	24
	S (мкм ²)	20515	3872
Динамическая схема защиты	Элемент	nmos_h	nmos_a
	W(мкм)	9,44	60,19
	L (нм)	300	180
	n	504	170
	S (мкм ²)	23307	7698

В связи с высокой вариативностью конструктивов и, как следствие, существенным количеством вариантов структур и их электрофизических параметров появилась необходимость в формулировании критериев сортировки и выбора наиболее полно удовлетворяющих заданным условиям конструктивов.

Для схем статической защиты как наиболее важные, выбраны критерии по токовой пропускной способности, занимаемой площади и приложенным напряжениям. Для схем динамической защиты выбраны критерии по задержке отклика схемы, продолжительности работы во время всего стрессового воздействия, токовой пропускной способности и занимаемой площади.

Интеграция сформулированных критериев в разработанное ПО позволила сократить область анализа для динамических схем защиты с ~60000 полученных конфигураций до ~800. Для динамических схем область анализа сократилась с ~85000 полученных результатов до 450 конфигураций, что позволяет разработчику проводить более точный анализ перспективных конструктивов. Применение стандартных средств САПР для решения подобной задачи не эффективно.

ЗАКЛЮЧЕНИЕ

Основным результатом проведенного исследования является разработанная методика автоматизированной генерации базовых конструктивов защиты от ЭСР. На основе предложенной методики разработаны специализированное ПО и маршрут его применения. Методика и ПО технологически независимы, что дает возможность их применения при разработке библиотек ввода-вывода для всех технологий семейства КМОП/КНИ 250/180/90/65 нм и ниже. Предложенный метод может быть использован при разработке новых ячеек ввода-вывода, коррекции уже существующих решений при изменениях в технологии или средствах проектирования, например изменениях в Spice-моделях или PDK, миграции ячеек ввода-вывода между опциями одной технологии или между разными технологиями.

Предложенная методика апробирована и показала свою эффективность при разработке и первичных оценках конструктивов защиты от ЭСР для библиотек элементов ввода-вывода по отечественным технологиям КНИ 250/180 нм.

ЛИТЕРАТУРА

- [1] Красников Г.Я., Орлов О.М. Отличительные особенности и проблемы КМОП-технологии при уменьшении проектной нормы до уровня 0.18 мкм и меньше // Российские нанотехнологии. 2008. Т. 3. №7-8. С. 124-128.
- [2] Эннс В.И., Кобзев Ю.М. Проектирование аналоговых КМОП-микросхем. Краткий справочник разработчика. М.: Горячая Линия – Телеком, 2005. 456 с.
- [3] Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM) JESD22-A114D. – JEDEC Std., March 2005.
- [4] Requirements for Handling Electrostatic-Discharge-Sensitive (ESDS) Devices JESD625-A. – JEDEC Std., March 2005.
- [5] Ban P. Wong, Anurag Mittal, Yu Cao, Greg Starr “Nano-CMOS circuit and physical design, Hoboken”, New Jersey, – 2005, 432 p.
- [6] Sanjay Dabral, Timothy Maloney “Basic ESD and I/O Design” California. Intel Corporation Santa Clara – 1998. 320 p.
- [7] Albert Z.H. Wang “On-chip ESD protection for IC” Boston/Kluwer Academic Publishers – 2001, 207 p.
- [8] Oleg Semenov, Hossein Sarbishaei, Manoj Sachdev “ESD protection device and circuit design for advanced CMOS technologies” Waterloo. Springer – 2008, 345 p.
- [9] C.Diaz, S.M.Kang, C.Duvvury “Tutorial electrical overstress and electrostatic discharge” – 1995.
- [10] Roy Alan Hastings, “The Art of Analog Layout” – 2000, 662 p.

Methodology of automated generation and analysis of basic structures for the design of blocks for dynamic and static ESD protection of integrated circuits

S.A. Ilin, S.K. Kochanov, O.V. Lastochkin, A.A. Novikov

Molecular Electronics Research Institute (JS "MERI"), annovikov@mikron.ru

Keywords – dynamic ESD protection circuit, static ESD protection circuit, automated generation of schematic structures, design route, specialized software.

ABSTRACT

The article describes a methodology of designing dynamic and static IC blocks for protection against electrostatic discharge (ESD). The methodology is based on the automated generation of schematic representations and analyzing their electrical parameters based on the selected criteria.

Improving of digital data processing speed and degree of MOS integration technologies make urgent the following tasks: development of new IO cell libraries with ESD protection elements for modern topological rules; reducing time spent on the development of IO libraries; support, development and migration of completed IO libraries across a wide range of semiconductor technologies. The constant evolution of semiconductor technologies significantly complicates the process of IO libraries development.

It is therefore necessary to develop automated tools to speed up separate stages of IO library design route, as well as reduce the likelihood of errors while manual design.

Objective: for reducing time and improving the efficiency of ESD protection components, design technique for automated generation of the basic constructs with the desired electrical parameters and satisfying the given constraints is proposed.

In the conventional VLSI ESD protection architecture, static protection circuits are part of input-output cells, dynamic protection circuit is included in the Clamp elements. Dynamic protection circuit is a complex device for detection of stress, activation element of high conductivity and redistribution of peak current. Elements of static protection are usually designed on the basis of the diode pair. Dynamic protection circuit is designed based on a transistor (or transistors distributed array) with RC-circuit elements and control circuitry. The area occupied by elements of static and dynamic protection with respect to square characteristic of the selected IO cell technology, is rather big.

To reduce the time and improve the efficiency of protection components design, the methodology of the automated generation of the basic constructs with the desired electrical parameters and satisfying the given

constraints is presented. Taking into account the large number of constraints, variable basic elements, developed protection circuit parameters and requirements for the scheme functioning conditions, the effectiveness of its development can be greatly improved by automatization of this phase. The proposed methodology is based on the joint use of specialized software package and the route of design. The effectiveness evaluation of each structural element is based on circuit simulation. The developed software allows to automatically create and analyze a given algorithm for the unlimited number of constructs variants, and provides a search that most closely matches the specified criteria and options parameters. The result of the software work is a database (DB) of the basic constructs for static and dynamic protection circuits. From the resulting database in an automatic mode, the selection is carried out satisfying the specified criteria constructs.

When designing an ESD protection circuit we meet the following problems:

- High degree of variability of the main parameters of the basic constructs;
- Large number of species of elements (diodes, transistors) increasing with each new technology;
- Variety of circuit solutions and their combinations;
- Complexity of determining the most suitable solutions to achieve the desired resistance value while the impact of ESD in a reasonable time.

To solve the problems, it is proposed to use specialized software that implements:

- Automatic generation of the test constructs, and combinations thereof;
- Formation of test environment and generation of input actions;
- Calculation of the constructs' parameters based on circuit simulation;
- Analysis of the results.

To test the effectiveness of the methodology, as a starting point, input-output cells from the library, created on the basis of Mikron SOI technology 250nm, were selected.

For static protection circuit, a diode structure that can hold the specified current (up to 15A), corresponding to a

particular value of ESR, is of interest. To improve reliability, preference may be given to construct, at which the lowest voltage value is reached, but it will increase geometric dimensions of protection elements.

The same requirements and algorithms apply to transistors construct of dynamic protection circuit. In the experiment, using the proposed methodology, we were able to override parameters of the initial basic constructs. The area occupied by one diode pair designed for ESR current 2A, and defined by the methodology procedure, decreased 5-fold compared to the original one, and the Clamp-transistor calculated for 2A was reduced to about 4 times.

Due to the high variability of constructs and, as a consequence, a significant number of options for the structures and their electrical parameters, there is a need to formulate criteria for sorting and selecting constructs, most fully satisfying the specified conditions.

The first criteria for static protection schemes' sorting is the current capacity of the security element, or the maximum current passed, withstand construct. Each ESD type has its own stress current. Although bandwidth may be the same, the constructs can significantly differ from each other with respect to the occupied area and shape. The second criterion is related to the geometric sorting. The diode width should not exceed the width of the contact area. This helps significantly to reduce the number of these elements. Another important point is the ability to limit the height of the resulting constructs. Thus, it becomes possible to reduce the amount of suitable basic constructs by another 30%. The third criterion is sorting by diode voltage drop. This criterion is only available for constructs diodes since their characteristics analysis. Reducing the number of diodes does not occur, but the elements that have the required bandwidth and have lower voltage drop, are at the top of the database table, as the most suitable for use.

The first criterion for dynamic protection schemes sorting is the current response time; or rather switch on delay dynamic protection circuit. This criterion helps to find the fastest circuit and sort the results by ascending delay. Besides activation rate, important parameter is the duration of the CLAMP-cells throughout the stress exposure. The second criteria is the selection for the front rise time and current cutoff response in relation to the rise time and input voltage cutoff. Despite the importance of the dynamic protection schemes timing, footprint remains of major significance.

So, for static protection circuit, the most important criteria for selection are current throughput capacity, footprint and voltage drop. For dynamic protection circuit,

the most important criteria for circuit selection are response delay, time of work during stress, current throughput capabilities and footprint.

Integration defined criteria in the developed software has reduced the scope of analysis for static protection circuits from 60 thousand of the obtained configurations to ~ 800. For dynamic protection, circuit analysis scope was reduced from ~ 85 000 of the obtained results to 450 configurations; that allows developer to carry out more detailed analysis.

The proposed methodology and software are technologically independent, that enables their use in the development of IC protection circuits against ESD and IO libraries for all the family of technologies CMOS/SOI 250/180/90/65nm and below. They can be used for the correction of existing solutions by changes in technology or engineering tools, for example, such as changes in Spice-models or PDK, through migration of IO cells, between the options of one technology or different technologies.

The proposed methodology has been tested and shown to be effective in the development and initial evaluation of ESD protection constructs for the IO element libraries on domestic technology SOI 250/180 nm.

REFERENCES

- [1] Krasnikov G.Y., Orlov O.M. Features and CMOS technology challenges while reducing design standards to the level of 0.18 micron or less // Russian nanotechnologies. 2008. V. 3. No. 7-8. 124-128 p. (in Russian).
- [2] Enns V.I., Kobzev Y.M. Design of Analog CMOS ICs. Quick Reference developer. Moscow, Hot Line - Telecom, 2005. 456 p. (in Russian).
- [3] Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM) JESD22-A114D. – JEDEC Std., March 2005.
- [4] Requirements for Handling Electrostatic-Discharge-Sensitive (ESDS) Devices JESD625-A. – JEDEC Std., March 2005.
- [5] Ban P. Wong, Anurag Mittal, Yu Cao, Greg Starr "Nano-CMOS circuit and physical design, Hoboken", New Jersey, 2005. 432 p.
- [6] Sanjay Dabral, Timothy Maloney "Basic ESD and I/O Design" California. Intel Corporation Santa Clara – 1998. 320 p.
- [7] Albert Z. H. Wang "On-chip ESD protection for IC" Boston/Kluwer Academic Publishers – 2001. 207p.
- [8] Oleg Semenov, Hossein Sarbishaei, Manoj Sachdv "ESD protection device and circuit design for advanced CMOS technologies" Waterloo. Springer – 2008. 345 p.
- [9] C.Diaz, S.M.Kang, C.Duvvury "Tutorial electrical overstress and electrostatic discharge" – 1995.
- [10] Roy Alan Hastings, "The Art of Analog Layout" – 2000. 662 p.