Исследование электрических характеристик КМОП-КНИ - структур с проектными нормами 0.5 мкм для высокотемпературной электроники

Ю.А. Чаплыгин, Т.Ю. Крупкина, А.Ю. Красюков, Е.А. Артамонова

Национальный исследовательский университет «МИЭТ», a_kras@rambler.ru

Аннотация — Проведено исследование электрических характеристик КНИ-КМОП-транзисторов с проектными нормами 0.5 мкм при температурах окружающей среды -60 °C, +25 °C и +225 °C. Проведено исследование влияния технологического разброса и эффекта саморазогрева на электрические характеристики КМОП структуры при различных температурах, в частности, рассчитаны зависимости порогового напряжения, тока насыщения и тока утечки от дозы подлегирования канала.

Ключевые слова — КНИ, КМОП, саморазогрев, высокотемпературная электроника, TCAD

I. Введение

Совершенствование конструкции современных интегральных схем идет по пути уменьшения размеров элементов, увеличения быстродействия и снижения потребляемой мощности. Однако в ряде применений требуются интегральные схемы, работающие при повышенных температурах среды. Как известно, увеличение температуры МОП-транзистора приводит к увеличению токов утечки и уменьшению порогового напряжения прибора [1]-[2]. Для устранения утечек между транзисторами и уменьшения утечек самих транзисторов при повышенной температуре используется подложка типа кремний-на-изоляторе (КНИ) [3], которая, в свою очередь, может привести к возникновению эффекта саморазогрева, влияющего на электрические характеристики транзистора. Кроме того, электрические характеристики зависят от конструктивно-технологических особенностей транзисторов.

Целью данной работы является исследование влияния технологического разброса, температуры окружающей среды и эффекта саморазогрева на электрические характеристики КНИ-МОПтранзисторов с проектными нормами 0.5 мкм.

II. РАСЧЕТ ВАХ КМОП-КНИ-ТРАНЗИСТОРОВ С ПРОЕКТНЫМИ НОРМАМИ 0.5 МКМ ПРИ РАЗЛИЧНЫХ ТЕМПЕРАТУРАХ СРЕДЫ

Объектом исследования является технологический маршрут создания КМОП-структуры с проектными нормами 0.5 мкм на базе КНИ-подложки с толщинами срытого оксида Tbox=0.15 мкм и тонкой подложки Tsi=0.19 мкм. Длина канала транзисторов КМОП-структуры составляет L=0.5 мкм. В качестве

инструмента исследования использовалась система приборно-технологического моделирования Sentaurus TCAD. Двухмерные модели и одномерные сечения n- и р-канальных МОП-транзисторов, полученные в результате моделирования технологического маршрута, показаны на рис. 1.



Рис. 1. Результаты двухмерного моделирования технологического маршрута создания КНИ-р-МОП (слева-вверху), КНИ-п-МОП (справа вверху) транзисторов, а также распределения примесей в одномерных сечениях приборов

Для сформированных двумерных моделей приборов рассчитаны проходные и выходные ВАХ при разных напряжениях затвор-исток и температурах среды T = -60 °C; +25 °C и +225 °C. На рис. 2-4 показаны расчетные ВАХ п-канальных, а на рис. 5-7 – ВАХ р-канальных МОП-транзисторов.

Моделирование показало, что ток утечки КНИ-п-МОП-транзистора слабо зависит от напряжения Vси при всех температурах среды. В то же время ток утечки КНИ-р-МОП-транзистора существенно возрастает при температуре T=-60 °C и при |Vси|>3B. При |Vси|=5В, токи утечки КНИ-р-МОП-транзистора для температур T=25 и -60°С становятся соизмеримыми. При этом температурная зависимость выходных ВАХ КНИ п- и р-МОП-транзисторов примерно одинакова.



Рис. 2. Расчетные проходные ВАХ КНИ-п-МОПтранзистора при Vси=0.1 и различных температурах среды



Рис. 3. Расчетные выходные ВАХ КНИ-п-МОПтранзистора при Vзи=5В и различных температурах среды



Рис. 4. Расчетные ВАХ закрытых КНИ-п-МОПтранзисторов (Vзи=0) при различных температурах среды



Рис. 5. Расчетные проходные ВАХ КНИ-р-МОПтранзистора при Vси=-0.1 и различных температурах среды



Рис. 6. Расчетные выходные ВАХ КНИ-р-МОПтранзистора при Vзи=-5В и различных температурах среды



Рис. 7. Расчетные ВАХ закрытых КНИ-р-МОПтранзисторов (Vзи=0) при различных температурах среды

Рассмотрим влияние эффекта саморазогрева на выходные характеристики КНИ-МОП-транзисторов с проектными нормами 0.5 мкм [4]-[9]. При моделировании считаем, что на саморазогрев основное влияние оказывает скрытый оксид, на нижней границе которого задана температура окружающей среды T₀.

Результаты расчета выходных ВАХ КНИ-п- и р-МОП-транзисторов с учетом и без учета влияния эффекта саморазогрева при температурах окружающей среды T=-60 °C, +25 °C и +225 °C показаны на рис. 8-9. В таблице 1 приведена максимальная температура КНИ-п-МОП-транзистора, а в таблице 2 показано влияние саморазогрева на величину максимального ток стока Idmax при напряжениях Vзи=Vси=5B.



Рис. 8. Выходные ВАХ п-канальных КНИ-МОПтранзисторов, рассчитанные с учетом саморазогрева при разной температуре T₀



Рис. 9. Выходные ВАХ р-канальных КНИ-МОПтранзисторов, рассчитанные при Vg=-5В с учетом саморазогрева при разной температуре T₀

	Таблица 1
Максимальная температура КНИ-п-М	10ПТ при
Vou-Vou-5D	

Ì

$v_{3u} - v_{cu} - J_{b}$			
T, °C	Т _{макс} , °С	$\Delta T = T_{\text{makc}} - T_0$, °C	
-60	130	190	
25	200	175	
225	370	145	

Таблица 2 Влияние саморазогрева на рабочие токи КНИ-п-МОПТ

T, ⁰C	Idmax, мА/мкм	Idmax, мА/мкм
	без учета эффекта	с учетом эффекта
	саморазогрева	саморазогрева
-60	0,72	0,55
25	0,62	0,5
225	0,44	0,39

Из таблиц 1-2 видно, что для КНИ-п-МОПтранзистора при T=-60°С саморазогрев проявляется наиболее сильно и выходная ВАХ имеет выраженный участок отрицательного дифференциального сопротивления. Относительное уменьшение рабочего тока, вызванное эффектом саморазогрева, в этом случае достигает 24%. В то же время, при температуре T=+225°С саморазогрев оказывает наименьшее влияние на характеристики КНИ-МОП-транзистора, и относительное уменьшение рабочего тока составляет около 11%.

В таблице 3 приведена максимальная температура КНИ-р-МОП-транзистора, а в таблице 4 показано влияние саморазогрева на величину максимального ток стока Idmax при напряжениях Vзи=Vси=5B.

Таблица 3

Максимальная температура КНИ-р-МОПТ при Vзи=Vcu=5B

T, ⁰C	Т _{макс} , °С	$\Delta T = T_{\text{makc}} - T_0, ^{o}C$	
-60	60	120	
25	132	107	
225	310	85	

Таблица 4 Влияние саморазогрева на рабочие токи КНИ-р-МОПТ при Vou=Vcu=58

npu v su v cu sb			
T, °C	Idmax, мА/мкм	Idmax, мА/мкм	
	без учета эффекта	с учетом эффекта	
	саморазогрева	саморазогрева	
-60	0,47	0,36	
25	0,38	0,31	
225	0,26	0,22	

Из таблиц 3-4 видно, что для КНИ-р-МОПтранзистора характер зависимостей выходного тока от температуры аналогичен КНИ-п-МОП-транзистору. Так, при T=-60°С саморазогрев проявляется наиболее сильно и выходная ВАХ имеет выраженный участок отрицательного дифференциального сопротивления. Относительное уменьшение рабочего тока, вызванное эффектом саморазогрева, в этом случае достигает 23%. В то же время, при температуре T=+225°С саморазогрев оказывает наименьшее влияние на характеристики КНИ-МОП-транзистора, и относительное уменьшение рабочего тока составляет около 15%.

III. ИССЛЕДОВАНИЕ ВЛИЯНИЯ ТЕХНОЛОГИЧЕСКОГО РАЗБРОСА НА ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ КНИ-МОП-транзисторов с проектными нормами 0.5 мкм при различных температурах среды

Рассмотрим влияние технологического разброса непосредственно на электрические характеристики КНИ-МОП-транзисторов. В расчетах варьировалась доза подлегирования канала (D) каждого транзистора при нескольких фиксированных значениях времени подзатворного окисления (tox) и рассчитывались следующие электрические характеристики приборов:

- пороговое напряжение VT0;

- ток утечки Ioff закрытого транзистора при Vзи=0; |Vси|=|Vdd|=5B;

- Ток насыщения Idmax транзистора при |Vзи |= |Vси|=|Vdd|=5В.

Все расчеты проводились при температурах окружающей среды T=-60 °C,+25 °C и +225 °C.

На рис. 10-12 показаны расчетные зависимости порогового напряжения, тока утечки и максимального тока стока КНИ-n-МОП-транзистора от дозы легирования канала и температуры среды при tox=1мин.

На рис. 13-15 показаны расчетные зависимости порогового напряжения, тока утечки и максимального тока стока КНИ-р-МОП-транзистора от дозы легирования канала и температуры среды при tox=1мин.

Расчет характеристик КНИ-п-МОП-транзистора показал, что при вариации D=1-9·10¹² см⁻² и T=25°C пороговое напряжение VT0 меняется в диапазоне 0.5-1.05 В и уменьшается до 0.2-0.7 В при увеличении T до 225°C. Ток утечки Ioff при T=25°C меняется в диапазоне 10^{-12} - 10^{-15} А/мкм и увеличивается до 10^{-8} - 10^{-10} А/мкм при увеличении T до 225°C.



Рис. 10. Расчетные зависимости порогового напряжения КНИ-п-МОП-транзистора от дозы подлегирования канала



Рис. 11. Расчетные зависимости тока утечки КНИ-п-МОП-транзистора от дозы подлегирования канала



Рис. 12. Расчетные зависимости максимального тока стока КНИ-п-МОП-транзистора от дозы подлегирования канала

Расчет характеристик КНИ-р-МОП-транзистора показал, что при вариации D= $1 \cdot 10^{12} - 9 \cdot 10^{12}$ см⁻² и T=25°C пороговое напряжение VT0 меняется в диапазоне 0.42-0.6 В и уменьшается до 0.18 В - 0.37 В при увеличении Т до 225°C. Ток утечки Ioff при T=25°C меняется в диапазоне $1 \cdot 10^{-11} \cdot 2 \cdot 10^{-11}$ А/мкм и увеличивается до $2 \cdot 10^{-8} \cdot 2 \cdot 10^{-9}$ А/мкм при увеличении температуры до 225 °C.



Рис. 13. Расчетные зависимости порогового напряжения КНИ-р-МОП-транзистора от дозы подлегирования канала



Рис. 14. Расчетные зависимости тока утечки КНИ-р-МОП-транзистора от дозы подлегирования канала



Рис. 15. Расчетные зависимости максимального тока стока КНИ-р-МОП-транзистора от дозы подлегирования канала

Для обоих транзисторов пороговое напряжение показало существенное падение при увеличении температуры окружающей среды с -60 °C до 225 °C: на 0.4 В для КНИ-п- и р-МОП-транзистора. При этом токи утечки выросли в среднем на 10 порядков для КНИ-п-МОП-транзистора и на 4 порядка для КНИ-р-МОП-транзистора, а токи насыщения снизились в среднем в 1.5-2 раза для КНИ-п- и р-МОПтранзистора.

IV. ЗАКЛЮЧЕНИЕ

Разработаны двухмерные модели КНИ-МОПтранзисторов с проектными нормами 0.5 мкм на базе существующего технологического маршрута с использованием средств приборно-технологического моделирования Sentaurus TCAD. На основе разработанных моделей рассчитаны и исследованы электрические характеристики транзисторов при температурах окружающей среды -60 °C, +25 °C и +225 °C.

Показано существенное влияние эффекта саморазогрева на электрические характеристики транзисторов при температурах окружающей среды -60°С, +25°С и +225°С.

Проведено исследование влияния технологического разброса на электрические транзисторов характеристики температурах при окружающей среды -60°С, +25°С и +225°С. В частности, рассчитаны зависимости порогового напряжения, тока насыщения и тока утечки от дозы подлегирования канала и температуры.

Для обоих транзисторов с увеличением температуры произошло существенное падение порогового напряжение и токов насыщения и значительный рост токов утечек.

ЛИТЕРАТУРА

- I. Filanovsky, A. Allam. Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits // IEEE Trans. Circuits and Syst. I: Fundamental Theory and Applications V.48. P. 876–884.
- [2] F. Fallah, M. Pedram. Standby and active leakage current control and minimization in CMOS VLSI systems // IEICE Trans. Electronics E.88. P.509–519.
- [3] S. Hong, T. Wetteroth, S.R. Wilson. Leakage current models of thin film silicon-on-insulator devices // APPLIED PHYSICS LETTERS. V.72. N10. 1998.
- [4] E. Arnold E., Pein H., Herko S.P. Comparison of selfheating effects in bulk silicon and SOI high-voltage devices // IEDM Techical Digest. 1994. San Fransico, CA, 11-14 Dec. P. 813-816.
- [5] Su L.T., Chung J.E., Antoniadis D.A., Goodson K.E., Flik M.I. Measurement and modeling of self-heating in SOI NMOSFET's // IEEE Trans. Electron. Devices. 1994. V. 41. № 1. P. 69-75.
- [6] Чаплыгин Ю.А., Артамонова Е.А., Красюков А.Ю., Крупкина Т.Ю. Исследование тепловых эффектов и явлений саморазогрева в планарных силовых МОП транзисторах КНИ-типа // Изв. ВУЗов, Электроника. 2008. №2. С. 52-57.
- [7] Wei Jin, Samuel K. H. Fung, Weidong Liu, Philip. C. H. Chan, Chenming Hu. Self-Heating Characterization for SOI MOSFET Based on AC Output Conductance // IEEE Trans. Electron. Devices. 1999.
- [8] C. Fiegna, Y. Yang, E. Sangiorgi, A.G. O'Neill. Analysis of Self-Heating Effects in Ultrathin-Body SOI MOSFETs by Device Simulation // IEEE Trans. Electron. Devices. 2008. V. 55. № 1 P. 233-244.
- [9] A.K. Goel, T.H. Tan. High-temperature and self-heating effects in fully depleted SOI MOSFETs // Microelectronics Journal. September 2006. Vol. 37. Issue 9. P. 963–975.

0.5 um SOI CMOS for Extreme Temperature Applications

Yu.A. Chaplygin, T.Yu. Krupkina, A.Yu. Krasyukov, E.A. Artamonova

National Research University of Electronic Technology, a_kras@org.miet.ru

Keywords — SOI, CMOS, self-heating, high temperature electronics, TCAD

ABSTRACT

Some applications require silicon devices and integrated circuits designed to work at extreme ambient temperatures. It is well known that increasing the temperature of the MOSFETs causes increasing the leakage current and decreasing the threshold voltage [1]– [2] of the devices. Silicon-on-insulator (SOI) substrate suppresses leakage current [3], but in its turn, it may lead to self-heating effects also affecting the electrical characteristics of the transistors.

In the paper we study the influence of process variation, self-heating effect and extreme ambient temperatures on the electrical characteristics of 0.5 um SOI MOSFETs.

2D models of 0.5 um SOI p- and nMOSFETs resulting from Sentaurus TCAD technology simulation have been created: the buried oxide thickness Tbox = 0.15 um, the thin substrate thickness Tsi = 0.19 um, the transistor channel length L = 0.5 um.

The output current-voltage characteristics for different gate-source voltages and ambient temperatures $T = -60^{\circ}C$, $+25^{\circ}C$ and $+225^{\circ}C$ have been simulated and analysed. The simulation showed that the leakage current of the SOI nMOSFET is weakly dependent on the drain-source voltage Vds at the all temperatures. In the same time, the leakage current of the SOI pMOSFET increases significantly at the temperature $T = -60^{\circ}C$ and Vds > 3V. At Vds = 5V the leakage currents of SOI pMOSFET become comparable for temperatures $T = 25^{\circ}C$ and $-60^{\circ}C$. Also, at this voltage, the temperature dependences of the output current-voltage characteristics for both transistors are approximately the same.

Additionally, the influence of the self-heating effect [4]-[9] on the transistor's output characteristics at T= -60°C, +25°C μ +225°C have been studied. Simulation results show that at T= -60°C the self-heating has the greatest impact on the output current-voltage characteristic, which has a pronounced negative differential resistance section. The relative decrease in operating current caused by the self-heating effect is about 24% in this case. In the same time, at T= +225°C, the self-heating has the least

impact on the output characteristics and the relative decrease of the operating current is about 11%.

The influence of channel doping dose and gate oxidation time on the threshold voltages, leakage currents and maximum drain currents at $T = -60^{\circ}C$, $+25^{\circ}C$ μ +225°C has been calculated.

For the both transistors, the threshold voltages are significantly reduced with increasing temperature from -60°C to 225°C: 0.4 V for the SOI-n- and p-MOS transistor. In the same time, the leakage currents are increased by an average of 10 orders for the SOI-n-MOSFET and 4 orders for the SOI-p-MOS transistor and the saturation currents are 1.5-2-fold decreased.

REFERENCES

- I. Filanovsky, A. Allam. Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits // IEEE Trans. Circuits and Syst. I: Fundamental Theory and Applications V.48. P. 876–884.
- [2] F. Fallah, M. Pedram. Standby and active leakage current control and minimization in CMOS VLSI systems // IEICE Trans. Electronics E.88. P.509–519.
- [3] S. Hong, T. Wetteroth, S.R. Wilson. Leakage current models of thin film silicon-on-insulator devices // APPLIED PHYSICS LETTERS. V.72. N10. 1998.
- [4] E. Arnold E., Pein H., Herko S.P. Comparison of self-heating effects in bulk silicon and SOI high-voltage devices // IEDM Techical Digest. 1994. San Fransico, CA, 11-14 Dec. P. 813-816.
- [5] Su L.T., Chung J.E., Antoniadis D.A., Goodson K.E., Flik M.I. Measurement and modeling of self-heating in SOI NMOSFET's // IEEE Trans. Electron. Devices. 1994. V. 41. № 1. P. 69-75.
- [6] Chaplygin Ju.A., Artamonova E.A., Krasyukov A.Ju., Krupkina T.Ju. Issledovanie teplovyh jeffektov i javlenij samorazogreva v planarnyh silovyh MOP tranzistorah KNI-tipa // Izv. VUZov, Jelektronika. 2008. №2. S. 52-57. (in Russian).
- [7] Wei Jin, Samuel K. H. Fung, Weidong Liu, Philip. C. H. Chan, Chenming Hu. Self-Heating Characterization for SOI MOSFET Based on AC Output Conductance // IEEE Trans. Electron. Devices. 1999.
- [8] C. Fiegna, Y. Yang, E. Sangiorgi, A.G. O'Neill. Analysis of Self-Heating Effects in Ultrathin-Body SOI MOSFETs by Device Simulation // IEEE Trans. Electron. Devices. 2008. V. 55. № 1 P. 233-244.
- [9] A.K. Goel, T.H. Tan. High-temperature and self-heating effects in fully depleted SOI MOSFETs // Microelectronics Journal. September 2006. Vol. 37. Issue 9. P. 963–975.