

Реализация каналов оперативной памяти DDR4 микропроцессора "Эльбрус-8С2"

С.В. Юрлин

ЗАО «МЦСТ»

Аннотация — В данной статье раскрываются особенности реализации каналов оперативной памяти DDR4 в кристалле и корпусе микропроцессора, в печатных платах модулей на его основе, а также модулях памяти. Рассматриваются аспекты реализации опорных слоёв питания и отключения питания в состоянии сна S3. Приводятся технические решения по внедрению и последующему использованию интерфейса DDR4 в микропроцессоре "Эльбрус-8С2".

Ключевые слова — DDR4, опорный полигон, конденсатор, отключаемое питание, микропроцессор, Эльбрус.

I. ВВЕДЕНИЕ

В проектируемых микропроцессорах АО "МЦСТ" в каналах оперативной памяти применяется новый интерфейс DDR4. Он имеет электрические, сигнальные и механические отличия от DDR3, применяемого ранее. Также присутствуют существенные отличия в реализации физического уровня и сокетов памяти. Внедрение в микросхему нового интерфейса требует проработки базовых проблем и принятия новых технических решений одновременно в кристалле, корпусе и модулях, на основе проектируемой микросхемы. Такой подход весьма трудоёмок и завязан на параллельный анализ множества факторов. Он освоен в проектной практике компании и при профессиональной, глубоко продуманной реализации в целом даёт ожидаемые результаты. В данной статье раскрываются аспекты реализации интерфейса DDR4 в структуре "кристалл-корпус-плата" на примере проектируемого микропроцессора "Эльбрус-8С2". Он имеет 4 канала оперативной памяти DDR4. Рассматриваются вопросы назначения сигналов на контактах кристалла и корпуса микропроцессора, особенности трассировки сигналов, выбор опорных полигонов питания и реализация отключаемого питания ввода-вывода.

II. ОСОБЕННОСТИ РЕАЛИЗАЦИИ ИНТЕРФЕЙСА В КРИСТАЛЛЕ

В кристалле микропроцессора "Эльбрус-8С2" используется физический уровень DDR4 multiPHY фирмы Synopsys. Его применение позволяет интерфейсу обладать следующими характеристиками: напряжение питания ввода-вывода +1,2В, частота

работы до 2667 МГц, наличие опции отключения питания с большей части ячеек ввода-вывода в состоянии сна S3. Согласно документам [1, 2] расположение ячеек ввода-вывода памяти разного типа должно обеспечивать равномерное перемешивание сигнальных ячеек и ячеек интерфейсного питания. Указывается зависимость максимальной достижимой частоты интерфейса при различных соотношениях количества сигналов к количеству контактов питаний и земель. Для достижения частоты в 2667 МГц для байтов требуется соотношение 2:1:1, а для адресно-командной шины 3:1:1. На рисунке 1 приведена рекомендуемая последовательность ячеек в кристалле. При этом отмечены только сигнальные ячейки и ячейки питания ввода-вывода. Ячейки без текстового обозначения не имеют отношения к опорным слоям.

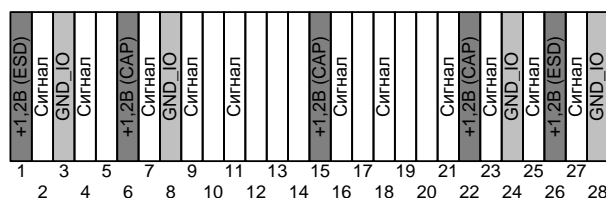


Рис. 1. Рекомендуемое расположение ячеек ввода-вывода кристалла

Ячейки питания +1,2В помимо подачи питания выполняют дополнительные функции. В связи с этим они делятся на два типа: обеспечивающие защиту от статического напряжения (ESD) и содержащие ёмкость для сглаживания наиболее высокочастотных помех, вызываемых работой интерфейса. Характеристики ёмкости ячеек питания приведены в таблице 1.

Таблица 1

Ёмкость ячеек питания ввода-вывода DDR4

Ячейка	Ёмкость MVDDQ – MVSSQ, пФ
DWC_D4MV_PVDDQ_CAP_EW	30.94
DWC_D4MV_PVDDQ_CAP_NS	30.94
DWC_D4MV_PVDDQ_ESD_EW	14.93
DWC_D4MV_PVDDQ_ESD_NS	14.93
DWC_D4MV_PVSSQ_EW	26.16
DWC_D4MV_PVSSQ_NS	26.16

В кристалле к каждой ячейке ввода-вывода из адресно-командной группы подключается 19 ячеек РСАР, а для байтов – 12 штук. Каждая из них обеспечивает дополнительную ёмкость в $1,77 \div 1,98$ пФ, подключаемую к шине периферийного питания, помимо указанной в таблице 1. Однако, по оценкам, малая ширина шин питания в кристалле создаёт большую индуктивность их подключения, что в высокочастотной составляющей может приравнять их по эффективности к конденсаторам в корпусе.

III. СОКЕТ ОПЕРАТИВНОЙ ПАМЯТИ DDR4

Назначение сигналов на контактах сокета памяти определяется стандартами JEDEC. Документами [3, 4, 5, 6] для разных форм-факторов сокетов (DIMM, SO-DIMM) определяется единая структура распределения питания (рис. 2). Контакты питания номиналом 1,2В расположены в середине, а контакты земли по краям сокета. Такое расположение обеспечивает проведение адресно-командной шины над полигоном питания, а байтов – над полигоном земли. При этом суммарное соотношение сигнальных контактов к контактам земли и питания составляет 2:1:1.

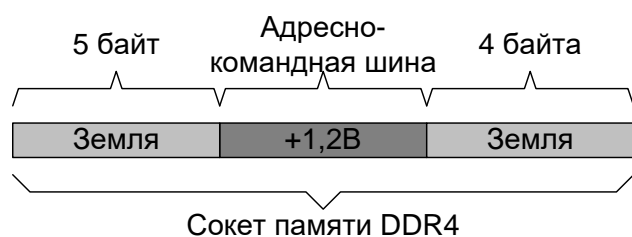


Рис. 2. Распределение зон питания и земли в соquete памяти

JEDEC предлагает для ознакомления примеры проектов модулей памяти. Из предложенных были рассмотрены два модуля. В обозначениях JEDEC один из них – PC4-2400 Unbuffered DIMM 2 rank x8 planar ECC, а второй – PC4-2400 Unbuffered DIMM 1 rank x8 planar NON-ECC&ECC. Структура модуля для них примерно одинаковая. Она приведена на рисунке 3. Отличие состоит в том, что первый из них содержит 8 слоёв, а второй – 10. В восьмислойном варианте исключаются слои с номерами 6 и 7. При этом типы опорных полигонов для байтов и адресно-командной шины не меняются.



Рис. 3. Структура опорных полигонов питания в модуле памяти

Толщина слоёв модуля памяти

№	Тип	Материал	Толщина, мкм
	Диэлектрик	Полиамид	15
1	Проводники	Медь	45
	Диэлектрик	FR-4	70
2	Полигон	Медь	15
	Диэлектрик	FR-4	100
3	Проводники	Медь	15
	Диэлектрик	FR-4	150
4	Полигон	Медь	15
	Диэлектрик	FR-4	80
5	Проводники	Медь	15
	Диэлектрик	FR-4	390
6	Проводники	Медь	15
	Диэлектрик	FR-4	80
7	Полигон	Медь	15
	Диэлектрик	FR-4	150
8	Проводники	Медь	15
	Диэлектрик	FR-4	100
9	Полигон	Медь	15
	Диэлектрик	FR-4	70
10	Проводники	Медь	45
	Диэлектрик	Полиамид	15

Из рисунка видно, что и адресно-командная шина и байты проведены так, что в смежных слоях расположены одновременно полигоны питания и земли. Структура модуля хорошо делится на заготовки. Заготовками (или Core) называют технологические слои материала, на основе которых при помощи прегрег склеивается многослойная печатная плата. В представленных проектах толщины диэлектриков (табл. 2), а также положение полигонов и сигнальных проводников делают опорными слоями для адресно-командной шины питания, а для байтов – землю.

Отдельно необходимо отметить следующие особенности топологии модулей. В обоих рассмотренных модулях памяти присутствуют смежные сигнальные слои. При этом наблюдается нестрогое соответствие правилу отсутствия параллельных проводников в смежных слоях. Также обнаружено проведение некоторых проводников над разрезами. Это явно запрещается в рекомендациях по проведению высокочастотных проводников.

переключениях из нуля в единицу и из единицы в нуль возникают высокочастотные обратные токи между приёмником и передатчиком. Соответственно в одном случае они распространяются по полигону питания, в другом по полигону земли. Другими словами желательно проводить проводники байтов в структуре между полигонами земли и питания.

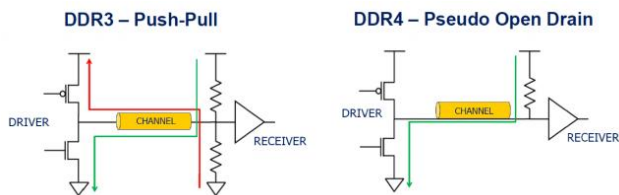


Рис. 7. Текущее расположение контактов кристалла

Тут возникает противоречие с предлагаемым JEDEC назначением контактов сокетов оперативной памяти. Невозможно завести на модуль памяти оба полигона сразу в одной зоне. Детальный анализ ситуации показывает ориентирование сокетов на четырехслойные печатные платы. То есть на наиболее плохой в контексте целостности сигналов, но в то же время наиболее экономичный в контексте стоимости МПП, случай.

Подложка микропроцессора "Эльбрус-8С2" и модули на его основе имеют более сложную структуру, что позволяет выбрать более качественную реализацию. В этом случае, теоретически, при реализации распаянной памяти можно добиться более надёжного высокочастотного результата. Однако основным форматом применением оперативной памяти является сокет. В этом случае при указанной выше структуре необходимо обеспечить высокочастотную связь между опорными полигонами для протекания обратного тока. Она осуществляется путём размещения достаточного количества низкоиндуктивных конденсаторов в зоне обрыва одного из полигонов (рис. 8).

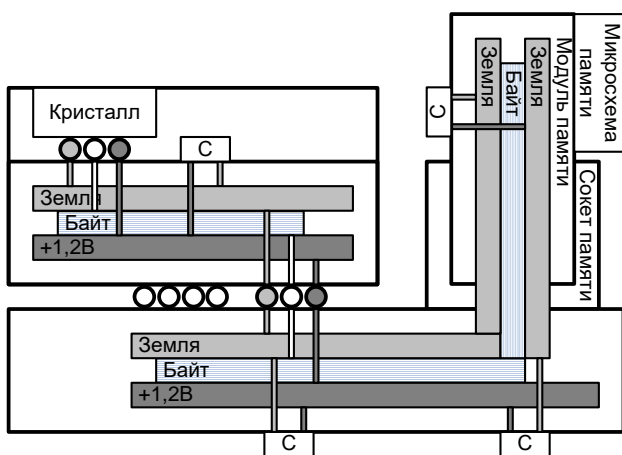


Рис. 8. Тракт сигналов байта с двумя опорными полигонами и сокетом памяти

Другой особенностью интерфейса DDR4, влияющей на топологию печатной платы является

опция отключения питания с большей части канала оперативной памяти в микропроцессоре в состоянии сна S3. Сложность состоит в том, что для перехода в состояние сна требуется перевести модули памяти в режим постоянного обновления данных (Self Refresh) и после этого установить на сигналах СКЕ уровень логической единицы. Поэтому для поддержания этого режима необходимо сохранить периферийное питание номиналом +1,2В по крайней мере на группе ячеек ввода-вывода. Эта группа в структуре линеек ввода-вывода называется островом неотключаемого питания (CKE Retention Island). В ней располагаются сигналы CKE, Alert# и Reset. Выделение этой группы помогает экономить мощность статического потребления в состоянии сна. Фактически данных на DDR4 найдено не было. Оценки, проведённые на канале DDR3 в микропроцессоре "Эльбрус-8С", показали сохранение в режиме полного отключения канала памяти статического потребления около 150 мА на канал.

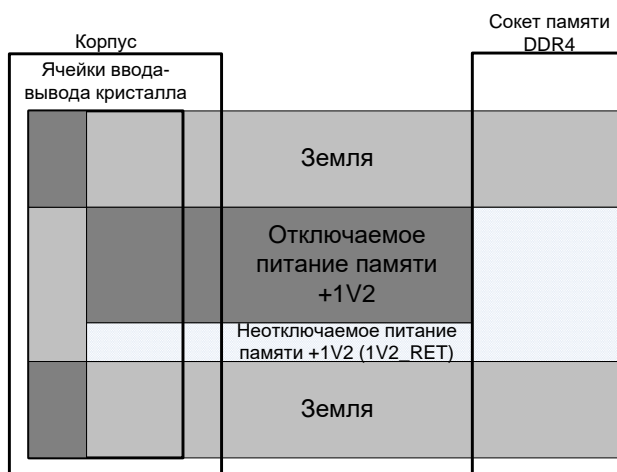


Рис. 9. Распределение опорных полигонов питания в зоне тракта DDR4

Поддержка опции CKE Retention Island приведёт к необходимости наличия двух независимых полигонов периферийного питания, питание одного из которых отключаемое. Кроме того, в печатной плате модули памяти будут запитаны от неотключаемого номинала. В результате при использовании сокетов памяти и минимизации опорных полигонов до одного общего для двух сигнальных слоёв это приведёт к структуре полигонов, приведённой на рисунке 9. Среди её особенностей нужно отметить следующие. Во-первых, непрерывными опорными полигонами будут земля для байтов и неотключаемое питание (1V2_RET) для части адресно-командной шины острова неотключаемого питания. Они будут распространяться от кристалла микропроцессора до кристалла микросхемы памяти. Во-вторых, основная часть адресно-командной шины сначала будет распространяться над полигоном отключаемого питания, а затем при заходе в сокет памяти сменит опорный полигон на 1V2_RET, что создаст разрез, влияющий на распространение обратных токов. Это, несмотря на вдвое более низкую частоту работы адресно-командной шины по

сравнению с байтами, может негативно повлиять на частоту работы канала. Кроме того, это в любом случае потребует установки дополнительных конденсаторов, связывающих два полигона питания (рис. 10). В-третьих, ячейки ввода-вывода кристалла микропроцессора для своего функционирования требуют подвода обоих полигонов – питания и земли.

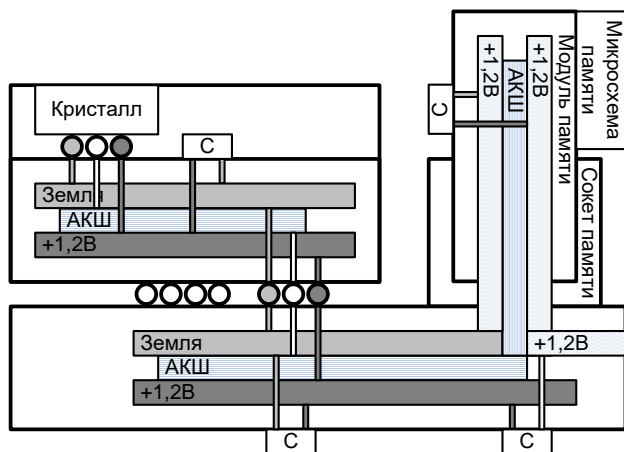


Рис. 10. Тракт сигналов адресно-командной шины (АКШ) с двумя опорными полигонами и сокетом памяти

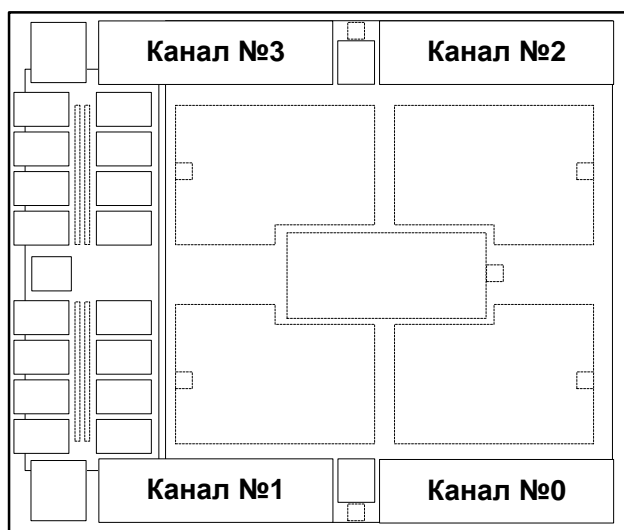


Рис. 11. Расположение каналов оперативной памяти DDR4 в кристалле микропроцессора "Эльбрус-8С2"

VI. ВЫБРАННАЯ РЕАЛИЗАЦИЯ

При организации тракта интерфейса DDR4 в микропроцессоре "Эльбрус-8С2" и модулях на его основе, рассматривались вопросы целостности сигналов, стабильности системы питания, назначения сигналов на матрице выводов и целесообразность использования опции отключения питания. Принятые решения формулируются отдельно для кристалла, корпуса и платы.

А. Кристалл. Микропроцессор "Эльбрус-8С2" содержит 4 канала оперативной памяти. Их расположение приведено на рис. 11. Оно обусловлено

особенностями микропроцессора в областях микроархитектуры, физического проектирования кристалла и реализации модулей на его основе.

На рис. 12 приведён центральный фрагмент размещения контактов кристалла (бампов) в микропроцессоре "Эльбрус-8С2". У границы кристалла (в нижней части рисунка) в направлении слева направо отображены: один байт, сигналы острова неотключаемого питания и адресно-командная шина, в верхней части (в глубине кристалла) – два байта. Данный фрагмент отображает положение бампов при двухрядном размещении ячеек ввода-вывода, что увеличивает количество слоёв при разводке корпуса, но в результате позволяет уменьшить габариты кристалла. Приведённая последовательная картина сигналов и питаний реализована специально для оптимизации трассировки корпуса. Отдельно стоит отметить, что в кристалле физическая часть канала памяти размещается таким образом, что в середине располагается адресно-командная шина, а по её краям байты. Причём область неотключаемого питания сгруппирована на одном краю адресно-командной группы.

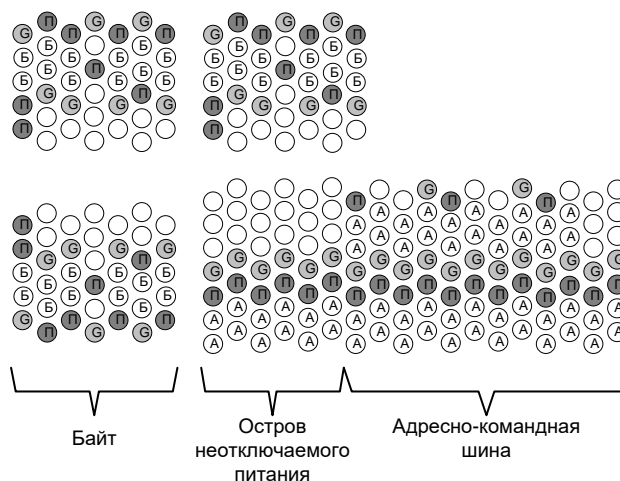


Рис. 12. Фрагмент текущего расположение контактов канала оперативной памяти в кристалле. Б - сигнальный контакт байтов, А - сигнальный контакт адресно-командной шины, G - земля, П - питание +1,2 В

Б. Корпус. Размещение четырёх каналов оперативной памяти в матрице выводов корпуса приведено на рис. 13. Чёрным выделена технологическая зона, где отсутствуют контакты, аналогично технологии LGA. Она предназначена для размещения конденсаторов, приведён вид со стороны крышки корпуса. Поэтому индексация каналов в корпусе оказывается зеркальной относительно нумерации в кристалле. Размещение каналов "один за одним" обусловлено расположением контактов сокета памяти и обеспечивает трассировку каждого канала на модуле в двух сигнальных слоях.

1				
2	GND_IO			
3	Байты №0	АКШ №0	Байты №0	
4	+1V2			
5	Байты №1	АКШ №1	Байты №1	
6	GND_IO			
7	+0,9B			
8				
9	GND_IO			
10	Байты №0	АКШ №0	RET №0	Байты №0
11	+1V2		1V2_ret	+1V2
12	Байты №1	АКШ №1	RET№1	Байты №1
13	GND_IO			
14				

Рис. 16. Вертикальная структура зоны DDR4 модуля с микропроцессором "Эльбрус-8С2"

Поддержка опции отключения питания для экономии мощности в состоянии сна S3 с большой вероятностью приводит к снижению частоты работы интерфейса. Для четырёх каналов DDR4 такая экономия составит менее 1 Вт. Это несущественно для серверного микропроцессора "Эльбрус-8С2". Поэтому в изделиях, где требуется высокая производительность, предполагается не использовать данную опцию и подавать на все контакты периферийного питания микропроцессора и модули памяти одно и то же питание с одного источника. В изделиях, где требуется экономия энергии за счёт снижения мощности, предлагается использовать разные источники питания для сокетов памяти с областью неотключаемого питания микропроцессора и остальных контактов периферийного питания микропроцессора.

VII. ЗАКЛЮЧЕНИЕ

В данной статье были рассмотрены вопросы реализации и последующего применения интерфейса DDR4 в микропроцессорных системах. Рассмотрены особенности реализации периферийного питания и организации сигнальных трактов в структуре кристалл-корпус-плата. Были приведены технические

решения по внедрению четырёх каналов оперативной памяти DDR4 в микропроцессоре "Эльбрус-8С2".

ЛИТЕРАТУРА

- [1] Synopsys. Designware Cores DDR4 multiPHY Implementation Guide. Revision 1.40, April 2015.
- [2] Synopsys. Guidelines for Implementing Signaling Environments for DDRn Interfaces: PCB, Package, Power, and Timing Budgets. Revision 6.3, June 26, 2015.
- [3] JEDEC Standard No. 21C, Page 4.20.26-1. DDR4 SDRAM UDIMM Design Specification. Revision 1.00, August 2014.
- [4] JEDEC Standard No. 21C, Page 4.20.25-1. DDR4 SDRAM SO-DIMM Design Specification. Revision 1.00, August 2014.
- [5] JEDEC Standard No. 21C, Page 4.20.28-1. DDR4 SDRAM Registered DIMM Design Specification. Revision 1.00, September 2014.
- [6] JEDEC Standard No. 21C, Page 4.20.27-1. DDR4 SDRAM Load Reduced DIMM Design Specification. Revision 1.00, September 2014.
- [7] Intel. Datasheet. Intel® Xeon® Processor E5-1600, E5-2600, and E5-4600 v3 Product Families, Volume 1 of 2, Electrical. June 2015.
- [8] Intel. Thermal mechanical specification and desing guide. Intel® Xeon® Processor E5-1600/2600/4600 v3 Product Families. October 2015.
- [9] Intel. Datasheet - Volume 1: Electrical, Mechanical and Thermal. Intel® Xeon® Processor E7-4800/8800 v3 Product Families. May 2015.
- [10] Intel. Datasheet. Intel® C112/C114 Scalable Memory Buffer. May 2015.
- [11] Альфонсо Д.М., Деменко Р.В., Кожин А.С., Кожин Е.С., Кольчев Р.Е., Костенко В.О., Поляков Н.Ю., Смирнова Е.В., Смирнов Д.А., Смольянов П.А., Тихорский В.В. Микроархитектура восьмиядерного универсального микропроцессора Эльбрус-8С // Вопросы радиоэлектроники / № 3. Сер. ЭВТ. М., 2016. С. 6-14.
- [12] Бычков И.Н., Воробьев А.С., Рябцев Ю.С. Разработка таблицы выводов серверного процессора // Вопросы радиоэлектроники. – 2015. – Сер. ЭВТ. – Вып. 1. – С. 117-129.
- [13] Бычков И.Н., Воробьев А.С., Рябцев Ю.С. Стенд тестирования и разбраковки многоядерных процессоров // Приборы / №2(176) 2015, с.16-22.

Implementation of "Elbrus-8C2" microprocessor DDR4 RAM channels

S.V. Yurlin

АО "MCST"

Keywords — DDR4, reference plane, capacitor, retention island, microprocessor, Elbrus.

ABSTRACT

In this article, DDR4 RAM channels implementation features are described for microprocessor's chip and

package, board of its modules, and also DDR4 DIMM modules. Approach of reference planes and retention island power organization are considered. The technical solutions of DDR4 interface implementation for "Elbrus-8C2" microprocessor are provided.

In first part of the article, initial design standing is described: die cell placement, memory socket pinout, memory module stackup, Intel cpu, DDR4 buffer and "Elbrus-8C" memory pinouts. It focuses on signal-power-ground ratio. Then DDR4 PHY and stackup structure are introduced. Due to these points, design solutions for DDR4 in "Elbrus-8C2" are made: memory channels location in package and die, signal-power-ground ratio, rules of tracing in package and PCB, package and die pinouts, package and PCB stackups. There are provided technical arguments for each solution, so that the DDR4 implementation for "Elbrus-8C2" could be shown in the "die-package-PCB-memory module" uniform structure.

REFERENCES

- [1] Synopsys. Designware Cores DDR4 multiPHY Implementation Guide. Revision 1.40, April 2015.
- [2] Synopsys. Guidelines for Implementing Signaling Environments for DDRn Interfaces: PCB, Package, Power, and Timing Budgets. Revision 6.3, June 26, 2015.
- [3] JEDEC Standard No. 21C, Page 4.20.26-1. DDR4 SDRAM UDIMM Design Specification. Revision 1.00, August 2014.
- [4] JEDEC Standard No. 21C, Page 4.20.25-1. DDR4 SDRAM SO-DIMM Design Specification. Revision 1.00, August 2014.
- [5] JEDEC Standard No. 21C, Page 4.20.28-1. DDR4 SDRAM Registered DIMM Design Specification. Revision 1.00, September 2014.
- [6] JEDEC Standard No. 21C, Page 4.20.27-1. DDR4 SDRAM Load Reduced DIMM Design Specification. Revision 1.00, September 2014.
- [7] Intel. Datasheet. Intel® Xeon® Processor E5-1600, E5-2600, and E5-4600 v3 Product Families, Volume 1 of 2, Electrical. June 2015.
- [8] Intel. Thermal mechanical specification and desing guide. Intel® Xeon® Processor E5-1600/2600/4600 v3 Product Families. October 2015.
- [9] Intel. Datasheet - Volume 1: Electrical, Mechanical and Thermal. Intel® Xeon® Processor E7-4800/8800 v3 Product Families. May 2015.
- [10] Intel. Datasheet. Intel® C112/C114 Scalable Memory Buffer. May 2015.
- [11] Alfonso D., Demenko R., Kozhin A., Kozhin E., Kolychev R., Kostenko V., Polyakov N., Smirnova E., Smirnov D., Smolyanov P., Tikhorskiy V. Eight-core Elbrus-8C Processor Microarchitecture // Voprosy radioelektroniki / No. 3, ser. EVT, Moscow, 2016, pp. 6-14. (in Russian).
- [12] I. Bychkov, A. Vorobyev, Y. Ryabtsev. Pinout table design for server processor // Radioelectronics questions. 2015. series of electronic computing equipment. Release 1. P. 117-129.
- [13] Bychkov I.N., Ryabtsev Y.S., Vorobyev .A.S. Test bench for examination and rating of multi-core processors // Pribory / No. 2(176) 2015, p.16-22