

Сравнительный анализ элементов памяти и усилителей считывания для высокотемпературных СБИС ОЗУ

А.А. Киселева¹, А.А. Краснюк^{1,2}, А.П.Трепалин¹

¹ФГУ ФНЦ НИИ системных исследований РАН

²Национальный исследовательский ядерный университет “МИФИ”, aakrasnyuk@mephi.ru

Аннотация — Определение физико-технологических и конструктивно-схематических решений и методов проектирования для обеспечения функциональной работоспособности интегральных элементов сверхбольших интегральных схем памяти при экстремально высоких уровнях температур и внешних деструктивных факторов является фундаментальной научной проблемой. Элементы памяти и усилители считывания (УС) являются одними из наиболее критичных схем в составе КМОП СБИС ОЗУ. Их производительность и помехоустойчивость определяют как время доступа к памяти и производительность работы ОЗУ, так и общую функциональную работоспособность при критических температурных режимах работы. В данной работе проведены проектирование и анализ параметров топологических вариантов базовых элементов памяти и усилителей считывания СБИС ОЗУ, сохраняющих работоспособность вплоть до 300°C.

Ключевые слова — усилитель считывания, СОЗУ, моделирование, высокотемпературная электроника, топология ИС.

I. ВВЕДЕНИЕ

Объектами исследования являются высокотемпературные КНИ КМОП технологии, элементы памяти, модели и программные средства анализа температурных характеристик транзисторных структур [1]. Предполагается, что под высокотемпературной электроникой - НТЕ (High Temperature Electronics) - понимается электроника, функционирующая при температурах свыше 150°C. КНИ КМОП технологии имеют безусловное преимущество перед объемными МДП технологиями при разработке сверхбольших интегральных схем памяти, микропроцессоров и систем на кристалле и в корпусе для максимальных рабочих температур 250 - 300°C. Данный диапазон температур достаточен для промышленных приложений, энерго- и скважинных технологий, радиационного и физического эксперимента, машиностроения – двигателей и энергетических установок, автомобилестроения, авиационно-космических систем. КНИ КМОП обеспечивает максимально высокий уровень радиационной стойкости и сбоеустойчивости для СБИС микропроцессоров и ОЗУ как технологическими, так и схематическими

решениями. Одной из наиболее важных задач является определение ключевых и критериальных оценок для сравнительного физико-технологического анализа разрабатываемых структур на основе различных конструктивно-схематических решений [2].

II. АНАЛИЗ И МОДЕЛИРОВАНИЕ ЭЛЕМЕНТОВ ПАМЯТИ

Исследование влияния температурных эффектов и сравнительный анализ элементов памяти проводились методом моделирования 6-ти транзисторных ячеек памяти и отдельных транзисторов "P" и "N" – типа, а также двух вариантов усилителей чтения с использованием моделей высокотемпературных НТЕ транзисторов для нескольких КНИ КМОП высокотемпературных технологических процессов: отечественной КНИ КМОП технологии 0.5 мкм и промышленной High Temperature High Voltage SOI XI10 от X-FAB Semiconductor Foundries AG (Германия) - НТЕ 1,0 мкм [3].

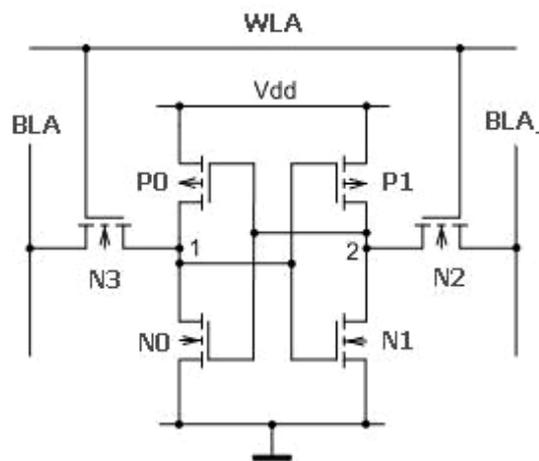


Рис. 1. Принципиальная схема 6-транзисторной ячейки памяти

Данные технологии имеют 3 металла и поликремниевые затворы, аналогичные конструкции для контактных площадок. Отечественный КНИ КМОП процесс фабрики ФГУ ФНЦ НИИСИ РАН позволяет вести проектирование кристаллов с напряжением питания 3,3 В или 5,0 В с проектными

нормами 0,5 мкм на основе частично обедненных КНИ КМОП (PDSOI) транзисторов с STI-изоляция. Скрытый окисел имеет толщину 143 нм и изготовлен по SIMOX-подобной технологии. К преимуществам данной технологии относятся:

- повышенная стойкость ИС к воздействию тяжелых заряженных частиц (ТЗЧ) по сравнению с объемной КМОП технологией (при наличии контакта к «телу»);
- возможность произвольной коммутации «тела» как р- так и n-канальных КНИ транзисторов: соединение с истоком или с питанием (с землей) [4].

High Temperature High Voltage SOI XI10 процесс фабрики X-Fab позволяет вести проектирование кристаллов с напряжением питания от 5,5 до 100,0 вольт с проектными нормами 1,0 микрон с рабочим диапазоном температур -60°C ... $+300^{\circ}\text{C}$. Данный процесс имеет опцию высокотемпературных металлических межсоединений, что и обеспечивает вышеуказанный рабочий диапазон температур. В процессе присутствуют специальные опции изготовления транзисторов с высоким уровнем напряжения питания. Сравнительный анализ проводился по следующим ключевым характеристикам:

- сток-затворные характеристики транзисторов для температур от -60°C до 300°C ;
- температурные зависимости для переключательных характеристик триггерной ячейки памяти;
- SNM (static noise margins) ячейки памяти;
- зависимости времени установления логических нуля и единицы от температуры.

Моделирование проводилось с помощью программного продукта Virtuoso(R) Design Analog Environment в САПР Cadence.

Сток-затворные характеристики снимались для р- и n-канальных транзисторов со следующими параметрами длины L и ширины W каналов: а) L = 0,5 мкм, W = 1,2 мкм – КНИ КМОП 0,5 мкм; б) L = 1 мкм, W = 4 мкм – XFAB 1 мкм. Параметры транзисторов моделируемой 6-транзисторной ячейки памяти приведены в табл. 1.

Таблица 1

Параметры транзисторов ячейки памяти

Технология	Параметр	N0 и N1	P0 и P1	Транзисторы выборки N2 и N3
КНИ 0,5 мкм	L, мкм	0,5	0,5	0,5
	W, мкм	1,8	1,3	1,3
НТЕ 1,0 мкм	L, мкм	1,0	1,0	1,0
	W, мкм	8,0	4,0	4,0

Соответствующие зависимости приведены на рис. 2 и 3. Результаты моделирования однозначно показали формирование точек ZTC (zero-temperature coefficient) для имеющихся моделей на ВАХ НТЕ транзисторов. Формирование точек ZTC связано с компенсацией уменьшения порогового напряжения с температурой, приводящей к увеличению тока стока, тогда как снижение подвижности ведет к его снижению [5]. Анализ показал, что точки смещения ZTC довольно резко определены для р- и n-канальных структур прежде всего в области границы SiO₂/Si. Учитывая то, что результаты исследований показали зависимость образования точек ZTC в областях линейной и насыщения ВАХ транзисторных структур, а также фактическую неопределенность их положения из-за влияния токов утечки, то можно сделать вывод о применимости данного метода термостабилизации, прежде всего, для аналоговых элементов схем.

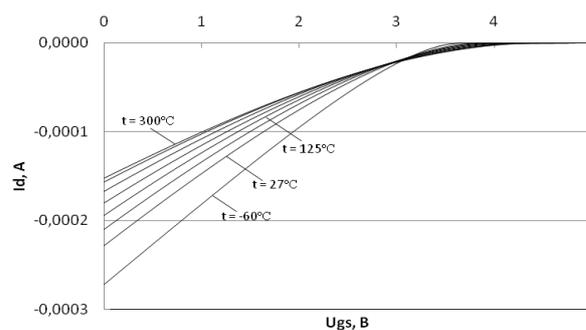


Рис. 2. Сток-затворная характеристика р-канального транзистора НТЕ 1,0 мкм

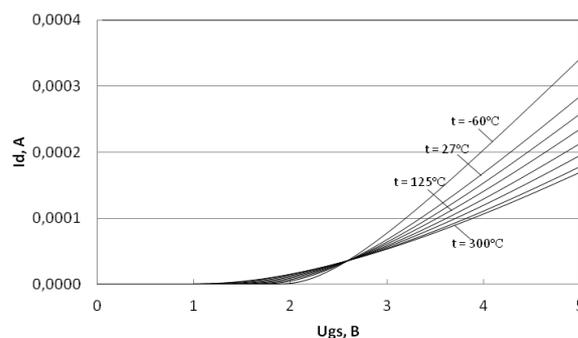


Рис. 3. Сток-затворная характеристика n-канального транзистора НТЕ 1,0 мкм

КМОП инверторы для всех исследованных моделей показали полную функциональность и очень малые изменения статических характеристик при температурах до 300°C . Тем не менее на рис. 4 приведено семейство переключательных характеристик для ячейки НТЕ 1,0 мкм. При возрастании температуры характеристики сдвигаются влево. Это позволяет сделать вывод о существенном снижении помехоустойчивости ячеек памяти на основе триггерных элементов. Одним из наиболее распространенных методов оценки и определения помехоустойчивости для ячеек памяти является метод SNM (static noise margins), при котором

помехоустойчивость ячейки памяти определяется как максимальный квадрат, вписываемый в переключательные характеристики ячеек памяти [6]. Используя этот метод для температурных переключательных характеристик, мы получили, что наименее помехоустойчивой ячейкой памяти является ячейка памяти, спроектированная по технологии КНИ КМОП 0,5 мкм (запас по помехоустойчивости для ячейки памяти НТЕ 1,95 В, а для КНИ КМОП 0,5 мкм 1,45 В). В целом помехоустойчивость ячеек памяти в исследуемом диапазоне температур меняется незначительно – на 10-15%.

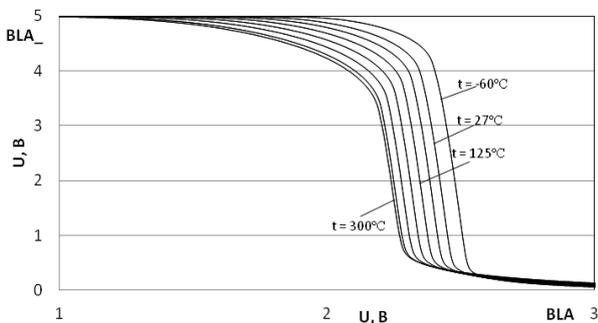


Рис. 4. Семейство переключательных характеристик в зависимости от температуры для 6-транзисторной ячейки НТЕ 1,0 мкм

На рис. 5 приведен пример построения SNM характеристик референсных ячеек памяти.

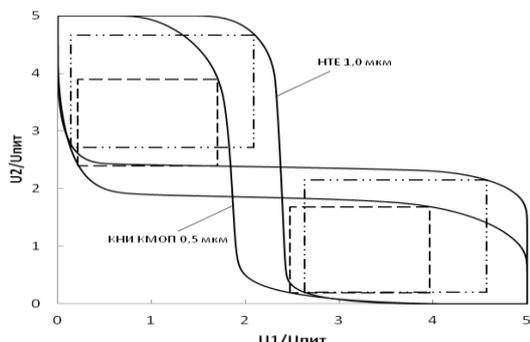


Рис. 5. SNM характеристика для проектных норм 0,5 мкм и НТЕ 1,0 мкм при температуре $t = 85^\circ\text{C}$

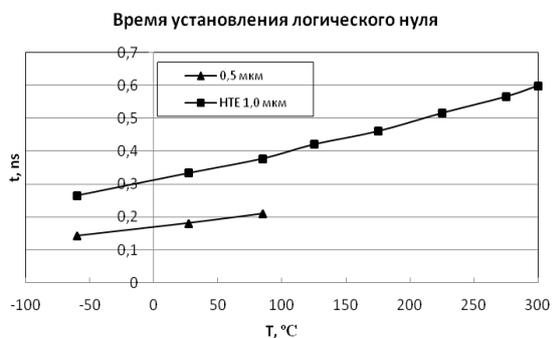


Рис. 6. Изменение времени установления логического нуля для проектных норм 0,5 мкм и НТЕ 1,0 мкм

Фактор снижения быстродействия при увеличении температуры подтверждают зависимости времени установления нуля и единицы для ячеек памяти, приведенные, соответственно, на рис. 6 и рис. 7. С ростом температуры с 25°C до 300°C время считывания прогнозируемо увеличивается почти в 2 раза, что полностью соответствует пропорциональному снижению подвижности носителей в канале.

III. АНАЛИЗ И МОДЕЛИРОВАНИЕ УСИЛИТЕЛЕЙ СЧИТЫВАНИЯ

Усилители считывания являются одними из наиболее критичных схем в периферии КМОП памяти. Их характеристики влияют как на время доступа к памяти, так и на общую рассеиваемую мощность памяти. Нами проведено моделирование характеристик усилителей считывания при повышенных температурах при временных условиях, соответствующих рабочей частоте 100 МГц. Моделирование проводилось для двух усилителей, усилителя считывания SA1 (рис. 8) и усилителя считывания SA2 (рис. 9).

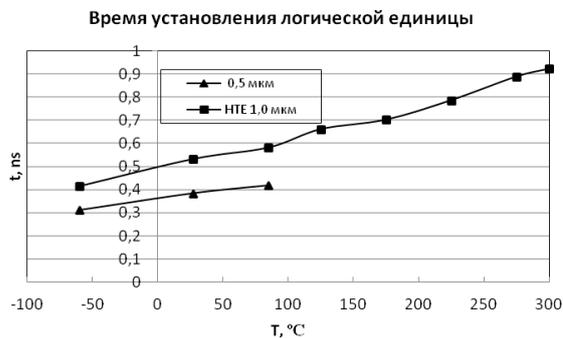


Рис. 7. Изменение времени установления логической единицы для проектных норм 0,5 мкм и НТЕ 1,0 мкм

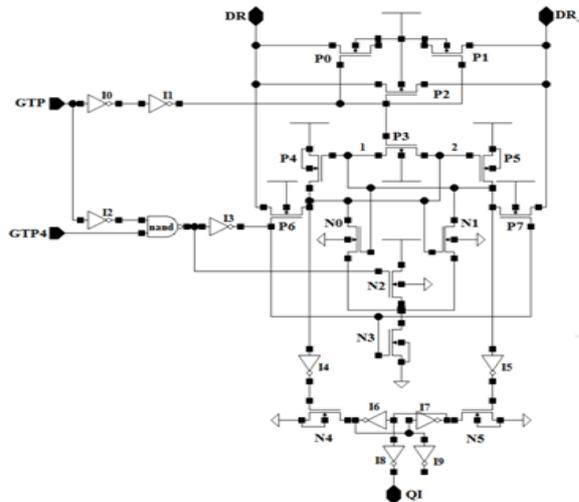


Рис. 8. Усилитель считывания SA1

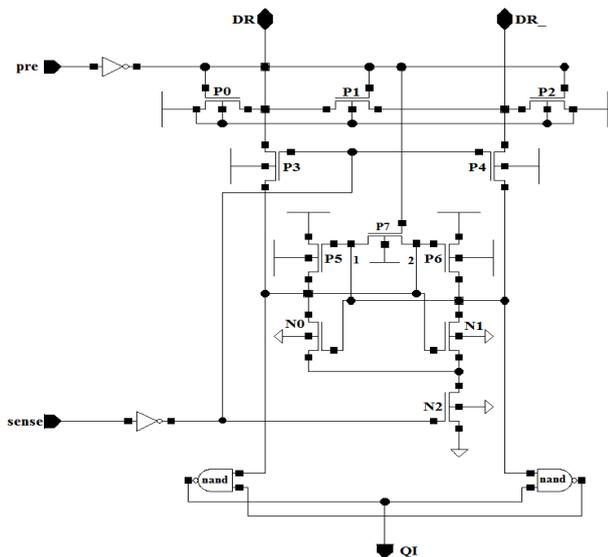


Рис. 9. Усилитель считывания SA2

Усилитель SA2 выполнен по более простой схеме, и обладает большим быстродействием по сравнению с усилителем считывания SA1. Обратным следствием простоты схемы является то, что количество сопрягаемых с данным усилителем ячеек хранения намного меньше, чем в случае с усилителем чтения, выполненном по схеме SA1.

Цикл считывания для усилителя SA1 выглядит следующим образом. На первом этапе подачей низкого уровня напряжения на сигнал GTP разрядные шины DR и DR_ предварительно заряжаются до напряжения питания (через транзисторы предзаряда – P0, P1, P2). Одновременно с этим включается выравнивающий транзистор P3, гарантирующий равенство потенциалов в узлах 1 и 2. Собственно операция чтения начинается со снятия предзаряда. После отключения схемы предзаряда и уравнивания путем подачи напряжения высокого уровня на сигнал GTP открываются проходные транзисторы P6 и P7 и данные с читаемой ячейки поступают на входы усилителя. Через проходные транзисторы P6 и P7 считываемый сигнал поступает на пару инверторов (образованных транзисторами P4, N0 и P5, N1) с перекрестными обратными связями и на формирователи сигналов установки и сброса на элементах I4 и I5 выходной защелки. Когда уровень сигнала на входах элементов I4 и I5 достигнет разности потенциалов, на которую способен среагировать усилитель считывания, подается высокий уровень напряжения на сигнал GTP4. После перевода сигнала GTP в состояние низкого уровня и возобновления предзаряда усилитель считывания переводится в режим хранения и ожидания.

Цикл считывания для усилителя SA2 выглядит следующим образом. На первом этапе подачей высокого уровня напряжения на сигнал pre разрядные шины DR и DR_ предварительно заряжаются до напряжения питания (через транзисторы предзаряда –

P0, P1, P2). Одновременно с этим включается выравнивающий транзистор P7, гарантирующий равенство потенциалов в узлах 1 и 2. Операция чтения начинается со снятия предзаряда путем подачи напряжения низкого уровня на сигнал pre. Подачей высокого уровня напряжения на сигнал sense открываются проходные транзисторы P3 и P4, через которые поступает информация с битовых линий. В зависимости от того, какая информация записана в читаемой ячейке, пара инверторов, (образованных транзисторами P5, N0 и P6, N1) с перекрестными обратными связями перейдет в одну из стабильных рабочих точек. Как только ячейка разрядит линии данных до разности потенциалов, на которую способен среагировать усилитель считывания, подается низкий уровень напряжения на сигнал sense и включается усилитель. После перевода сигнала pre в состояние высокого уровня и возобновления предзаряда, усилитель считывания переводится в режим хранения и ожидания.

В усилителе SA1 присутствует дополнительный подтягивающий транзистор N2. Кроме того, схемы усилителей различаются выходными каскадами и входной логикой.

Результаты моделирования соотношений быстродействия и температуры фактически соответствуют аналогичным зависимостям и для ячеек памяти – рис. 10.

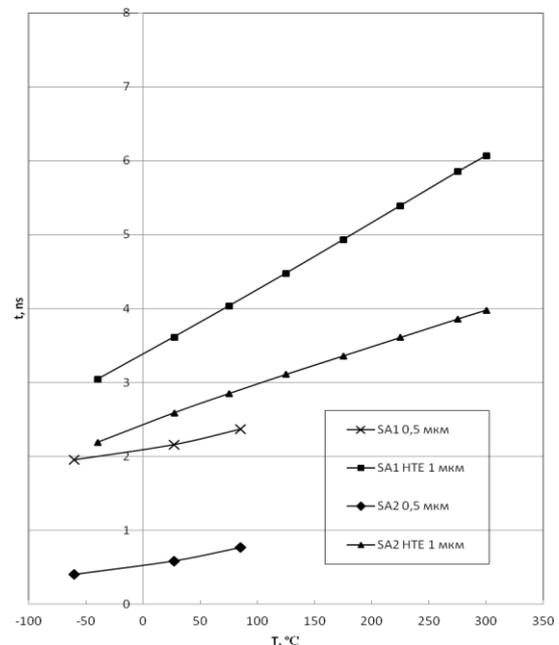


Рис. 10. Время считывания логической единицы для различных усилителей считывания

На рис. 11 приведены зависимости критического заряда срабатывания усилителей считывания от температуры для случая однократных сбоев.

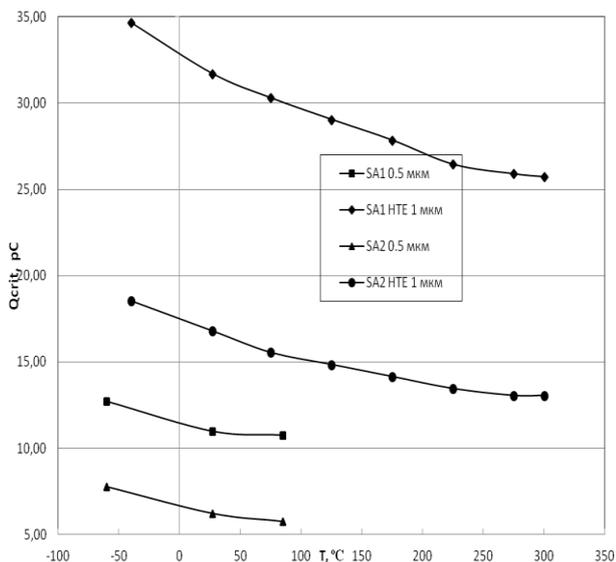


Рис. 11. Зависимость значения величины критического заряда от температуры для усилителей считывания различной технологической реализации

Относительное уменьшение величины критического заряда в выбранном температурном диапазоне на 40% вполне соответствует зависимости критического заряда от температуры для референсных ячеек памяти, как это показано на рис. 12.

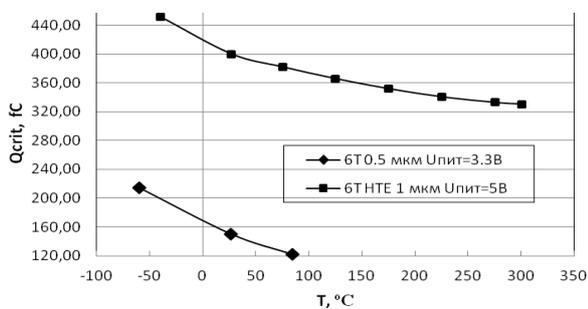


Рис. 12. Зависимость значения величины критического заряда от температуры для постоянной времени спада импульса тока 0,2 нс и постоянной времени нарастания импульса тока 0,8 нс и разных напряжений питания

Тем не менее, анализ приведенных зависимостей подтверждает тезис о преимуществе HTE технологии 1,0 мкм над промышленной КНИ КМОП 0,5 мкм [7]. Так как моделирование проводилось для "идеального" случая, т. е. моделирование только электрических схем данных усилителей и ячеек памяти, то следует ожидать, что при моделировании топологии с учетом экстракции "паразитных" элементов и сопутствующих им эффектов результаты, приведенные на рис. 10-12, будут несколько хуже [8].

IV. ЗАКЛЮЧЕНИЕ

Элементы памяти и усилители считывания являются одними из наиболее критичных схем в составе КМОП СБИС ОЗУ. Их производительность и

помехоустойчивость определяют как время доступа к памяти и производительность работы ОЗУ, так и общую функциональную работоспособность при критических температурных режимах работы. В данной работе проведено проектирование и анализ параметров вариантов базовых элементов памяти и усилителей считывания СБИС ОЗУ, сохраняющих работоспособность вплоть до 300°C. Определены векторы изменения основных характеристик устройств для высокотемпературных приложений. Отмечено в работе относительное уменьшение величины критического заряда на 40% в выбранном температурном диапазоне вполне соответствует зависимости критического заряда от температуры для референсных ячеек памяти, что позволяет проектировать сбоеустойчивые высокотемпературные элементы СБИС на основе разработанных элементов.

ПОДДЕРЖКА

Работа выполнена при поддержке Российского фонда фундаментальных исследований, грант № 14-29-09207.

ЛИТЕРАТУРА

- [1] Киселева А.А., Краснюк А.А. Маршрут проектирования сбоеустойчивых суб-100-нм КМОП СБИС // Электроника, микро- и нанoeлектроника. Сб. научн. трудов. М.: НИЯУ МИФИ, 2012. С. 65.
- [2] B. W. Ohme, B. J. Johnson, and Mark R. Larson, "SOI CMOS for Extreme Temperature Applications", Honeywell Aerospace, Defense & Space Honeywell International Plymouth, Minnesota, SA, 55441.
- [3] Fraunhofer Institute. (2014, Nov.) High Temperature SOI Technology H10. [Online]. Available: <http://www.ims.fraunhofer.de>.
- [4] B.W. Ohme, M.R. Larson, J. Riekels, S. Schlesinger, K. Vignarajah, and M.N. Ericson "Progress Update on Honeywell's DeepTrek High Temperature Electronics Project", IMAPS Int'l. Conference on High Temperature Electronics (HiTEC), May 2006.
- [5] R. Lowther, D. Gifford, W. Morriss, J. Jensen, S. Peterson, K. Atkinson, "Enabling Bulk Silicon CMOS technology for Integration, reliability, and Extended Lifetime at High Temperature", International Conference and Exhibition on High temperature electronix Network (HiTEN), July 6-8, 2015, Cambridge, UK.
- [6] Киселева А.А. Сравнительное моделирование КМОП и КНИ КМОП ячеек памяти для радиационно-стойких приложений. URL: <http://mn.mephi.ru/2013/articles/988> (дата обращения: 14.03.2016).
- [7] S. Dreiner, H. Kappert, D. Dittrich, K. Grella, A. Kelberer, M. Klusmann, N. Kordas, A. Kosfeld, A. Schmidt, U. Paschen, R. Kokozinski, "HIGH TEMPERATURE 0.35 MICRON SOI CMOS PROCESS (250°C AND BEYOND)", Fraunhofer Institute for Microelectronic Circuits and Systems IMS, Germany [Online]. Available: <http://www.ims.fraunhofer.de>.
- [8] Antonov A.A., Dubrovskij A.G., Il'yaguyev V.N., Krasnyuk A.A. et al. SF-block of triplex processor core for systems on a crystal. Voprosy atomnoj nauki i tekhniki. Seriya: Fizika radiacionnogo vozdejstviya na radioelektronnuyu apparaturu, 2014, vol. 1, pp. 66-68.

Comparative analysis of the memory elements and sense amplifiers for high-temperature VLSI RAM

A.A. Kiseleva¹, A.A. Krasnyuk^{1,2}, A.P. Trepalin¹

¹SRISA

²National Research Nuclear University «MEPhI», aakrasnyuk@mephi.ru

Keywords — sense amplifier, SRAM, simulate, high temperature electronics, topology of IC.

ABSTRACT

The fundamental scientific problem is the determination of physical and technological and structural-circuit solutions and design techniques to ensure the functional operability of the integral elements of large scale integrated memory circuits at extremely high levels of temperature and external destructive factors. Memory elements and sense amplifiers (SA) are one of the most critical circuits in CMOS VLSI RAM.

Investigation of the influence of temperature effects and comparative analysis was performed by the simulation of 6-transistor SRAM cells and individual transistors "P" and "N" - type, as well as two variants sense amplifiers with using models of SOI CMOS several high-temperature technological processes - native SOI CMOS 0.5 μm and industrial High Temperature High Voltage SOI XI10 from X-FAB Semiconductor Foundries AG (Germany).

A comparative analysis was conducted on the following key features: I-V characteristics of transistors at temperatures from -60°C to 300°C ; the temperature dependence of the switching characteristics of the flip-flop memory cells; SNM (static noise margins); the dependence of the setting time the logical zero and the unit from temperature. The simulation was performed using the software Virtuoso (R) Design Analog Environment CAD Cadence. The simulation results clearly showed the formation of ZTC points (zero-temperature coefficient) for the models available on the I-V characteristics of HTE transistors. Given that the results showed the dependence of the formation of ZTC points in the linear area and the saturation area of I-V characteristics of the transistor structures, as well as the actual uncertainty due to the influence of leakage currents, concludes that the applicability of this method of thermal stabilization, primarily for analog circuit elements. CMOS inverters for all investigated models showed complete functionality and very small changes in static characteristics at temperatures up to 300°C . This allows to make a conclusion about significant decrease in the noise immunity of the memory cells on the basis of trigger elements. Readout time with increasing temperature from 25°C to 300°C predictable increases almost 2 times that fully corresponds to a proportional decrease in the carrier mobility of the channel.

The sense amplifiers are one of the most critical circuits in the periphery of CMOS memories. Simulation results of speed ratios and temperature dependencies of the sense amplifier actually correspond to the memory cells. The relative decrease in the critical charge in the selected temperature range of 40% is consistent with the critical charge, depending on the temperature of the reference memory cells. However, analysis of these dependences suggests that HTE 1,0 μm technology significantly less sensitive to variations of temperatures.

REFERENCES

- [1] Kiseleva A.A., Krasnyuk A.A. Marshrut proektirovaniya sboeustoichivih sub-100 nm CMOS VLSI// Electronics, micro- and nanoelectronics. Proceedings. M.:NRNU MEPhI, 2012. P. 65
- [2] B. W. Ohme, B. J. Johnson, and Mark R. Larson, "SOI CMOS for Extreme Temperature Applications", Honeywell Aerospace, Defense & Space Honeywell International Plymouth, Minnesota, SA, 55441
- [3] Fraunhofer Institute. (2014, Nov.) High Temperature SOI Technology H10. [Online]. Available: <http://www.ims.fraunhofer.de>.
- [4] B.W. Ohme, M.R. Larson, J. Riekels, S. Schlesinger, K. Vignarajah, and M.N. Ericson "Progress Update on Honeywell's DeepTrek High Temperature Electronics Project", IMAPS Int'l. Conference on High Temperature Electronics (HiTEC), May 2006.
- [5] R. Lowther, D. Gifford, W. Morriss, J. Jensen, S. Peterson, K. Atkinson, "Enabling Bulk Silicon CMOS technology for Integration, reliability, and Extended Lifetime at High Temperature", International Conference and Exhibition on High temperature electronix Network (HiTEN), July 6-8, 2015, Cambridge, UK
- [6] Kiseleva A.A.. Sravnitelnoe modelirovanie CMOS and SOI CMOS yacheek pamyuti dlya radiacionno-stoykih prilozheniy. URL: <http://mn.mephi.ru/2013/articles/988>.
- [7] S. Dreiner, H. Kappert, D. Dittrich, K. Grella, A. Kelberer, M. Klusmann, N. Kordas, A. Kosfeld, A. Schmidt, U. Paschen, R. Kokozinski, "HIGH TEMPERATURE 0.35 MICRON SOI CMOS PROCESS (250°C AND BEYOND)", Fraunhofer Institute for Microelectronic Circuits and Systems IMS, Germany [Online]. Available: <http://www.ims.fraunhofer.de>.
- [8] Antonov A.A., Dubrovskij A.G., Il'yaguyev V.N., Krasnyuk A.A. et al. SF-block of triplex processor core for systems on a crystal. Voprosy atomnoj nauki i tekhniki. Seriya: Fizika radiacionnogo vozdeystviya na radioelektronnyy apparaturu, 2014, vol. 1, pp. 66-68.