

КМОП 65-нм статические ОЗУ на ячейках памяти DICE с разнесенными на кристалле группами транзисторов

В.Я. Стенин^{1,2}, Ю.В. Катунин^{1,2}, П.В. Степанов^{1,2}

¹Национальный исследовательский ядерный университет “МИФИ”

²НИИ системных исследований РАН

vystenin@mephi.ru; yu.v.katunin@gmail.com; pvstepanov.mephi@yandex.ru

Аннотация — Новый вариант ячеек памяти DICE на основе двух групп транзисторов, разнесенных на кристалле (Spaced Transistor Groups DICE – STG DICE), использован в сбоеустойчивых 65-нм КМОП статических ОЗУ. Блоки кэш и многопортовых ОЗУ изготовлены в составе системы на кристалле, исследованы с использованием локального лазерного облучения и показали высокую сбоеустойчивость.

Ключевые слова — ячейка памяти, помехоустойчивость, ОЗУ, топология, одиночная ядерная частица, лазерное излучение.

I. ВВЕДЕНИЕ

Основой статических ОЗУ с повышенной устойчивостью к одиночным эффектам является ячейка памяти DICE (Dual Interlocked Storage Cell) [1]. Характерное для нано-размерных проектных норм снижение расстояний между чувствительными парами узлов в традиционном варианте при масштабировании топологии ячейки DICE сопровождается потерей ее преимуществ по сбоеустойчивости относительно 6-транзисторных ячеек [2], [3]. Экспериментальные исследования [4] 28-нм КМОП триггеров DICE с транзисторами, расположенными в линию, показали высокую сбоеустойчивость при всех направлениях трека ядерных частиц, кроме совпадающих с направлением расположения транзисторов. Однако способы увеличения расстояний между чувствительными узлами без существенных издержек по площади в литературе не представлены.

Цель данной работы – продемонстрировать варианты ячеек памяти DICE с принципиально новой топологией, которая обеспечивает повышенную сбоеустойчивость, но не за счет избыточного увеличения площади, занимаемой на кристалле.

II. ТРИГГЕР НОВОГО ВАРИАНТА ЯЧЕЙКИ STG DICE

На рис. 1 приведена схема триггера DICE, названного как Spaced Transistor Groups DICE (STG DICE), состоящая из двух групп транзисторов, каждая из которых в режиме хранения данных имеет последовательно расположенные пары открытых и закрытых N - и P МОП транзисторов [5], [6].

В стационарном состоянии триггера DICE логические уровни внутренних узлов (A и C) обеих групп определяют логическое состояние триггера. Логический уровень внутреннего узла группы поддерживается парой открытых N - и P МОП транзисторов (N_D и P_A для узла A в состоянии “1”).

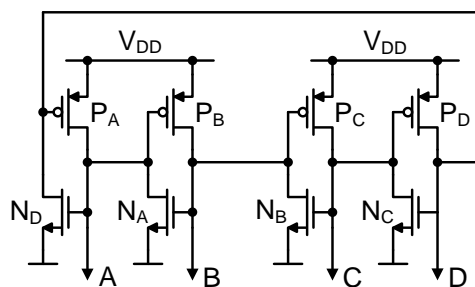


Рис. 1. Схема триггера STG DICE в виде двух групп N - и P МОП транзисторов

Сбой триггера STG DICE возможен только при одновременном воздействии частицы на обе группы транзисторов. Воздействие частицы на одну из групп триггера STG DICE не вызывает сбоя (Single Event Upset – SEU), а переводит триггер во временное нестационарное состояние вследствие переходного процесса (Single Event Transient – SET), в котором сбой триггера происходит, если воздействие на другую группу превышает пороговый уровень. Две группы транзисторов соединены лишь двумя шинами, что снижает издержки по площади при разнесении групп транзисторов на кристалле микросхемы.

III. СБОЙ ТРИГГЕРА В НЕСТАЦИОНАРНОМ СОСТОЯНИИ

Модель поведения триггера STG DICE в нестационарном состоянии, возникающем при воздействии частицы, основана на учёте разделения заряда с трека частицы между двумя группами транзисторов. Сбой триггера зависит от продолжительности сбора заряда первой группой $t_{COLL.GR1}$ и одновременно от задержки переключения второй группой $t_{DEL.SW.GR2}$ триггера STG DICE [7]. Предполагается (достаточно общий случай), что одна из групп (первая) ближе к треку частицы и сразу подвергается воздействию заряда, что приводит к изменению логического состояния ее узлов, а на

вторую группу заряд собирается в виде импульса тока, образованного зарядами носителей, диффундирующих с трека. Значение заряда, собранного первой группой, как и у инвертора [8], не более 1 пКл, а время его сбора $t_{\text{COLL.GR1}}$ не превышает 0.4–1 нс.

Пороговое значение задержки переключения второй группы определяется выражением [7]:

$$t_{\text{DEL.SW.GR2.THR}} = 0.01(100 \text{ мкА}/I_M)^{0.25(3+\lg 2)} \text{ (нс)},$$

где I_M – амплитуда импульса тока, образованного диффундирующим зарядом (в мкА). Это выражение справедливо для триггера DICE с транзисторами минимальной ширины. Если время сбора заряда первой группой $t_{\text{COLL.GR1}}$ меньше порогового значения задержки переключения второй группы $t_{\text{COLL.GR1}} < t_{\text{DEL.SW.GR2.THR}}$, то сбой невозможен, а при $t_{\text{COLL.GR1}} \geq t_{\text{DEL.SW.GR2.THR}}$ сбой произойдет. При прохождении трека частицы вблизи обеих групп задержка переключения снижается. Вероятность сбоя падает с увеличением расстояния между группами.

IV. БАЗОВЫЕ ЭЛЕМЕНТЫ ПАМЯТИ STG DICE ДЛЯ 65-НМ КМОП КЭШ ОЗУ И МНОГОПОРТОВОГО ОЗУ

На рис. 2 приведен эскиз топологии элемента памяти статического кэш ОЗУ на основе триггера STG DICE. Для повышения устойчивости к воздействию одиночной частицы триггер выполнен на кристалле в виде двух групп транзисторов [5], [6], [9], причем матрица из восьми чередующихся групп транзисторов образует базовый элемент из четырех ячеек памяти.

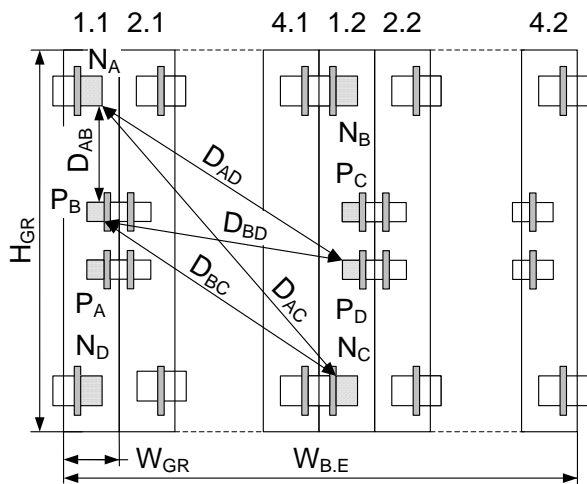


Рис. 2. Эскиз топологии базового элемента памяти кэш ОЗУ из четырех ячеек памяти STG DICE

Две группы транзисторов одной ячейки памяти соединены двумя шинами (см. рис. 1). Четыре ячейки базового элемента памяти STG DICE имеют в сумме всего 8 соединений. Группы транзисторов на рис. 2 обозначены двумя цифрами: первая соответствует номеру ячейки памяти, а вторая – номеру группы транзисторов в ячейке. На рис. 2 обозначены высота и ширина группы транзисторов H_{GR} и W_{GR} и ширина базового элемента $W_{\text{B,E}}$. В базовом элементе из четырех ячеек STG DICE обеспечивается большое

разнесение двух групп на кристалле без больших издержек по площади. Размещение групп транзисторов в 28-нм ячейках памяти STG DICE рассмотрено в работе [9].

На рис. 2 обозначены расстояния D_{AC} , D_{AD} , D_{BD} , D_{BC} и D_{AB} между парами чувствительных pn переходов сток-подложка закрытых транзисторов в одном из логических состояний ячейки. В другом логическом состоянии ячейки набор расстояний будет таким же, но между другим составом закрытых транзисторов. Расстояние D_{AB} (см. рис. 2) – это расстояние между закрытыми $NMOП$ и $PMOП$ транзисторами одной группы, воздействие на которые не приводит к сбою.

На рис. 3 приведен эскиз-топология ячейки памяти STG DICE для многопортового ОЗУ (регистрового файла – РФ) с восемью портами чтения и четырьмя портами записи [10]. Две группы транзисторов триггера ячейки памяти соединены двумя шинами. В логическом состоянии $ABCD = 0101$ транзисторная пара $N_D P_A$ левой группы (см. рисунки 1 и 3) находится в закрытом состоянии, а другая пара $N_A P_B$ той же группы – в открытом. В правой группе в закрытом состоянии находится пара транзисторов $N_B P_C$, а в открытом – пара транзисторов $N_C P_D$. При воздействии частицы на транзисторы только одной из групп триггер переходит в нестационарное состояние с возвращением в исходное состояние без сбоя [7]. Сбой триггера возможен только при одновременном воздействии и на другую группу транзисторов с уровнем больше порогового.

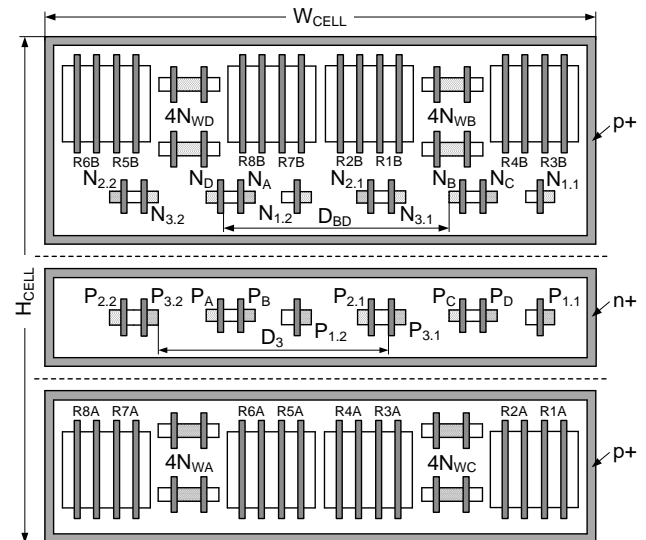


Рис. 3. Эскиз топологии 65-нм многопортовой ячейки памяти STG DICE с четырьмя портами записи и восемью портами чтения; обозначения $4N_W$ относятся к портам записи, а обозначения $R1$ – $R8$ – к портам чтения

На рис. 3 обозначены высота и ширина ячейки H_{CELL} и W_{CELL} . Штриховкой на рис. 3 отмечены области обратного смещенных pn переходов закрытых транзисторов триггера, портов записи, двухфазных инверторов: односторонней штриховкой – в состоянии $ABCD = 0101$, двухсторонней – в состоянии 1010 .

V. ПАРАМЕТРЫ 65-НМ КМОП STG DICE И 6Т ЯЧЕЕК

Блоки кэш ОЗУ 128×32 бит и многопортового ОЗУ (регистрового файла – РФ) 32×64 бит на основе ячеек STG DICE, а также их аналоги на 6Т ячейках памяти изготовлены в составе микропроцессора по технологии объемный КМОП 65-нм. В табл. 1 приведены параметры ячеек памяти, где W_N и W_P – ширины ЛМОП и РМОП транзисторов; W_{GR} – ширина группы транзисторов; S_{CELL} – площадь ячейки; H_{GR} , W_{BE} и N_{CELL} – высота, ширина базового элемента и количество ячеек в нем.

Таблица 1

Параметры 65-нм КМОП ячеек STG DICE и 6Т

Параметры ячеек памяти	Кэш 6Т	РФ 6Т	Кэш STG DICE	РФ STG DICE
W_N , нм	140	150	600	150
W_P , нм	80	150	180	150
N_{CELL}	1	1	4	1
W_{GR} , мкм	-	-	0.62	-
S_{CELL} , мкм ²	0.5	11.52	5.24	48.0
$W_{BE} \times H_{GR}$, мкм ²	0.475×1.05	2.4×4.80	5.04×4.23	7.27×6.60

В табл. 2 приведены расстояния между парами чувствительных транзисторов ячеек памяти STG DICE кэш ОЗУ 128×32 бит и ячеек памяти STG DICE многопортового ОЗУ 32×64 бит. Расстояние D_{MIN} является минимальным расстоянием между двумя закрытыми транзисторами разных групп триггера STG DICE.

Таблица 2

Расстояния между чувствительными парами транзисторов в ячейках STG DICE кэш ОЗУ и РФ

Пары транзисторов	Расстояние в кэш STG DICE, мкм	Расстояние в РФ STG DICE, мкм
D_{AC}	3.41	3.09
D_{AD}	2.64	3.44
D_{BD}	2.32	3.09
D_{BC}	2.76	3.44
D_{MIN}	2.32	3.09

V. ТЕСТИРОВАНИЕ ОЗУ С ИСПОЛЬЗОВАНИЕМ МЕТОДИКИ ЛОКАЛЬНОГО ЛАЗЕРНОГО ОБЛУЧЕНИЯ

Тестирование проводилось с использованием методики локального лазерного облучения со стороны подложки кристалла [11]. В табл. 3 приведены параметры лазерного имитационного комплекса. На рис. 4 и 5 приведены зависимости количества событий сбоя в блоках ОЗУ от энергии лазерного излучения [11]. Событием считается факт сбоя независимо от кратности сбоя. Импульс лазерного излучения приводит к генерации электронно-дырочных пар, и “активная” область пятна, в которой происходят сбои, имеет большую площадь, чем оптическая проекция лазерного пятна. Это подтверждают распределения

координат отклонений центра сбитых 6Т ячеек памяти в кэш и многопортовых ОЗУ от центра пятна лазера Δx и Δy , приведенные на рис. 6 и 7.

Таблица 3

Параметры лазерного комплекса ПИКО-3

Параметр, размерность	Значение
Длина волны, мкм	1.064
Длительность импульса, пс	70
Энергия импульса, нДж	0.1-5.0
Погрешность энергии, нДж	0.05
Диаметр лазерного пятна, мкм	3.5
Шаг перемещения пятна, мкм	3.0

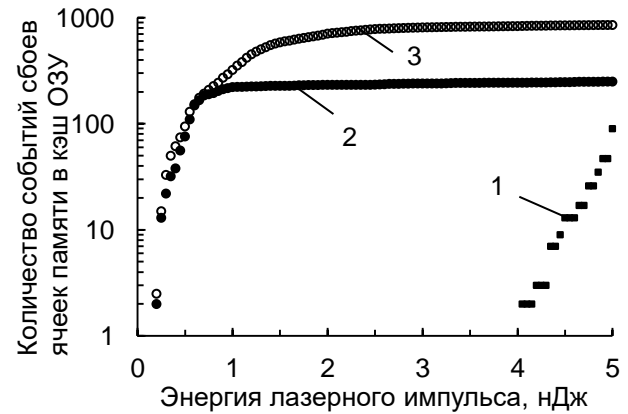


Рис. 4. Количество событий сбоя ячеек памяти кэш ОЗУ в зависимости от энергии импульса лазерного излучения: 1) кэш ОЗУ STG DICE 128×32 бит; 2) кэш ОЗУ 6Т 128×32 бит; 3) кэш ОЗУ 6Т 256×64 бит

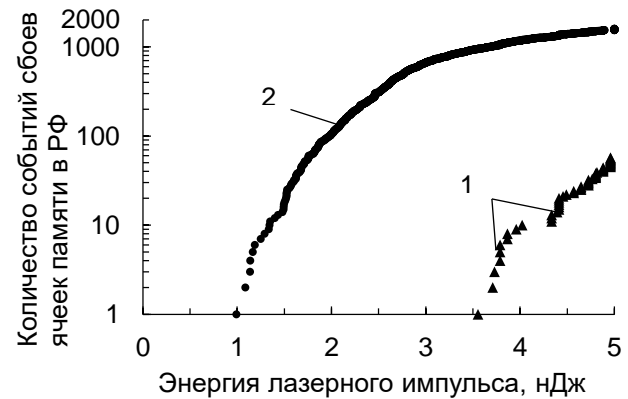


Рис. 5. Количество событий сбоя ячеек памяти многопортовых ОЗУ (РФ) в зависимости от энергии импульса лазерного излучения: 1) РФ STG DICE ОЗУ 32×64 бит; 2) РФ 6Т ОЗУ 32×64 бит

В табл. 4 приведены значения максимальной кратности сбоя для энергий импульсов лазерного излучения 1; 2; 3 и 5 нДж. В кэш и многопортовых ОЗУ на ячейках STG DICE кратных сбоя нет. Размеры областей разброса координат центра сбитых STG DICE ячеек относительно центра лазерного пятна при энергии 5 нДж практически одинаковые (рис. 6 и 7) для двух вариантов ячеек STG DICE. При энергиях

менее 3.6–4 нДж сбоев STG DICE ячеек не происходит.

Таблица 4

Максимальная кратность сбоев

Энергия импульса, нДж	1	2	3	5
Кэш 6Т ОЗУ	2	15	20	21
РФ 6Т ОЗУ	1	2	2	3
Кэш STG DICE ОЗУ	-	-	-	1
РФ STG DICE ОЗУ	-	-	-	1

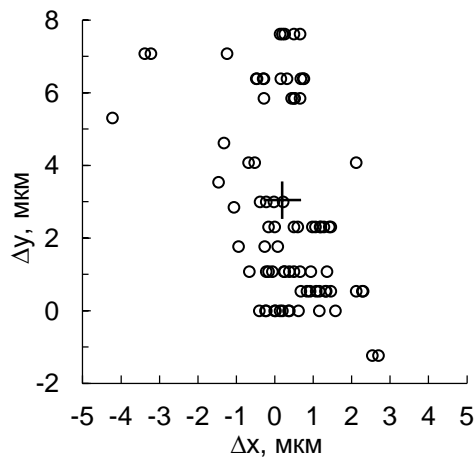


Рис. 6. Распределение отклонений центров сбитых ячеек от центров пятна лазерного излучения в кэш ОЗУ STG DICE для диапазона энергий 4.05–5 нДж

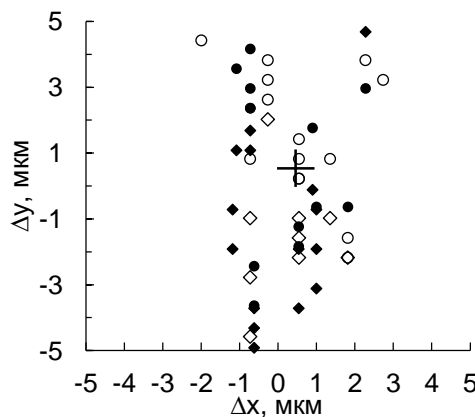


Рис. 7. Распределение отклонений центров сбитых ячеек от центров пятна лазерного излучения в многопортовом ОЗУ STG DICE для диапазонов энергий 3.6–4.7 нДж; сбой “0” (○ кружки), сбой “1” (◇ ромбы); 4.7–5 нДж (● черные точки и ромбы)

VI. ЗАКЛЮЧЕНИЕ

Новые КМОП ячейки памяти STG DICE использованы в блоках кэш ОЗУ и многопортового 65-нм КМОП ОЗУ, которые изготовлены на кристалле совместно с 6-транзисторными аналогами в составе микропроцессорной системы. STG DICE ячейки памяти имеют более высокие пороги сбоя, и у них отсутствуют кратные сбои.

Работа выполнена при поддержке Российского фонда фундаментальных исследований, проект № 14-29-09284.

ЛИТЕРАТУРА

- [1] Calin T. Nicolaidis M., Velazco R. Upset hardened memory design for submicron CMOS technology // IEEE Transactions on Nuclear Science. 1996. V. 43. № 6. P. 2874–2878.
- [2] Seifert N.P., Ambrose V., Gill B., Shi Q., Allmon R., Recchia C., Mukherjee S., Nassif N., Krause J., Pickholtz J., Balasubramanian A. On the radiation-induced soft error performance of hardened sequential elements in advanced bulk CMOS technologies // Proceedings of IEEE International Reliability Physics Symposium. 2010. P. 188–197.
- [3] Loveless T.D., Jagannathan S., Reece T., Chetia J., Bhuvu B.L., McCurdy M.W., Massengill L.W., Wen S.-J., Wong R., Rennie D. Neutron- and proton-induced single event upsets for D- and DICE-flip/flop designs at a 40 nm technology node // IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 1008–1014.
- [4] Lilja K., Bounasser M., Wen S., Wong R., Holst J., Gaspard N., Jagannathan S., Loveless D., Bhuvu B. Single event performance and layout optimization of flip-flops in a 28-nm bulk technology // IEEE Transactions on Nuclear Science. 2013. V. 60. № 4. P. 2782–2788.
- [5] Стенин В.Я., Катунин Ю.В., Степанов П.В. Особенности проектирования DICE элементов 65-нм КМОП статических запоминающих устройств с учетом эффекта кратного воздействия отдельных ядерных частиц // Вестник НИЯУ МИФИ. 2013. Т. 2. № 3. С. 363–370.
- [6] Стенин В.Я., Катунин Ю.В., Степанов П.В. Ячейка памяти комплементарной металл-оксид-полупроводниковой структуры ОЗУ // Патент РФ на изобретение № 2554849. Бюлл. № 18. Оpubл. 27.06.2015.
- [7] Stenin V.Ya. Simulation of the characteristics of the DICE 28-nm CMOS cells in unsteady states caused by the effect of single nuclear particles // Russian Microelectronics. 2015. V. 44. № 5. P. 324–334.
- [8] Ferlet-Cavrois V., Paillet P., Gaillardin M., Lambert D., Baggio J., Schwank R., Vizkelethy G., Shaneyfelt M.R., Hirose K., Blackmore E.W., Faynot O., Jahan C., Tosti L. Statistical analysis of the charge collected in SOI and bulk devices under heavy ion and proton irradiation – implications for digital SETs // IEEE Transactions on Nuclear Science. 2006. V. 53. № 6. P. 3242–3252.
- [9] Stenin V.Ya., Stepanov P.V. Basic memory elements using DICE cells for fault-tolerant 28 nm CMOS RAM // Russian Microelectronics. 2015. V. 44. № 6. P. 368–379.
- [10] Катунин Ю.В., Стенин В.Я. Многопортовая КМОП ячейка памяти на основе DICE триггера с разделенными на две группы транзисторами для помехоустойчивых 65-нм КМОП статических ОЗУ // Вестник НИЯУ МИФИ. 2015. Т. 4. № 5. С. 432–439.
- [11] Катунин Ю.В., Савченков Д.В., Стенин В.Я., Степанов П.В. Исследование 65-нм КМОП однопортовых и многопортовых блоков статических ОЗУ на ячейках памяти DICE к воздействию импульсов лазерного излучения // Вопросы атомной науки и техники. Серия: Физика радиационного воздействия на радиоэлектронную аппаратуру. 2015. Вып. 3. С. 1–8.

CMOS 65-nm static RAM on DICE cells with spacing groups of transistors

V.Ya. Stenin^{1,2}, Yu.V. Katunin^{1,2}, P.V. Stepanov^{1,2}

¹ National Research Nuclear University MEPhI (Moscow Engineering Physics Institute), Russia

² Scientific Research Institute of System Analysis, Russian Academy of Sciences, Moscow, Russia

vystenin@mephi.ru; yu.v.katunin@gmail.com; pvstepanov.mephi@yandex.ru

Keywords — memory cell, RAM, noise immunity, layout, topology, single nuclear particle, laser verification

ABSTRACT

The basis of static RAM with high immunity to single-event upsets is the DICE (Dual Interlocked Storage Cell) cell [1]. In bulk CMOS technologies, the node proximities of DICE with traditional layout design led to loss advantages with respect to 6-T cells [2]–[4]. Increasing the spacing between sensitive nodes requires non-traditional methods of the topology design. The experimental studies of 28-nm CMOS DICE triggers with transistors situated along the straight line [4] demonstrated quite a low single event rate (SER) in all directions of the nuclear particle tracks except of the line layout position of cell transistors. The purpose of our work is to design new DICE layout.

The new specific DICE cell layout design bases on the spacing the two transistor groups of the DICE cell each of them consists of the two transistors column – the one opened pair N-PMOS transistors and the one closed pair N-PMOS transistors [5], [6]. We named the layout of this cell as Spaced Transistor Groups DICE - STG DICE.

The result of the single nuclear particle strike only on the one transistor group of the STG DICE is a single event transient (SET) but not a single-event upset (SEU). The single-event upset results from the strike on the both transistor groups. The second group may fail status of the STG DICE cell, if the impact on the second group of transistors exceeded a threshold value. The single-event upset depends upon the charge collection time of the first group $t_{\text{COLL.GR1}}$ and the upset delay or switching time delay of the second group of STG DICE $t_{\text{DEL.SW.GR2}}$ [7].

It is believed that one group (first) gets its part of a charge instantly (correspondingly of the vicinity this group of transistors to a track of a particle), and the second group obtains a charge during the diffusion of charge carriers arising on this track. The real values of the collected charge do not exceed 1 pC and the charge collection time of the first group $t_{\text{COLL.GR1}}$ is less than 1 ns [8].

The threshold switching delay of the second group $t_{\text{DEL.SW.GR2.THR}}$ described by the function [7]:

$$t_{\text{DEL.SW.GR2.THR}} = 0.01(100 \mu\text{A}/I_M)^{0.25(3+\lg 2)} \text{ (ns)},$$

I_M is the amplitude of the node diffusion current pulse in μA . This formula is fit for DICE with the smallest transistor channel widths for the design rule. If the charge collection time of the first group $t_{\text{COLL.GR1}}$ is less than the threshold delay switching time of the second group $t_{\text{COLL.GR1}} < t_{\text{DEL.SW.GR2.THR}}$, upset does not occurs. The upset

occurs if $t_{\text{COLL.GR1}} \geq t_{\text{DEL.SW.GR2}} = f(Q_{\text{COLL2}}, I_M, \tau_{\text{COLL2}})$. If the particle track is on the vicinity of both groups, the delay switching time is small so far as the critical charge amount is collected simultaneously at nodes of both groups. The more spacing the two transistor groups – the less a cell upset probability.

For increasing of the immunity to impact of a single nuclear particle, DICE cells was designed in the form of two Spaced Transistor Groups [5], [6], and [9]. DICE cells, in turn, connected in basic memory elements by alternating its transistor groups. The two groups are connected by two wires. Four cells of a STG DICE basic 65-nm memory element have only 8 connection wires. We have four STG DICE memory cells with the so large spacing of transistor groups and the small area which are impossible for the traditional layout of DICE cells.

The distances between sensitive pairs of reverse biased pn drain-substrate junctions of transistors, which are situated in one of two logical states of a cell, are denoted as D_{AC} , D_{AD} , D_{BD} , D_{BC} , and D_{AB} . D_{AB} is the distance between the NMOS and PMOS transistors of the one group whose joint fault does not result in a cell upset.

The STG DICE layout used in the static cache RAM [9] and multiport RAM [10] (the register file - RF). In the logic state of nodes ABCD = 0101, the first pair N- and PMOS transistors, namely, $N_D P_A$ is in a closed state, and the both transistors of the second pair $N_A P_B$ are open. In the same logic state of nodes ABCD = 0101, in the second group the pair of $N_B P_C$ is in the closed state and the pair $N_C P_D$ is open. After impact a single nuclear particle only to transistors of the one group, STG DICE trigger passes to a transient state from which the trigger returns to its original steady state without a failure after finishing of the charge collection time $t_{\text{COLL.GR1}}$ [7]. About design 28-nm STG DICE – in [9].

The layout of 65-nm CMOS multiport STG DICE memory cell contained the DICE trigger with two transistor groups, four write ports and eight read ports. Regions n+ and p+ around the PMOS and NMOS transistors are the regions of the ohm contacts at the boundaries of the P-substrate and N-well. The two-phase inverters [10] replaced the traditional CMOS inverters, used in multiport memory cells for the galvanic isolation of the trigger nodes from the nodes of read ports.

The cache RAM of 128×32 bits and the multiport RAM (the register file - RF) of 32×64 bit on STG DICE cells, the cache RAM of 128×32 bits, and the multiport RAM of 32×64 bit on 6-transistor (6-T) cells fabricated on the common crystal of the microprocessor system.

The minimum space between the closed transistors of two transistor groups of one memory cell $D_{\text{MIN}} = 2.32 \mu\text{m}$ for the cache RAM of 128×32 bits and $D_{\text{MIN}} = 3.09 \mu\text{m}$ for the multiport RAM (the register file - RF) of 32×64 bit on the basis of STG DICE cells. The spacing of sensitive pairs of the transistors for each of the three two-phase inverters in multiport (RF) STG DICE is equal $3.09 \mu\text{m}$ so as the minimum node spacing of the DICE trigger for the multiport STG DICE cell.

The STG DICE cell upset by laser tests performed using backside crystal irradiation of the microcircuit. The parameters of the laser test system [11] are the next. Wavelength is $1.064 \mu\text{m}$; laser pulse duration is 70 ps ; laser energy is $0.1\text{--}5.0 \text{ nJ}$; energy resolution is 0.05 nJ ; laser spot size is $3.5 \mu\text{m}$; step of a spot displacement is $3.0 \mu\text{m}$. The noise immunity was characterized using pulse laser verification.

The maximum multiplicity of cache 6-T RAM (MCU) is 21. The multiport STG DICE RAM has no multiple cell upsets. The maximum multiplicity of multiport 6-T RAM (MCU) is 3. The multiport STG DICE RAM has no multiple cell upsets. Testing shows the dependence of maximum multiplicity of multi-cell upsets (MCU) versus the pulse laser energy. The laser spot pulse results in the “active” region with induced electron-hole pairs where cell upsets take place. The diameter of the “active” upset region is the function of the laser energy.

Using maps of deviations of upset cell centers relative to the laser spot centers for STG DICE RAM and deviations of upset cell centers relative to the laser spot centers for 6T RAM it is possible to compare the “active” regions with induced electron-hole pairs where cell upsets take place, and compare the noise immunity of variants of RAM's. The upset cell areas for STG DICE RAM and 6-T RAM are much the same for 5 nJ laser pulse energy. It proves the reliable result that we have not upsets of STG DICE RAM to the threshold energy $3.6\text{--}4 \text{ nJ}$ when corresponding diameters of “active” laser pulse areas are less $8.5 \mu\text{m}$. The upset of STG DICE memory cell takes place only if the critical charges are collected simultaneously at all STG DICE cell nodes of both transistor groups with spacing $3\text{--}3.5 \mu\text{m}$.

The new noise immune memory STG DICE layout design used in reliable static cache RAM and multiport RAM (the register file). The new layout design hardened cell can be implemented in nanoscale CMOS.

This work was supported in part by the Russian Foundation for Basic Research under Project no. 14-29-09284.

REFERENCES

- [1] Calin T., Nicolaidis M., Velazco R. Upset hardened memory design for submicron CMOS technology, *IEEE Transactions on Nuclear Science*, 1996, vol. 43, no. 6, pp. 2874–2878.
- [2] Seifert N.P., Ambrose V., Gill B., Shi Q., Allmon R., Recchia C., Mukherjee S., Nassif N., Krause J., Pickholtz J., Balasubramanian A. On the radiation-induced soft error performance of hardened sequential elements in advanced bulk CMOS technologies, in *Proceedings of IEEE International Reliability Physics Symposium*, 2010, pp. 188–197.
- [3] Loveless T.D., Jagannathan S., Reece T., Chetia J., Bhuvu B.L., McCurdy M.W., Massengill L.W., Wen S.-J., Wong R., Rennie D. Neutron- and proton-induced single event upsets for D- and DICE-flip/flop designs at a 40 nm technology node, *IEEE Transactions on Nuclear Science*, 2011, vol. 58, no. 3, pp. 1008–1014.
- [4] Lilja K., Bounasser M., Wen S., Wong R., Holst J., Gaspard N., Jagannathan S., Loveless D., Bhuvu B. Single event performance and layout optimization of flip-flops in a 28-nm bulk technology, *IEEE Transactions on Nuclear Science*, 2013, vol. 60, no. 4, pp. 2782–2788.
- [5] Stenin V.Ya., Katunin Yu.V., Stepanov P.V. Specific design aspects of 65-nm CMOS DICE cells subject to single-event multi-node charge collection, *Vestnik of NRNU MEPhI - MEPhI Transactions*, 2013, vol. 2, no. 3, pp. 363–370 (in Russian).
- [6] Stenin V.Ya., Katunin Yu.V., Stepanov P.V. The memory cell of complementary metal-oxide-semiconductor structure of the RAM, RF Patent 2554849, *Byull. Izobret – Bulletin of Invention*, 2015, no. 18 (in Russian).
- [7] Stenin V.Ya. Simulation of the characteristics of the DICE 28-nm CMOS cells in unsteady states caused by the effect of single nuclear particles, *Russian Microelectronics*, 2015, vol. 44, no. 5, pp. 324–334.
- [8] Ferlet-Cavrois V., Paillet P., Gaillardin M., Lambert D., Baggio J., Schwank R., Vizkelethy G., Shaneyfelt M.R., Hirose K., Blackmore E.W., Faynot O., Jahan C., Tosti L. Statistical analysis of the charge collected in SOI and bulk devices under heavy ion and proton irradiation – implications for digital SETs, *IEEE Transactions on Nuclear Science*, 2006, vol. 53, no. 6, pp. 3242–3252.
- [9] Stenin V.Ya., Stepanov P.V. Basic memory elements using DICE cells for fault-tolerant 28 nm CMOS RAM, *Russian Microelectronics*, 2015, vol. 44, no. 6, pp. 368–379.
- [10] Katunin Yu.V., Stenin V.Ya. Multiport CMOS memory cell based on the DICE trigger divided into two groups of transistors for a hardened 65-nm CMOS SRAM, *Vestnik NRNU MEPhI - MEPhI Transactions*, 2015, vol. 4, no. 5, pp. 432–439 (in Russian).
- [11] Katunin, Yu.V., Savchenkov D.V., Stenin V.Ya., Stepanov, P.V. Research of 65-nm CMOS one-port and multiport blocks of static RAM on DICE memory cells to influence of laser radiation pulses. *Voprosy atomnoj nauki i tehniki. Seriya: Fizika radiacionnogo vozdeystviya na radioelektronnuju apparaturu - Questions of atomic science and technics. Series: Physics of radiation effects on radio-electronic equipment*, 2015, Issue 3, C. 1–8 (In Russian).