

Проектирование гибридного регистра ассоциативной памяти

Л.А. Соловьева

ФГУ ФНЦ Научно-исследовательский институт системных исследований РАН,
Isolov@cs.niisi.ras.ru

Аннотация — Статья описывает метод разработки регистра ассоциативной памяти, в составе которого находятся как статические, так и динамические запоминающие ячейки. В ходе работы были получены и промоделированы несколько разновидностей гибридных регистров ассоциативной памяти. В результате проведенных исследований были получены данные по задержке распространения выходного сигнала сравнения, а также данные потребляемой мощности. При использовании нового метода построения удалось достичь существенного снижения потребляемой мощности, а также уменьшения задержек распространения выходного сигнала сравнения.

Ключевые слова — ассоциативная ячейка памяти, потребляемая мощность, токи утечки.

I. ВВЕДЕНИЕ

Ассоциативная память (САМ – Content-Addressable Memory) – это память, которая реализует функцию поиска данных по таблице с выделенным каналом сравнения. Поиск происходит за один такт, что делает производительность ассоциативной памяти быстрее, чем в других системах поиска, реализованных аппаратно или программно. Ассоциативная память широко применяется в различных устройствах, требующих высокую скорость поиска. Однако быстродействие достигается за счет увеличения площади и потребляемой мощности, двух основных параметров, которые разработчики стараются уменьшить.

Увеличение потребляемой мощности является одной из главных проблем в современной микроэлектронике. Это увеличение напрямую связано с повышением сложности и вычислительной мощности микропроцессоров, для которых требуются элементы памяти все большей емкости. На элементы памяти приходится значительная часть от потребляемой мощности всего микропроцессора. Попытки снизить потребляемую мощность, как правило, приводят к уменьшению быстродействия, что значительно ухудшает параметры электронных устройств. В данной статье предложен метод построения регистра ассоциативной памяти, при котором уменьшена потребляемая мощность без потерь быстродействия.

II. ЗАПОМИНАЮЩИЕ ЯЧЕЙКА АССОЦИАТИВНОЙ ПАМЯТИ С ДИНАМИЧЕСКИМ ПОРТОМ СРАВНЕНИЯ

Основным элементом любого запоминающего устройства, определяющим структуру остальных элементов и основные параметры, является запоминающая ячейка [1]. От выбора типа ячейки напрямую зависят параметры всего блока ассоциативной памяти. Схемотехническая реализация ассоциативной запоминающей ячейки может быть двух типов: со статическим портом сравнения и с динамическим.

На рис. 1 представлена базовая схема ячейки памяти с динамическим САМ-портом (транзисторы чтения для простоты не показаны). При несовпадении данных, хранящихся в ячейке, с данными, подаваемыми на парафазный вход сравнения CMP, шина MISS, предзаряжаемая к питанию, будет разряжаться в низкий логический уровень напряжения.

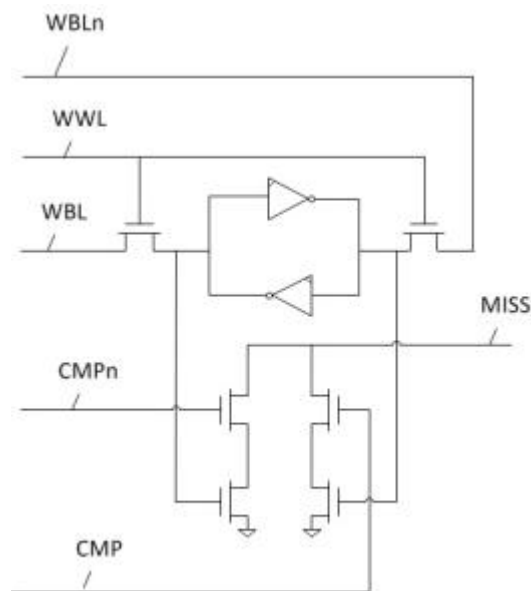


Рис. 1. Ячейка памяти с динамическим портом сравнения

Чтобы сгенерировать общий сигнал несовпадения всего регистра достаточно напрямую объединить выходные шины компараторов всех ячеек памяти. Общая шина регистра MISS также предзаряжается до напряжения питания. При несовпадении данных, хранящихся в регистре, с данными, поданными на вход

сравнения, в одной или нескольких ячейках памяти, где произошло несовпадение, будет происходить разряд шины MISS.

Динамическая ячейка памяти имеет много преимуществ, основными из которых являются быстродействие и меньшая площадь относительно статической реализации. Это обусловлено меньшим количеством транзисторов в самой ячейке и отсутствием специальной схемы генерации общего сигнала выхода компаратора [2].

Но, несмотря на высокую скорость и небольшую площадь, у динамической ячейки памяти есть существенные недостатки.

Одним из наиболее важных недостатков является разделение зарядов в случае совпадения данных, хранящихся в ячейке, с данными, подаваемыми на парафазный вход сравнения CMP. Этот недостаток проявляется в тех случаях, когда в узле DATA изначально хранится высокий уровень. В этом случае транзистор, затвор которого подключен к этому узлу, будет открыт, и напряжение на его стоке сравняется с нулем. Затем при очередной записи узел DATA переключится в «0», а на инверсный вход CMP придет высокий уровень. В этом случае через верхний транзистор компаратора потечет выравнивающий ток, заряжающий промежуточный узел до «1», и потенциал шины MISS сместится вниз. Величина этого смещения зависит от соотношения емкостей линии и транзистора и количества таких ситуаций на одной шине MISS.

На рис. 2 показан график увеличения смещения напряжения, полученный при моделировании для технологии 28 нм. На графике показана зависимость смещения напряжения (в процентах) от количества ситуаций, описанных выше, на одной шине. Для примера было рассмотрено от 1 до 16 совпадений.

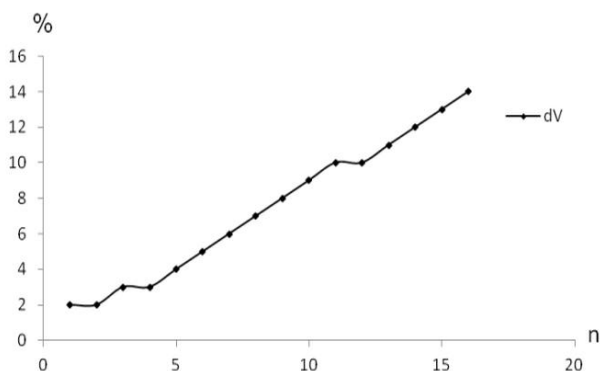


Рис. 2. Увеличение смещения напряжения от количества совпадений на одной шине

Из графика видно, что в наихудшем случае падение напряжения из-за разделения зарядов на линии, объединяющей 16 ячеек, составит 15%. При увеличении количества ячеек на одной шине ситуация усугубится.

Второй не менее важный недостаток проявляется в случае несовпадения данных, хранящихся в регистре, с

данными, поданными на вход сравнения, всего в одном бите [3]. В этой ситуации общую шину довольно большой емкости, предзаряженную к напряжению питания, будут разряжать транзисторы компаратора всего одной ячейки памяти. В этом случае фронт выходного сигнала будет более пологим в зависимости от количества бит в регистре, и в худшем случае переключения за требуемое время может не произойти, что будет являться ошибкой. Зависимость времени фронта от количества бит в регистре при условии несовпадения в одном бите можно увидеть на графике на рис. 3.

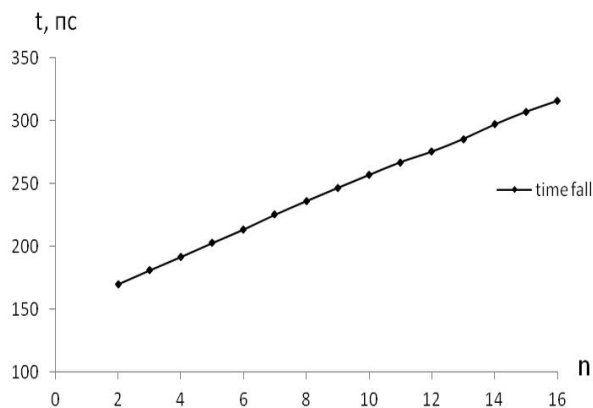


Рис. 3. График зависимости увеличения длительности заднего фронта общего выходного сигнала совпадения от количества бит в регистре

В регистре из 16 бит длительность заднего фронта увеличилась на 85%. При увеличении числа бит в регистре эта ситуация также усугубится. При попытке увеличить ширину транзисторов компаратора увеличивается емкость объединенной шины, и, следовательно, для нее требуются большие транзисторы, обеспечивающие предзаряд шины к уровню логической единицы, что, в свою очередь, опять затрудняет разряд шины при несовпадении данных.

Что касается потребляемой мощности, в более ранних технологиях мощность динамической ячейки памяти выше мощности статической [4]. Это было обусловлено требованием предзаряда выходной шины сравнения до уровня напряжения питания. Однако при уменьшении технологических норм и понижении напряжения питания для поддержания предзаряда стало требоваться меньшее количество тока, чем на переключение дерева логических элементов регистра статических запоминающих ячеек [5].

Но, несмотря на меньшую потребляемую мощность, площадь и лучшее быстродействие, для технологии 28 нм низкая помехоустойчивость является критическим параметром. Что делает использование динамических ячеек памяти в классическом виде нецелесообразным.

III. ЗАПОМИНАЮЩИЕ ЯЧЕЙКА АССОЦИАТИВНОЙ ПАМЯТИ СО СТАТИЧЕСКИМ ПОРТОМ СРАВНЕНИЯ

В статической ячейке памяти (рис. 4) на вход сравнения подается однофазный сигнал CMP, в отличие от парафазного входа динамической ячейки.

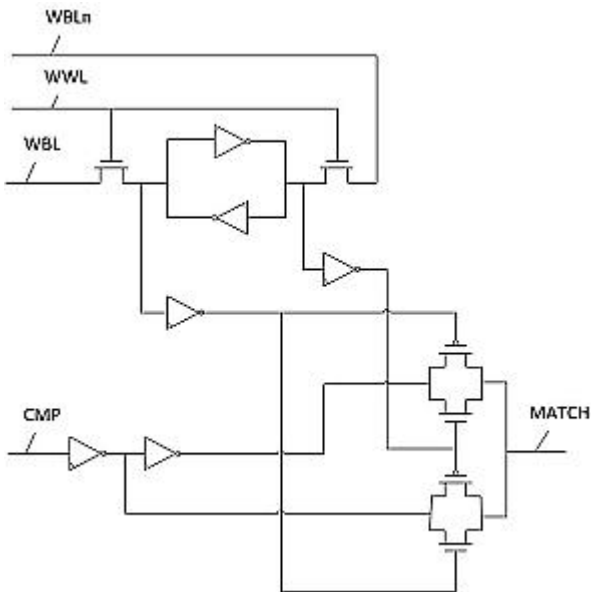


Рис. 4. Ассоциативная ячейка памяти со статическим портом сравнения

По другому организован и компаратор: если в динамической ячейке выходная шина сравнения изначально предзаряжена до уровня логической единицы, а при несовпадении данных разряжается до уровня логического нуля, то в статической ячейке памяти все происходит иначе. Выходы компараторов статических ячеек нельзя просто объединить, как в случае с динамической ячейкой памяти. Для получения общего сигнала совпадения выходы MATCH каждой из ячеек поступают на схему генерации общего сигнала совпадения, реализованную на логических элементах И-НЕ и ИЛИ_НЕ. Схема генерации общего сигнала представлена на рис. 5, где блоки S обозначают статическую ячейку памяти.

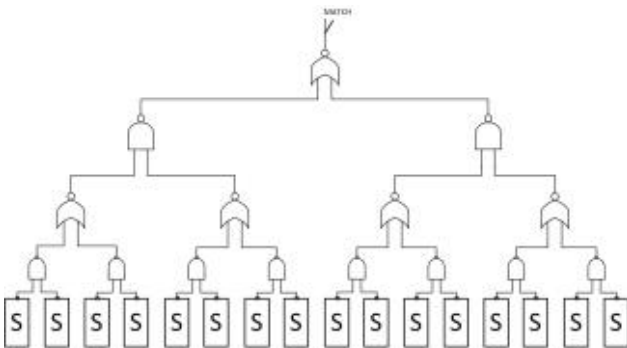


Рис. 5. Схема генерации общего сигнала совпадения для 16 ячеек

Преимуществом статической ячейки памяти является ее надежность, она больше защищена от

наводок, и нет настолько сильной зависимости помехоустойчивости от количества бит регистра, как в случае с динамической ячейкой памяти [6].

Но статическая реализация имеет множество недостатков, основной из которых – это быстродействие. Каждый логический элемент системы генерации общего сигнала совпадения вносит свой вклад в задержку выходного сигнала от количества бит регистра представлен на рис. 6. Для примера рассмотрены регистры с количеством бит от 2 до 16.

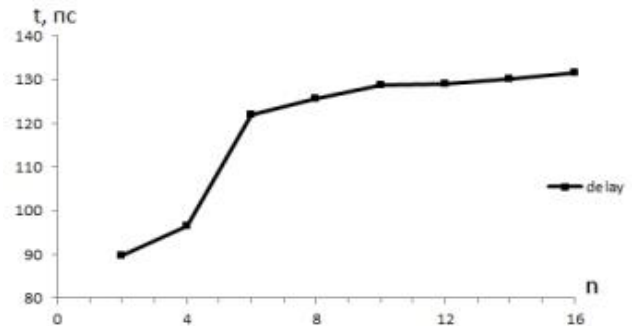


Рис. 6. График зависимости задержки выходного сигнала от количества бит в регистре

Из графика видно, что задержка возрастает нелинейно. Это связано с увеличением ступеней системы логических элементов. Наибольшее увеличение произошло при изменении количества бит регистра от 4 до 6. В этом случае в схеме генерации добавился новый логический уровень. При дальнейшем увеличении количества бит без добавления логических уровней схемы задержка выходного сигнала увеличивается практически линейно и незначительно. Чем больше ступеней будет в итоговой схеме генерации сигнала, тем больше будет возрастать задержка.

Для технологии 28 нм потребляемая мощность такой схемы генерации будет сравнительно выше потребляемой мощности, требуемой на предзаряд выходной шины сравнения каскада динамических ячеек памяти.

Все вышеперечисленное делает использование статической ячейки памяти довольно затруднительным. Однако при низких напряжениях питания в технологии 28 нм помехоустойчивость является критическим параметром, а помехоустойчивость статической ячейки памяти является наиболее высокой.

IV. ОБЪЕДИНЕНИЕ ВЫХОДОВ КОМПАРАТОРА СТАТИЧЕСКОЙ И ДИНАМИЧЕСКОЙ ЯЧЕЕК ПАМЯТИ

Как видно из предыдущих разделов, у динамической и статической реализаций ассоциативной ячейки памяти совершенно противоположные преимущества и недостатки: быстрая динамическая ячейка с маленькой потребляемой мощностью, простым объединением выходных сигналов сравнения, но ненадежная с точки зрения помехоустойчивости с одной стороны; и с другой сто-

роны статическая ячейка с большой потребляемой мощностью, меньшим быстродействием и сложной схемой генерации общего сигнала совпадения, но в то же время с наибольшей возможной помехоустойчивостью.

Возможность создания регистра, в котором недостатки одного типа ячеек памяти будут компенсированы достоинствами другого, позволила бы получить заметно лучшие характеристики регистра и блока ассоциативной памяти в целом.

Как уже было сказано, единственный параметр, по которому динамическая ячейка памяти уступает статической ячейке, является ее помехоустойчивость. В технологии 28 нм при объединении всего 8 динамических ячеек памяти смещение напряжения на шине MISS при совпадении хранящихся данных с данными, поданными на вход сравнения, будет составлять 10%, а завал фронта при несовпадении данных одной ячейки будет составлять 40%. При таком увеличении длительности фронта выходного сигнала высока вероятность, что за отведенное время переключение не успеет произойти, и регистр будет работать некорректно.

Чтобы блок ассоциативной памяти на базе динамических ячеек работал корректно, регистр должен состоять из 4-8 бит, что противоречит требованиям современных вычислительных систем, в которых требуются памяти большой емкости. Выход из этой ситуации – разбиение регистра большой разрядности на блоки, состоящие из 4-8 ячеек памяти, с последующим объединением выходных шин MISS. В качестве схемы объединения была выбрана схема, аналогичная схеме генерации общего сигнала совпадения статических ячеек памяти.

На первом этапе рассматривалась адаптация схемы генерации общего сигнала совпадения статических ячеек памяти для динамических ячеек.

Несмотря на то, что принципы работы компаратора динамической и статической ячеек памяти различаются, и в том и в другом случае высокий уровень напряжения на выходной шине компаратора сигнализирует о совпадении данных ячейки с данными сравнения. Поэтому выходные шины MISS каждого из блоков были просто поданы на вход схемы генерации, аналогичной схеме генерации сигнала статических ячеек.

Что касается потребляемой мощности и задержки выходного сигнала сравнения, они пропорциональны количеству логических ступеней в схеме генерации общего сигнала. Минимальным количеством логических ступеней будет при разбиении регистра из 16 ячеек на 2 блока по 8 ячеек памяти. Максимальное смещение напряжения блока из 8 ячеек будет составлять 10% от напряжения питания, а максимальное увеличение длительности фронта выходного сигнала сравнения составит 40%. Такое увеличение длительности фронта может привести к тому, что переключения за отведенное время не произойдет, и регистр будет работать некорректно.

Оптимальное соотношение количества ячеек в блоке с количеством логических ступеней схемы генерации сигнала для данной схемы будет в случае, когда один блок состоит из 4-х ячеек памяти. В этом случае максимальное смещение напряжения составит всего 5% от напряжения питания, а максимальное увеличение длительности фронта составит 11%, что не приведет к ложному выходу сигнала сравнения.

Но, как правило, регистры данных состоят из намного большего количества ячеек памяти, и при таком разбиении на блоки схема генерации общего сигнала MISS будет многоступенчатой. А поскольку в момент записи данных в ячейку на шине MISS работает предзаряд, то по схеме будет протекать ток утечки, имеющий в технологическом процессе 28 нм заметную величину.

Следующим шагом было введение элемента, который бы активировал схему генерации общего сигнала только в тот момент, когда происходило сравнение. Введение такого элемента заметно упрощает систему синхронизации, а также убирает необходимость управляющего сигнала предзаряда.

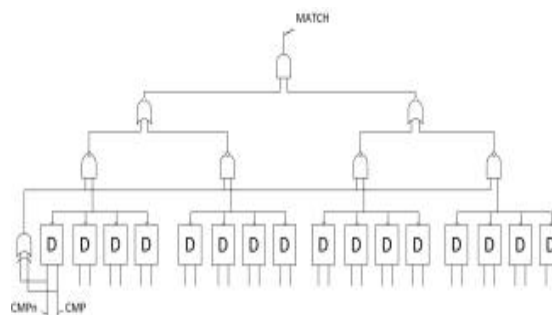


Рис. 7. Схема генерации общего сигнала для динамических ячеек в составе с ЛЭ XOR

Поскольку основную часть времени входы парафазных сигналов CMP и CMPn находятся в логическом «0», и только в момент сравнения они будут в противофазе, эти сигналы можно использовать в качестве управляющих сигналов для схемы генерации и для схемы предзаряда. Для этого достаточно в схему генерации включить элемент XOR, на вход которого будут поданы парафазные сигналы CMP и CMPn любой из ячеек памяти (рис. 7, где блоки, обозначенные буквой D, представляют динамические ячейки памяти). На выходе элемента XOR уровень логической «1» будет только в момент сравнения данных, когда входные сигналы CMP и CMPn будут в противофазе. Все остальное время на выходе XOR будет логический «0». Таким образом, включив выход элемента XOR в схему генерации общего сигнала, можно добиться отсутствия переключений верхних логических ступеней в схеме генерации сигнала. Также сигнал с выхода XOR будет подаваться на затвор р-канального транзистора, обеспечивающего предзаряд выходных шин MISS блоков ячеек памяти. Во время сравнения и появления логической единицы на выходе элемента XOR транзистор будет закрыт, и предзаряд осуществляться не будет. Все остальное время транзистор будет в открытом со-

стоянии, обеспечивая тем самым предзаряд выходных шин MISS. Такой метод позволяет упростить схему синхронизации всего блока памяти, ведь с введением нового элемента пропадает необходимость в отдельном сигнале управления предзарядом, и, следовательно, уменьшает количество трасс, проходящих в блоке ассоциативной памяти.

С включением этого элемента характер работы выхода MISS всей схемы генерации изменится. Если в случае только динамических ячеек памяти выход переключался в случае несовпадения данных, то с введением элемента XOR переключение выходного сигнала будет происходить только в случае совпадения, т.е. когда на всех шинах MISS будет уровень логической «1». В этом случае схема генерации общего сигнала совпадения для динамических ячеек памяти будет полностью аналогичной схеме генерации совпадений для статических ячеек.

Поскольку основной вклад в потребляемую мощность и задержку выходного сигнала вносит схема генерации, то на следующем этапе после определения оптимального количества динамических ячеек на одной шине была предпринята попытка уменьшения логических ступеней схемы путем увеличения ячеек в блоках.

Чтобы увеличение количества ячеек в блоке не сказалось на помехоустойчивости, на блок динамических ячеек памяти добавлялась одна статическая ячейка. Основной трудностью для создания гибридного регистра памяти была адаптация динамических ячеек для схемы генерации общего сигнала совпадения статических ячеек памяти (из-за наличия предзаряда), но эта проблема была решена ранее введением логического элемента XOR. Принцип объединения ячеек представлен на схеме на рис. 8, где блоки, обозначенные буквой S – это статические ячейки памяти, а буквой D – динамические.

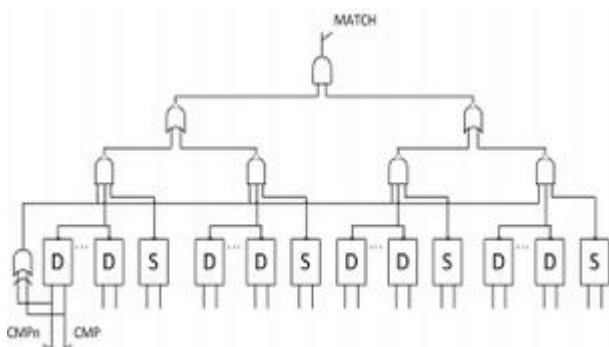


Рис. 8. Смешанный регистр ассоциативной памяти

Для гибридного регистра памяти возможны различные варианты реализации. Варианты будут различаться общим количеством статических ячеек памяти в регистре. Количество статических ячеек памяти будет соответствовать количеству блоков, на которые будет разбит регистр памяти. Чем больше статических ячеек, тем больше надежность схемы, однако больше потреб-

ляемая мощность и задержка выходного сигнала сравнения.

Как и ранее, для примера рассмотрим регистр, состоящий из 16 ячеек памяти. Были предложены следующие варианты: регистр состоит из 2-х блоков по 8 ячеек (на 7 динамических 1 статическая); регистр разбит на 3 блока, 2 блока по 6 ячеек (на 5 динамических одна статическая) и один блок из 4 ячеек памяти (на 3 динамических 1 статическая); и последний вариант, когда регистр состоит из 4-х блоков по 4 ячейки памяти (на 3 динамические ячейки памяти 1 статическая). Дальнейшее разбиение на блоки будет бессмысленным, поскольку помехоустойчивость регистра улучшится незначительно, в то время как величины задержки выходного сигнала и потребляемой мощности регистра резко возрастут.

Полученные 3 варианта построения регистра ассоциативной памяти моделировались для техпроцесса 28 нм TSMC с помощью САПР spectre фирмы Cadence [7]. Результаты по потребляемой мощности и задержкам получившихся регистров представлены на диаграммах рис. 9 и рис. 10, соответственно.

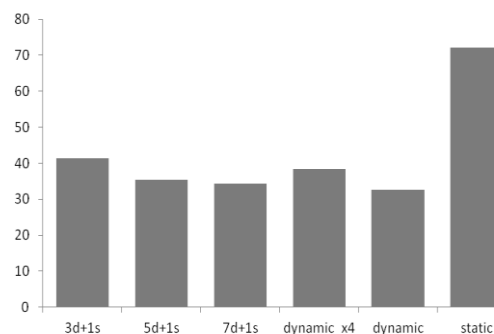


Рис. 9. Потребляемая мощность регистров памяти с разным типом разбиения

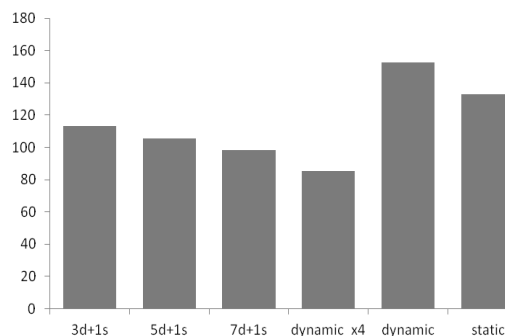


Рис. 10. Время задержки выходного сигнала относительно входных сигналов сравнения

Из полученных результатов видно, что получившийся гибридный регистр памяти со встроенной системой управления предзарядом получился более выигрышным по параметрам, чем полностью статический и динамический аналоги.

Потребляемая мощность в случае разбиения регистра на блоки по 6 ячеек (5 динамических и 1 статическая) меньше мощности полностью динамического

регистра, разбитого на блоки. Полностью статическая реализация с энергетической точки зрения оказалась наименее выигрышной. Потребляемая мощность динамического регистра с объединенными выходами MISS оказалась несущественно меньше мощности гибридного регистра, однако помехоустойчивость в разы хуже.

Относительно быстродействия гибридный регистр также выигрывает у динамической и статической реализации. На рис. 10 рассмотрены задержки при наилучших условиях для каждого из регистров. Так для полностью динамического регистра с объединенными выходами MISS задержка окажется максимальной из всех возможных, поскольку наблюдается существенное увеличение длительности фронта выходного сигнала.

V. ЗАКЛЮЧЕНИЕ

В данной статье рассмотрен метод построения гибридного регистра ассоциативной памяти. В его составе находятся как статические, так и динамические запоминающие ячейки. Кроме того, в составе полученного регистра отсутствует внешний сигнал управления предзарядом, что облегчает построение схемы синхронизации для всего блока ассоциативной памяти. Управление предзарядом осуществляется внутри самого регистра при помощи логического элемента XOR.

Характеристики полученного гибридного регистра для технологии 28 нм намного лучше характеристик регистров, реализованных классическим способом на основе только статических и только динамических ячеек памяти. Потребляемая мощность регистра ассоциативной памяти, реализованного гибридным методом, практически равна потребляемой мощности регистра ассоциативной памяти, реализованного только на динамических ячейках памяти, а задержка выходного

сигнала сравнения гибридного регистра почти на 70% меньше.

Полученный метод может быть реализован на регистрах любой разрядности, что позволит существенно экономить потребляемую мощность, не теряя, а даже увеличивая быстродействие регистров ассоциативной памяти.

ЛИТЕРАТУРА

- [1] Сысоева О.В., Кириченко П.Г., Буякова О.Н., Осина С.Э. Методика схемотехнического и топологического проектирования буфера преобразования адресов для высокопроизводительного MIPS-процессора // Электроника, микро- и наноэлектроника. Сб. научн. трудов. / Под ред. В.Я. Стенина - М.: МИФИ, 2011 - С. 250-255
- [2] K. Pagiamtzis and A. Sheikholeslami Content-Addressable Memory (CAM) Circuit and Architectures: A Tutorial and Survey, IEEE J. Solid-State Circuits, vol. 41, no.3, pp.712-727, March 2006.
- [3] H. Miyatake, M. Tanaka, and Y. Mori, A design for high-speed lowpower CMOS fully parallel content-addressable memory macros, IEEE J. Solid-State Circuits, vol. 36, no. 6, pp. 956-968, Jun. 2001.
- [4] I. Y.-L. Hsiao, D.-H. Wang, and C.-W. Jen, Power modeling and low-power design of content addressable memories, in Proc. IEEE Int. Symp. Circuits Syst. (ISCAS), vol. 4, 2001, pp. 926-929.
- [5] K. Itoh, Low-voltage memories for power-aware systems, Int. Symp. on Low Power Electronics and Design, pp1-6, Aug. 2002.
- [6] Вонг Б.П., Миттал А., Цао Ю., Старр Г. Проектирование с учетом пригодности для массового производства // Нано-КМОП схемы и проектирование на физическом уровне. / М.: Техносфера, 2014 - С. 365-376
- [7] Circuit Simulator and Accelerated Parallel Simulator User Guide Product Version 14.1 October 2014.

Design of the hybrid CAM register

L.A. Solovyeva

Federal State Institution «Scientific Research Institute for System Analysis of the Russian Academy of Sciences», Isolov@cs.niisi.ras.ru

Keywords — CAM memory cell, power consumption, leakage currents.

ABSTRACT

The paper presents the method of designing the CAM (Content-Addressable Memory) register as the unit combining both static and dynamic memory cells. The first part of the paper concerns the static and dynamic implementations of the register. For each type of implementation the average power consumption and delay time of match line are estimated.

Each rescribed implementation has own advantages and disadvantages. The main advantage of the static CAM

register is the high noise immunity which is important for circuits with a low power supply voltage. However, 28-nm process CAM register has relatively high power consumption. The reason is that the register contains the common match line signal generation circuit, which consists of a large number of logical elements. Power consumption of the 28-nm process-based dynamic CAM register is rather low. However, the dynamic register has very low noise immunity and that is critical for processes with low power voltage. In addition the dynamic CAM register delay of output match signal has the strong dependence on the register capacity.

In the second part of paper the joint implementation of static and dynamic memory cells is researched. In particular the static CAM register common match line signal generation approach was used for the dynamic CAM register. For this purpose the circuit fragmentation of the dynamic register was made. After that authors joined each fragment match line by the common match signal generation circuit similar to the same of the static register. It has allowed to increase the reliability of the dynamic register significantly and to decrease the match line delay.

At the following step the additional logical XOR element was included to the match line generation circuit. It allowed to simplify the synchronization of the whole CAM and also to reduce its power consumption. Lowering The power consumption decrease at this step was achieved due to reduction of logical stages in the common match line generation tree.

However, despite the reached improvement, this option is not the best from the power consumption point of view. Therefore in the modified register unit the part of dynamic cells was replaced with static ones. Introduction of static cells allowed to reduce the power required for precharge of the match line.

In final part several versions of the registers with different static/dynamic cells ratio were researched. The analysis of all available options allowed us to find an optimal one from the power consumption and the speed point of view. The performance of the final hybrid register version was the best for the chosen process in comparison with that of the registers earlier considered.

The presented approach allows to pick up the best ratio of dynamic and static memory cells in the registers of any digit capacity. At the same time the performance such as

the power consumption, delay of the match line signal and reliability will be in such an implementation better than in registers using only one type of memory cells.

REFERENCES

- [1] O.V. Sysoeva, P.G. Kirichenko, O.N. Bujakova, S.E. Osina Technique of circuitry and topological design of translation lookaside buffer for the high-performance MIPS-processor. Sb. nauchn. trudov «Elektronika, mikro- i nanoelektronika» - Proc. of the national research nuclear university «MEPhI» "Electronics, micro- and nanoelectronics", 2011, pp. 250-255 (in Russian).
- [2] K. Pagiamtzis and A. Sheikholeslami Content-Addressable Memory (CAM) Circuit and Architectures: A Tutorial and Survey, IEEE J. Solid-State Circuits, vol. 41, no.3, pp.712-727, March 2006.
- [3] H. Miyatake, M. Tanaka, and Y. Mori, A design for high-speed lowpower CMOS fully parallel content-addressable memory macros, IEEE J. Solid-State Circuits, vol. 36, no. 6, pp. 956–968, Jun. 2001.
- [4] I. Y.-L. Hsiao, D.-H. Wang, and C.-W. Jen, Power modeling and low-power design of content addressable memories, in Proc. IEEE Int. Symp. Circuits Syst. (ISCAS), vol. 4, 2001, pp. 926–929.
- [5] K. Itoh, Low-voltage memories for power-aware systems, Int. Symp. on Low Power Electronics and Design, pp1-6, Aug. 2002.
- [6] B.P. Vong, A. Mittal, J. Cao, G. Starr Designing for suitability for mass production. Nano-KMOP shemy i proektirovanie na fizicheskom urovne - Nano-KMOP diagrams and design at the physical layer, Tehnosfera Publ., 2014, pp. 365-376 (in Russian).
- [7] Circuit Simulator and Accelerated Parallel Simulator User Guide Product Version 14.1 October 2014