

Оценка надежности при одиночных сбоях в кэш-памяти в маршруте проектирования системы на кристалле

О.В. Мамутова

Санкт-Петербургский политехнический университет Петра Великого,
mamoutova@kspt.icc.spbstu.ru

Аннотация — На каждом этапе проектирования надежной системы на кристалле необходимо оценивать ее уязвимость к одиночным сбоям. В работе рассматривается задача такого анализа для кэш-памяти процессора. Сформулированы недостатки существующих подходов для платформенно-ориентированного проектирования. Предложен комплекс новых методов оценки, позволяющих существенно сократить время анализа: быстрая аналитическая оценка для ранних этапов проектирования и подход к эмуляции внесения неисправностей. Предложена методика интеграции этих методов в маршрут проектирования, проиллюстрированная примером разработки бортового вычислителя малого спутника.

Ключевые слова — система на кристалле, платформа, кэш-память, надежность, одиночный сбой, информационный отказ, моделирование, внесение неисправностей.

I. ВВЕДЕНИЕ

Системы на кристалле (СнК) решают проблему роста объемов обрабатываемой информации в бортовых приборах космических аппаратов, когда требуется существенное повышение производительности вычислителей при ограничениях по массе и энергопотреблению. Однако повышенная степень интеграции делает СнК особенно уязвимыми к ионизирующему излучению космического пространства, вызывающему различные радиационные эффекты [1]. Среди них для современных полупроводниковых компонентов наибольшую вероятность имеют одиночные сбои.

При одиночном сбое инвертируется значение одного или нескольких смежных разрядов запоминающих элементов [2]. И хотя после операции записи функциональность сбившегося бита полностью восстанавливается, информация с ошибкой может быть считана за время до восстановления, приводя к информационному отказу [3]. В СнК основная доля таких одиночных сбоев приходится на блоки памяти, в том числе кэш-память, занимающую до 80% площади кристалла.

Анализ уязвимости системы к одиночным сбоям необходим на каждом этапе проектирования – для обоснованного выбора параметров узлов системы и мер борьбы с ошибками, а также верификации реализованных мер [4]. Но на сегодняшний день методологии проектирования надежных СнК не обладают полнотой, необходимой для решения этой задачи.

В статье рассмотрена проблема оценки влияния одиночных сбоев в кэш-памяти в контексте платформенно-ориентированного проектирования, требующего от методов анализа максимальной скорости, и предложен новый комплекс методов быстрой оценки для кэш-памяти, необходимый для дополнения существующих маршрутов проектирования надежных СнК.

II. ПЛАТФОРМЕННО-ОРИЕНТИРОВАННОЕ ПРОЕКТИРОВАНИЕ

Проектирование СнК – это итеративный процесс сужения пространства возможных решений на каждой итерации [5]: начиная с разработки функциональной спецификации и ключевых требований, продолжая поэтапной детализацией описания системы и заканчивая изготовлением фотошаблона кристалла и интеграцией в систему верхнего уровня (рис. 1).



Рис. 1. Процесс проектирования

Прямой пунктирной линией на рис. 1 изображен маршрут проектирования, когда пространство возможных решений сужается равномерно от верхней точки с исходным пространством решений до нижней точки конечной реализации. На практике маршруты проектирования редко можно представить такой прямой. Так, изогнутой линией на рис. 1 показан ход платформенно-ориентированного проектирования [6] – де-факто современного стандарта проектирования.

Суть платформенно-ориентированного подхода состоит в существенном сужении пространства возможных решений на этапах системного проектирования за счет использования платформы – параметризованных

аппаратных структур, дополненных системным программным обеспечением (ПО). В итоге основное время должно занимать системное проектирование, после чего за короткий срок возможен переход к отладке и оценке выбранных решений на прототипе в программируемой логической интегральной схеме (ПЛИС).

Библиотека элементов и технология производства считаются определенными. Поэтому рассматриваемое пространство возможных решений включает в себя:

- состав и параметры иерархии памяти,
- меры структурной и информационной избыточности для борьбы с ошибками,
- отображение данных на память, определяемое распределением вычислительной нагрузки.

III. ОБЗОР МЕТОДОВ ОЦЕНКИ ЧУВСТВИТЕЛЬНОСТИ ПРОЦЕССОРА К ОДИНОЧНЫМ СБОЯМ В КЭШ-ПАМЯТИ

Используемая для оценки модель кэш-памяти должна удовлетворять нескольким требованиям. Модель должна учитывать характер вычислительной нагрузки, поскольку реакция системы зависит от времени до обращения к слову с ошибкой и типа этого обращения. Также должно быть возможным моделирование работы системы на отрезках времени, сравнимых со временем выполнения задач системы, т.к. время жизни ошибки в кэш-памяти сопоставимо со временем исполнения программы и увеличивается для кэш-памяти верхних уровней. Дополнительное требование обусловлено использованием платформы: необходимо обеспечивать быстрый цикл «выбор решения» – «синтез нового описания» – «верификация».

A. Анализ при системном проектировании

Исходными данными для системного проектирования является архитектура процессора. Поэтому часто используют модели производительности в виде симуляторов процессора с потактовой точностью, расширенные для оценки надежности [7]. Такой подход даёт высокую точность оценки, но время оценки не высоко. Кроме того, требуется оригинальный симулятор целевой архитектуры процессора и образцы ПО.

Более универсальны имитационные модели, например, на базе марковских процессов [8, 9]. Но при учете характера вычислительной нагрузки время получения оценок с их помощью оказывается неприемлемым из-за длительности прогонов моделирования.

Поэтому для системного проектирования требуются аналитические модели, дающие быстрые оценки при составлении предварительного бюджета проекта. Однако проведенное исследование показало, что для оценки надежности кэш-памяти необходимы новые аналитические модели, которые смогут учитывать характер вычислительной нагрузки [10].

B. Анализ в ходе отладки и интеграции

Для анализа синтезируемого RTL-описания используют *внесение неисправностей* – преднамеренное введение в систему сбоев с целью изучения ее реакции [11]. Использование при этом симуляторов не может

дать статистически значимых результатов для длинных отрезков модельного времени. Поэтому эффективна эмуляция внесения неисправностей, когда моделью устройства выступает его реализация на ПЛИС.

Один из таких подходов использует динамическую реконфигурацию, когда для эмуляции ошибки меняется конфигурационная последовательность ПЛИС, без модификации исходного описания тестируемого устройства [12]. Этот способ минимизирует аппаратные затраты, но применим только с семействами ПЛИС с функцией динамической реконфигурации.

В отличие от реконфигурации метод *оснащения* применим с произвольными ПЛИС. При оснащении агенты внесения неисправностей и, при необходимости, другие элементы экспериментального окружения добавляются к самому исследуемому устройству.

Однако большинство существующих способов позволяет вносить неисправности только в отдельные триггеры, и лишь некоторые – в блоки встроенной памяти [13]. Проведенное исследование показало необходимость создания нового метода оснащения блоков памяти, который обеспечит минимальные накладные расходы по занимаемой площади кристалла [14].

IV. МОДЕЛИРОВАНИЕ НАДЕЖНОСТИ КЭШ-ПАМЯТИ

A. Аналитическая модель надежности кэш-памяти

Получена новая аналитическая модель для оценки показателя уязвимости (англ. VF – *vulnerability factor*) – вероятности информационного отказа после возникновения ошибки в кэш-памяти. Информационный отказ для кэш-памяти определен как распространение ошибки в один из соседних уровней иерархии. Подход, сформулированный для массива строк кэш-памяти в [10], позволяет получить аналитические выражения и для таблицы тэгов.

За основу модели взят универсальный принцип работы кэш-памяти: если при очередном обращении нужное значение находится в кэш-памяти (кэш-попадание), то обращение к следующему уровню иерархии памяти может не выполняться; в противном случае происходит обращение к следующему уровню памяти (кэш-промах) и соответствующий блок данных может быть записан в одну из строк кэш-памяти.

Модель оценивает вероятность информационного отказа в зависимости от числа накопленных в разрядах слова/записи тэгов ошибок, возможностей исправления/маскирования реализованного резервирования и стратегии записи/обновления кэш-памяти:

- при чтении с кэш-попаданием или с обратной записью, если ошибка – в строке кэш-памяти;
- при ложном попадании или при ложной обратной записи/ложном отсутствии обратной записи, если ошибка – в записи таблицы тэгов.

Также модель учитывает возможность исправления/маскирования ошибок мерами резервирования и эффекты самовосстановления, когда исполняемая программа записывает новые данные в слово с ошибкой.

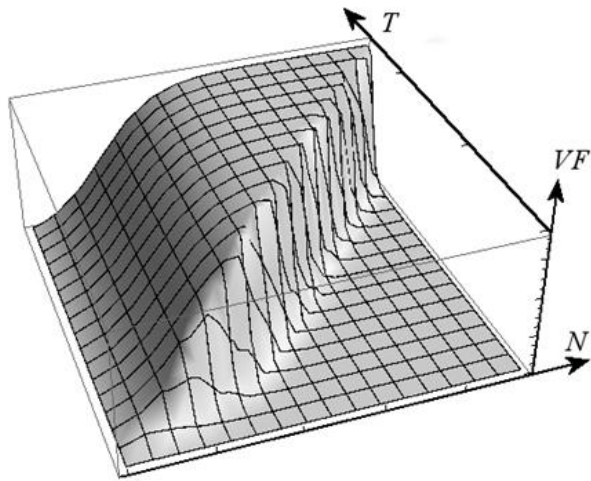


Рис. 2. Форма зависимости показателя уязвимости VF от размера кэш-памяти N и времени наблюдения T

Показанная на рис. 2 трехмерная диаграмма зависимости показателя уязвимости (VF) от размера кэш-памяти (N) и времени наблюдения (T) имеет вид ступени в форме треугольной призмы. Примечательно, что при изменении значений остальных параметров модели диаграмма сохраняет свою форму, меняя только масштаб и диапазон значений показателя VF .

Действительно, величина показателя уязвимости существенно определяется двумя процессами в ходе исполнения программы: самовосстановлением при кэш-промахах/записи и чтением при кэш-попадании. С ростом N вероятность промахов снижается, и значение VF соответственно растет до уровня, определяемого вероятностью записи. Но с увеличением N вероятность обращения к слову с ошибкой уменьшается, поэтому значение VF тоже уменьшается. С другой стороны, со временем T вероятность обращения к слову с ошибкой растет, и при фиксированном N значение VF возрастает до максимума. И чем больше N , тем позже наступает этот момент.

Переход от функции показателя уязвимости VF к традиционной функции вероятности информационного отказа P выполняется интегрированием по времени:

$$P(T) = \int_0^T f(t) \cdot VF(T - t) dt,$$

где T – время наблюдения за системой, $f(t)$ – плотность распределения времени между ошибками в слове/тэге с учетом вероятности многократных сбояв.

В. Эмуляция внесения неисправностей в кэш-память

Предложенный для блоков памяти подход к внесению неисправностей использует оснащение саботажниками и управление экспериментом с помощью само-

го процессора (см. рис. 3). При этом гарантируется возможность внесения ошибок в теньевые структуры памяти, программно недоступные процессору – не только кэш-память, но и массивы регистров.

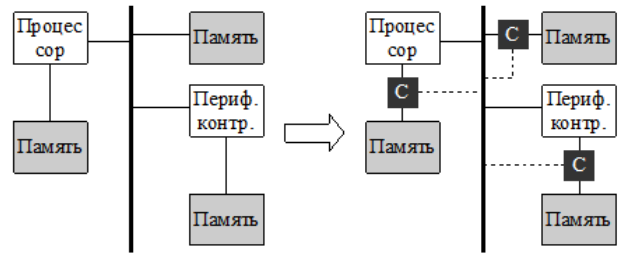


Рис. 3. Оснащение системы агентами внесения неисправностей в блоки памяти: слева – исходная система, справа – модифицированная система с саботажниками

Такой подход хорошо поддается автоматизации и по сравнению с другими методами эмуляции внесения неисправностей обладает универсальностью и значительно уменьшает требуемую для проведения эксперимента площадь кристалла. Вкупе это позволяет существенно сократить требуемое для оценки время [14].

V. ИНТЕГРАЦИЯ В МАРШРУТ ПЛАТФОРМЕННО-ОРИЕНТИРОВАННОГО ПРОЕКТИРОВАНИЯ

A. Постановка задачи проектирования

Проектирование рассматривается как целенаправленный выбор значений собственных параметров и значений параметров резервирования для подсистем прибора.

Первый цикл оптимизации целевой функции выполняется на уровне системного проектирования. Чтобы избежать неоправданного усложнения в условиях взаимозависимости между надежностью, производительностью и энергопотреблением, в модели верхнего уровня не включают детальное описание всех узлов прибора. В том числе общее выражение целевой функции не включает в себя зависимости характеристик СнК от всех параметров ее иерархии памяти.

Второй цикл оптимизации выполняется при отладке работы СнК на ПЛИС, когда верифицируются выбранные в ходе системного проектирования проектные решения и уточняются полученные ранее оценки.

Далее описано, как предложенные для кэш-памяти новые методы аналитической оценки и внесения неисправностей могут быть интегрированы в подобную методику проектирования (см. рис. 4). Детали отдельных этапов проиллюстрированы на примере вычислителя бортового прибора на базе платформы для малого спутника [15].

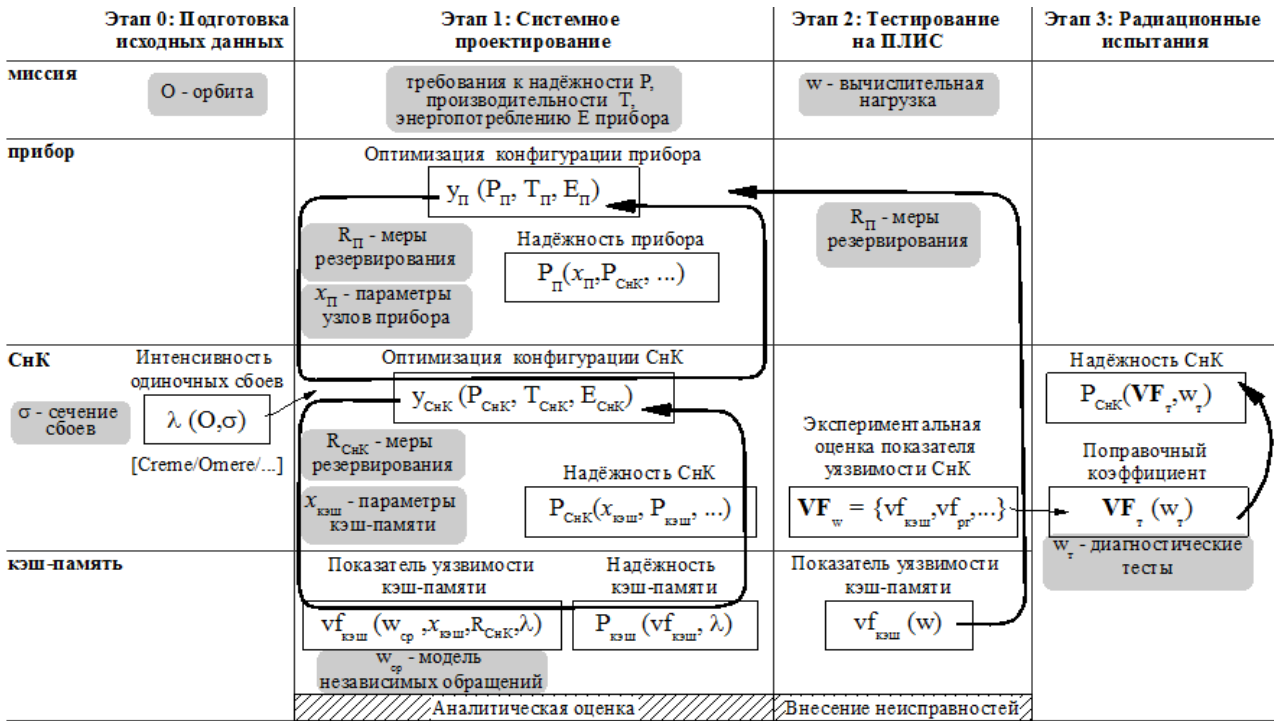


Рис. 4. Схема включения предложенных средств анализа надежности в методику проектирования устройства

В. Этапы маршрута проектирования

Этап 0. Исходные данные для анализа. Традиционно оценка интенсивности одиночных сбоев λ использует распределение Вейбулла для функции сечения сбоев σ от протонов и ТЗЧ. Параметры распределения могут быть получены компьютерным моделированием послойной структуры кристалла, из технических условий на кристалл после квалификационных испытаний или выбраны на основе данных для аналогичной технологии изготовления кристалла. При определенном сечении сбоев оценка интенсивности потока сбоев выполняется для орбиты O целевой миссии с помощью специализированных или общедоступных, таких как *Creme* или *Omere*, средств моделирования.

Реализация этапа 0. Для выбранной элементной базы параметры x_0 , W , s и A распределения Вейбулла для сечения сбоев от протонов равны 10 и 30 МэВ, 2 и $2,2 \cdot 10^{-6}$ мкм² соответственно. Полученное с помощью моделей *Creme* значение ожидаемой интенсивности одиночных сбоев на выбранной низкой околоземной орбите в худшем случае равно 10^{11} сбоев/бит/с.

Этап 1. Системное проектирование. Пусть целевая функция оптимизации сформулирована как

$$U_{\Pi}(x_{\Pi}, \alpha, \beta, \gamma) = \alpha R_{\Pi}(x_{\Pi}) + \beta T_{\Pi}(x_{\Pi}) + \gamma E_{\Pi}(x_{\Pi}),$$

где x_{Π} – значения параметров узлов прибора и меры резервирования R_{Π} ; R_{Π} , T_{Π} и E_{Π} – оценки соответственно надежности, производительности и энергопотребления прибора; α , β , γ – экспертные коэффициенты.

Новая итерация системного проектирования начи-

нается с выбора значений x_{Π} и R_{Π} и составления бюджета для СнК – требований к надежности $R_{\text{СнК}}$, производительности $T_{\text{СнК}}$ и энергопотреблению $E_{\text{СнК}}$. Затем выполняется оптимизация на уровне СнК, и при невыполнимости требований бюджета – переход к следующей итерации системного проектирования.

Аналогично выполняется вложенный цикл оптимизации на уровне СнК, в том числе для поиска значений $x_{\text{кэш}}$ и $R_{\text{СнК}}$, удовлетворяющих заданным требованиям к $R_{\text{СнК}}$, $T_{\text{СнК}}$ и $E_{\text{СнК}}$.

Пусть критерий надежности прибора $R_{\Pi}(x_{\Pi})$ – вероятность безотказной работы, где $R_{\text{СнК}}$ выступает множителем в общем выражении R_{Π} . В свою очередь, $R_{\text{кэш}}$, вероятность безотказной работы в условиях одиночных сбоев в кэш-памяти с параметрами $x_{\text{кэш}}$, также является множителем в выражении для надежности $R_{\text{СнК}}$.

Предложенная аналитическая модель решает задачу аналитической оценки $R_{\text{кэш}}(x_{\text{кэш}})$, используя оценку показателя уязвимости $vf_{\text{кэш}}$ и усредненные характеристики вычислительной нагрузки $w_{\text{ср}}$.

Реализация этапа 1. Функциональная спецификация определяет безотказное выполнение всех функций прибора с вероятностью $R_{\Pi} = 0,99$ в течение срока активного существования 5 лет.

На этапе системного проектирования определено, что заложенная в платформу структурная избыточность определяет требование к надежности процессора в части информационных отказов с вероятностью безотказной работы $R_{\text{СнК}} = 0,84$ в течение периода сброса, равного 24 часам. Также определено, что для обеспечения производительности потребуется кэш-память

процессора, при этом площадь кристалла позволяет разместить только один уровень кэш-памяти.

Для кэш-памяти необходимо выбрать её размер и мощность мер резервирования. Далее описан анализ для кэш-памяти данных, но аналогично выполняется анализ для кэш-памяти команд и таблиц тэгов.

При ожидаемой интенсивности сбоев λ вероятность возникновения ошибки в памяти за время между сбросами достигает 0,35, что превышает значение допустимой вероятности информационного отказа, равное 0,26. При этом расчетное значение вероятности информационного отказа с учетом эффектов самовосстановления в кэш-памяти составило не более 0,2 для любого объема кэш-памяти. Это значение меньше допустимого (0,26), поэтому определено, что отсутствует необходимость использования помехоустойчивого кодирования для исправления ошибок и не требуется уменьшать период принудительного сброса.

Этап 2. Тестирование в ПЛИС выполняется для верификации поведения системы при возникновении одиночных сбоев и, при необходимости, коррекции выбранных на системном уровне проектных решений. Предлагаемый подход внесения неисправностей для кэш-памяти дополняет уже существующие средства внесения неисправностей в отдельные триггеры и регистры устройства, позволяя проводить для эмулируемых в кэш-памяти одиночных сбоев:

- валидацию и верификацию мер повышения надежности R_{Π} и проверку реакций на ошибки на уровне всего прибора или одной из подсистем СнК;
- профилирование программ w для классификации возникающих ошибок;
- уточнение оценок показателя уязвимости $v_{\text{кэш}}$.

Реализация этапа 2. Средства по внесению неисправностей в кэш-память для готовой системы на базе ПЛИС позволили подтвердить корректную работу реализованных механизмов борьбы с информационными отказами на системном уровне – обнаружение ошибок в памяти и восстановление после информационного отказа. Также проведенные для тестовой вычислительной нагрузки эксперименты позволили выявить наборы программ, для которых ошибки в кэш-памяти наиболее критичны и требуют дополнительных мер алгоритмической и временной избыточности.

Так, для одной из задач разработанной синтетической вычислительной нагрузки показатель уязвимости в худшем случае составил 0,43 (при объеме памяти равном 1 КБ), причем только 2,5% всех ошибок приводят к невозможности выполнения программы, тогда как оставшиеся ошибки не влияют на ход выполнения программы, а только меняют результат ее выполнения.

Этап 3. Радиационные испытания. Для СнК исследования на стойкость к одиночным сбоям требуют разработки специальных методик проведения радиационных испытаний и последующей интерпретации результатов [16]. Значение показателя уязвимости $V_{\text{Т}}$

для диагностических тестов $w_{\text{т}}$, полученное на этапе 2, позволяет дополнить такую методику поправочными коэффициентами в функции надежности $R_{\text{СнК}}$.

VI. ЗАКЛЮЧЕНИЕ

При платформенно-ориентированном подходе средства оценки надёжности не должны существенно увеличивать время итераций проектирования. Предложенные методы анализа надежности решают эту задачу для кэш-памяти СнК, работающей в условиях одиночных сбоев.

Предложенные методы включают аналитический расчет уязвимости и эмуляцию внесения неисправностей в блоки памяти. В статье проведено обобщение полученных ранее результатов и определено место предложенных средств в маршруте проектирования СнК.

ЛИТЕРАТУРА

- [1] Кузнецов Н.В. Глава 3.9. Радиационные условия на орбитах космических аппаратов // Модель космоса т. 1 Физические условия в космическом пространстве. М.: КДУ, 2007. Вып. 8. С. 627–641.
- [2] Nicolaidis M. Soft errors in modern electronic systems. New York: Springer, 2011. 368 p.
- [3] Максименко С.Л., Мелехин В.Ф. Анализ надежности функциональных узлов цифровых СБИС со структурным резервированием и периодическим восстановлением работоспособного состояния // Информационно-управляющие системы. 2013. т. 63. № 2. С. 18–23.
- [4] Design and test technology for dependable systems-on-chip. PA: IGI Global, 2011. 578 p.
- [5] Стешенко В. и др. Проектирование СБИС типа “Система на кристалле”. Маршрут проектирования. Синтез схемы. Ч. 1 // Электронные компоненты. 2009. № 1. С. 14–21.
- [6] Keutzer K. et al. System-level design: orthogonalization of concerns and platform-based design // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2000. V. 19. No. 12. P. 1523–1543.
- [7] Asadi G.H. et al. Balancing Performance and Reliability in the Memory Hierarchy // Int. Symposium on Performance Analysis of Systems and Software, 2005. P. 269–279.
- [8] Даниленко И.Н. Функционально-структурные модели в имитационно-статистическом моделировании надежности отказоустойчивых микропроцессорных систем // Информационные технологии моделирования и управления. Воронеж: Научная книга, 2004. С. 24–34.
- [9] Performability modelling: techniques and tools / Eds. B.R. Haverkort et al. Wiley, 2001. 320 p.
- [10] Мамутова О.В. Аналитические модели надежности кэш-памяти // Информационные технологии и вычислительные системы. 2015. № 4. С. 13–21.
- [11] Benso A., DiCarlo S. The Art of Fault Injection // Control Engineering and Applied Informatics. 2011. No. 4. P. 9–18.
- [12] Antoni L., Leveugle R., Feher B. Using run-time reconfiguration for fault injection applications // IEEE Transactions on Instrumentation and Measurement. 2003. V. 52. No. 5. P. 1468–1473.
- [13] Portela-Garcia M. et al. A new approach to accelerate SEU sensitivity evaluation in circuits with embedded memories // Proc. SPIE 7363, VLSI Circuits and Systems IV / Eds. T. Riesgo, E. de la Torre, L.S. Indrusiak. 2009. P. 73630X.
- [14] Мамутова О.В., Ненашев О.В., Филиппов А.С. Автоматизация низкоуровневого оснащения системы на кристалле средствами эмуляции внесения сбоев в память // Известия высших учебных заведений. Электроника. 2015. т. 20. № 1. С. 50–57.

[15] Mamoutova O. и др. Platform-based embedded solution for small satellite's onboard computing // Proc. 17TH Conference of Open Innovations Association (FRUCT). Yaroslavl, 2015. P. 116–121.

[16] Чумаков А.И. и др. Прогнозирование локальных радиационных эффектов в ИС при воздействии факторов космического пространства // Микроэлектроника. 2010. т. 39. № 2. С. 85–90.

Reliability evaluation for SEU in cache in system-on-chip design

O.V. Mamoutova

Peter the Great Saint Petersburg Polytechnic University, mamoutova@kspt.icc.spbstu.ru

Keywords — System-on-chip, SoC, platform, cache, memory, reliability, SEU, soft error, simulation, fault injection.

ABSTRACT

Systems-on-chip are often used in modern spacecrafts to meet the increasing data processing requirements. However, with the current level of technology systems-on-chip are highly susceptible to soft errors. The proper choice of measures to improve the reliability should be based on reliability evaluations at every design stage.

Modern methodologies of design for reliability still lack a full set of the necessary methods though. This work examines the problem of reliability estimation for a cache memory, which is the most vulnerable node of most systems-on-chip. The paper reviews the state-of-the-art analysis methods and presents new methods for fast evaluations, which are suitable for the de-facto standard platform-based design approach.

The first method is a fully analytical evaluation of a cache vulnerability to soft errors. The method gives insight into relationships between parameters of the reliability function and allows fast rough reliability estimations at the early design stages.

The second method supports FPGA-based emulated fault injection experiments by instrumentation of a cache memory with saboteurs, which are controlled by the processor of the tested system itself. This method reduces both chip area overheads and estimation time.

The presented methods assist in the process of design space exploration for a platform-based design methodology. Fast analytical evaluations of reliability are necessary during the system level design to select the platform parameters. Then emulated fault injection is necessary for verification of a synthesized solution. Also, obtained vulnerability factors complement the interpretation of physical radiation test results. The presented case study for a data cache of a small satellite's on-board computer illustrates this design flow.

REFERENCES

- [1] Kuznetsov N.V. Radiation environment in spacecraft orbits. Model' kosmosa. Fizicheskie usloviya v kosmicheskom prostranstve - *Model of Space. Physical environment in Space*, Moscow: KDU, 2007, iss. 8, pp.627-641 (in Russian).
- [2] Nicolaidis M. Soft errors in modern electronic systems. New York: Springer, 2011, 368 p.

- [3] Maximenko S.L., Melekhin V.F. Analysis of reliability of functional nodes of digital VLSI circuits with structural redundancy and periodic operational state recovery. IUS, 2013, vol. 63, no. 2, pp. 18–23 (in Russian).
- [4] Ubar R., Raik J., Vierhaus H.T., eds. Design and test technology for dependable systems-on-chip. Hershey, PA, IGI Global, 2011. 578 p.
- [5] Steshenko V., Rutkevich A., Gladkova E., Schishkin G., Voronkov D. Design of SoC type VLSI chip. Design flow. Schematic synthesis. Electronniye componenty – *Electronic parts*, 2009, no. 1, pp. 14–21 (in Russian).
- [6] Keutzer K., Newton A.R., Rabaey J.M., Sangiovanni-Vincentelli A. System-level design: orthogonalization of concerns and platform-based design. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2000, vol. 19, no. 12, pp. 1523–1543.
- [7] Asadi G.H., Mehdi V.S., Tahoori B., Kaeli D. Balancing Performance and Reliability in the Memory Hierarchy. Proc. IEEE International Symposium on Performance Analysis of Systems and Software, 2005, pp. 269–279.
- [8] Danilenko I.N. Functional-structural models in statistical simulations of fault-tolerant systems with microprocessors reliability. Information technologies in simulation and control, Voronezh: Nauchnaya kniga, 2004, pp. 24–34 (in Russian).
- [9] Haverkort B.R., Marie R., Rubino G., Trivedi K.S., eds. Performability modelling: techniques and tools. Chichester, UK, New York, Wiley, 2001. 320 p.
- [10] Benso A., DiCarlo S. The Art of Fault Injection. Journal of Control Engineering and Applied Informatics, 2011, vol. 13, no. 4, pp. 9–18.
- [11] Antoni L., Leveugle R., Feher B. Using run-time reconfiguration for fault injection applications. IEEE Transactions on Instrumentation and Measurement, 2003, vol. 52, no. 5, pp. 1468–1473.
- [12] Portela-Garcia M., Garcia Valderas M., Lopez-Ongil C., Entrena L, Riesgo T., de la Torre E., Indrusiak L.S. A new approach to accelerate SEU sensitivity evaluation in circuits with embedded memories. Proc. SPIE 7363, VLSI Circuits and Systems IV, pp. 73630X–73630X–9.
- [13] Mamoutova O.V. Analytical models of reliability of cache memory. Informacionnye tehnologii i vychislitel'nye sistemy - *Information technologies and computer systems*, 2015, no. 4, pp. 13–21 (in Russian).
- [14] Mamoutova O.V., Nenashev O.V., Filippov A.S. System on Chip Instrumentation for Emulated Memory Fault Injection. Izvestiia vuzov. Electronics, 2015, vol. 20, no. 1, pp. 50–57 (in Russian).
- [15] Mamoutova O., Fedotov A., Filippov A., Antonov A. Platform-based embedded solution for small satellite's onboard computing. Proc. 17TH Conference of Open Innovations Association (FRUCT), 2015, pp. 116–121.
- [16] Chumakov A.I., Vasilyev A.L., Kozlov A.A., Kol'cov D.O., Krinickij A.V., Pechenkin A.A., Tararaksin A.S., Janenko A.V. Single event effects prediction in IC under space radiation environment. Mikroelektronika, 2010, vol. 39, no. 2, pp. 85–90 (in Russian).