

# Методика выбора параметров логической цепи в нанометровых КМОП СБИС с повышенной сбоеустойчивостью

Ю.М. Герасимов<sup>1</sup>, Н.Г. Григорьев<sup>1</sup>, А.В. Кобыляцкий<sup>2</sup>

<sup>1</sup>Национальный исследовательский ядерный университет «МИФИ»

<sup>2</sup>ОАО НПЦ «ЭЛВИС», andreykob91@mail.ru

**Аннотация** — На основе упрощенной математической модели возникновения одиночного импульса напряжения (ОИН) в логической цепи представлена методика выбора минимальных размеров транзисторов в логической цепи при заданном уровне стойкости к тяжелым частицам, инвариантная к технологическому процессу. Для проектных норм уровня 0,18/0,13/0,09 мкм проведен детальный анализ влияния различных параметров логической цепи на величину критического заряда возникновения ОИН в этой цепи. Даны рекомендации по проектированию логических цепей с большими коэффициентами разветвления и нагрузки по выходу с использованием методов радиационно-стойкого проектирования (РСП).

**Ключевые слова** — логическая цепь, инвертор, КМОП СБИС, тяжелая частица, ОИН, радиационно-стойкое проектирование.

## I. ВВЕДЕНИЕ

Одной из проблем при переходе на проектные нормы менее 0,25 мкм становится повышение чувствительности элементов к тяжелым частицам (ТЧ) космического пространства [1]. Современные СБИС типа «система-на-кристалле» с повышенной сбоеустойчивостью оснащены встроенными системами коррекции ошибок, которые позволяют эффективно обнаруживать и исправлять одиночные сбои [2]. Однако, эффекты одиночных сбоев могут возникать также в триггерных элементах и защелках в трактах синхронизации и управляющей логике. Как правило, такие виды сбоев исправить с помощью системы коррекции невозможно.

Эффекты от воздействия ТЧ возникают и в логических цепях в виде кратковременных одиночных импульсов напряжений (ОИН, англ. Single Event Transient). Наиболее критичными к ОИН являются самые быстродействующие цепи – цепи тактирования и синхронизации. Перемежаясь вглубь схемы, нежелательные импульсы вызывают функциональные сбои. Поэтому на этапе проектирования цепей синхронизации в нанометровых СБИС с повышенной сбоеустойчивостью необходимо применение дополнительных мер по повышению их устойчивости к воздействию ТЧ.

Большинство существующих методов РСП на системном и схемотехническом уровнях направлены на ограничение пути распространения и проникновения

нежелательного импульса вглубь логической иерархии. К таким методам относятся: аппаратное и временное дублирование и троирование, мажоритарная и тактируемая логика [3]. Применение подобных мер позволяет эффективно бороться с последствиями, вызываемыми ОИН, но не с причинами.

Эффективным методом повышения сбоеустойчивости является выбор абсолютных и относительных размеров транзисторов в элементах логической цепи [4]. Как правило, в литературе, посвященной проектированию логических трактов, стойких к ОИН, выбор размеров транзисторов теоретически не обосновывается. В работе представлена методика выбора оптимальных при заданном уровне стойкости параметров логической цепи на основе математической модели ОИН. Методика рассматривается на примере простейшей логической цепи, является инвариантной к технологическому базису и также позволяет достичь компромисса по основным электрическим параметрам.

## II. ОСНОВНЫЕ ПАРАМЕТРЫ ЛОГИЧЕСКОЙ ЦЕПИ

На этапе проектирования логического тракта необходимо правильно выбрать его параметры, поскольку именно они определяют не только характеристики быстрой цепи, но и функционирование системы в целом. На рис.1 представлена простейшая цепь логических элементов с указанием ее основных параметров.

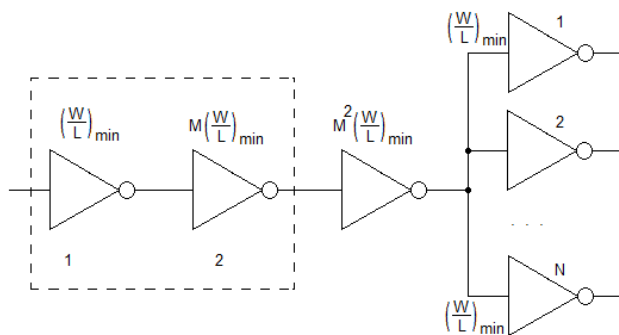


Рис. 1. Простейшая логическая цепь с разветвлением по выходу и коэффициентом нагрузки  $M$

К основным параметрам логической цепи относятся:

- 1) Размеры р- и n-канальных транзисторов. Как правило, в цепях, где не требуется задержка распространения сигнала, длина канала выбирается минимально возможной, варьируются только значения ширин каналов транзисторов. Ширины р- и n-канальных транзисторов связаны друг с другом соотношением:

$$W_p = \xi W_n,$$

где  $\xi$  – коэффициент пропорциональности, определяемый соотношением удельных токов транзисторов. В трактах синхронизации для сохранения скважности передаваемого сигнала необходимо равенство задержек распространения фронта и спада сигнала, что достигается при равенстве удельных токов транзисторов. Поэтому  $\xi = I_{n0}/I_{p0}$ , где  $I_{p0,n0}$  – удельные токи р- и n-канальных транзисторов в мА/мкм.

- 2) Коэффициент нагрузки (М на рис.1) – позволяет определить степень уموощнения сигнала для передачи его на следующие каскады цепи при требуемом уровне быстродействия и количестве нагружаемых элементов. Определяется из расчета предельных параметров быстродействия в кольцевом генераторе для данного уровня проектных норм: асимптотической задержки ( $t_a$ ) и предельной частоты работы.
- 3) Коэффициент разветвления по выходу (N на рис.1) – количество каскадов в нагрузке, используется при построении дерева синхронизации с большим количеством тактируемых элементов и уровней иерархии, в сочетании с коэффициентом нагрузки определяет нагрузочную способность каскада. На рис.1  $N = M^3$ .

Таким образом, процесс оптимизации логической цепи сводится к выбору размеров транзисторов и коэффициента нагрузки.

### III. МАТЕМАТИЧЕСКАЯ МОДЕЛЬ ОИН В ЛОГИЧЕСКИХ ЦЕПЯХ

В настоящее время теоретические аспекты возникновения ОИН в логической цепи при попадании ТЧ достаточно подробно рассмотрены в литературе. Так, например, представленные в [4]-[5] математические модели ОИН предназначены для расчета в SPICE-подобных симуляторах и позволяют получать высокоточные результаты моделирования воздействия ТЧ. Однако, при предварительных оценках электрических параметров и площади схемы на этапе анализа технического задания такая точность не требуется, учитывая также условия отсутствия данных о параметрах импульса ионизационного тока. В указанных источниках также не анализируется влияние суммарной узловой емкости на амплитудные характеристики ОИН. Ниже представлена упрощенная математическая модель ОИН для оценки параметров логической цепи и их влияния на характеристики ОИН.

Для упрощения дальнейших рассуждений примем, что частица попадает в область одного транзистора под прямым углом от нормали поверхности и, соответственно, оказывает влияние на один переход сток-подложка. Поэтому для рассмотрения эффектов от воздействия ТЧ достаточно двух каскадов простейшей логической цепи (выделено пунктиром на рис.1). Предположим, что на входе каскада 1 фиксируется уровень напряжения, соответствующий логическому 0. Таким образом, р-канальный транзистор оказывается открытым, а n-канальный – закрытым. Будем считать, что все переходные процессы в такой цепи завершены, и соответствующие уровни напряжения установились. Пусть в момент времени  $t = 0$  в область обратного смещенного рп-перехода сток-подложка закрытого транзистора каскада 1 попадает ион с некоторой энергией. По мере прохождения частицы через переход и вглубь полупроводниковой структуры образуются избыточные носители заряда, большая часть которых в результате диффузионно-дрейфовых процессов собирается в области стока, образуя ионизационную реакцию в виде импульса тока  $i_{ТЧ}(t)$ . Этот импульс тока приводит к возникновению в цепи переходного процесса разряда суммарной узловой емкости, определяемой выходной емкостью каскада 1 и входной емкостью каскада 2. Разряд емкости инициирует второй переходный процесс заряда емкости от источника питания  $E_{ИП}$  током  $i_{ИП}(t)$ . На рис. 2а, б показаны эквивалентная схема логической цепи и структура КМОП инвертора на объемном кремнии с направлением протекания переходных процессов. Для упрощения на структуре инвертора области изолирующих окислов STI не показаны.

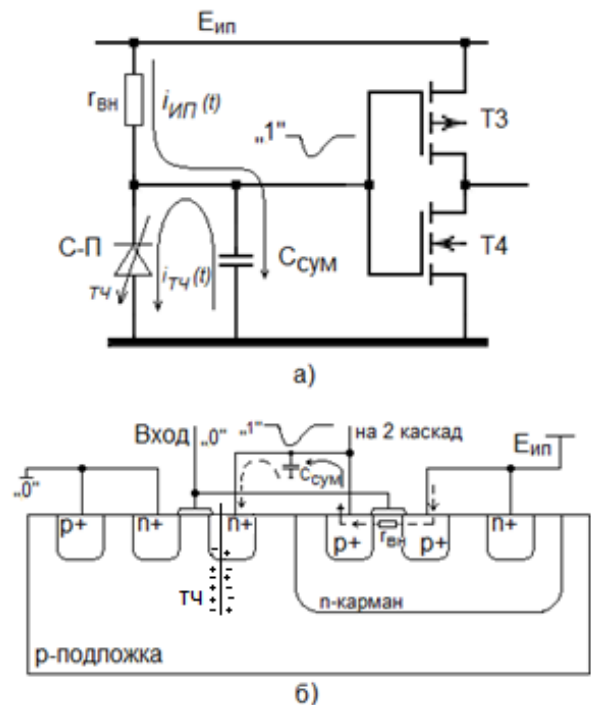


Рис. 2. Эквивалентная схема логической цепи (а) и упрощенная структура КМОП инвертора на объемном кремнии (б) при попадании ТЧ

В каждый момент времени  $t$  после попадания частицы результирующая величина тока будет определяться разностью токов заряда и разряда:

$$\Delta i(t) = |i_{\text{ИП}}(t) - i_{\text{ТЧ}}(t)|. \quad (1)$$

Форма импульса тока  $i_{\text{ИП}}(t)$  в общем случае будет повторять форму импульса тока частицы с разницей в амплитуде тока и, соответственно, постоянной времени фронта, поскольку последняя определяется внутренним сопротивлением  $r_{\text{ВН}}$  канала открытого транзистора (р-канальный транзистор на рис. 2). Сопротивление канала, в свою очередь, нелинейно зависит от разницы потенциалов между стоком и истоком, в нашем случае от  $U_{\text{ВЫХ}}$ , и в начальный момент времени  $t = 0$  принимает максимальное значение. При  $t = \tau_{\text{ФР}}$  постоянная времени фронта импульса  $i_{\text{ИП}}(t)$  будет принимать значение, равное:

$$\tau_0 = r_{\text{ВН}} C_{\text{СУМ}} = \frac{\Delta U_{\text{ВЫХ}}}{\Delta I_c} C_{\text{СУМ}}, \quad (2)$$

где  $\Delta U_{\text{ВЫХ}}$  – изменение напряжения на выходе 1 каскада при попадании частицы,  $\Delta I_c$  – изменение тока открытого транзистора по мере разряда суммарной узловой емкости  $C_{\text{СУМ}}$  на выходе 1 каскада при попадании частицы. Максимальное значение  $\Delta U_{\text{ВЫХ}}$  составляет  $E_{\text{ИП}}$  при достижении  $\Delta I_c$  максимального значения, равного  $W_p I_{p0}$ .

В настоящее время по результатам теоретических и экспериментальных исследований [6] получила распространение двухэкспоненциальная аппроксимация формы импульса тока частицы (рис.3):

$$i_{\text{ТЧ}}(t) = I_m (\exp(-t/\tau_{\text{СП}}) - \exp(-t/\tau_{\text{ФР}})),$$

где  $\tau_{\text{ФР}}$  – постоянная времени фронта импульса тока частицы, формируется за счет дрейфовых процессов собирания носителей в обедненной области рп-перехода и на некотором расстоянии от него, где сохраняется сильное электрическое поле,  $\tau_{\text{СП}}$  – постоянная времени спада импульса тока частицы, обусловлена диффузионными процессами собирания носителей, образовавшимися в полупроводнике вдоль трека частицы.

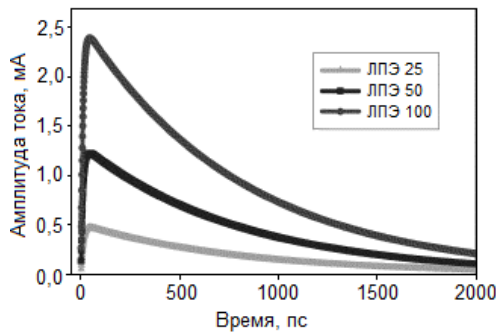


Рис. 3. Импульсы тока частицы, соответствующие трем значениям ЛПЭ в МэВ\*см<sup>2</sup>/мг

#### IV. МЕТОДИКА ВЫБОРА ПАРАМЕТРОВ ЛОГИЧЕСКОЙ ЦЕПИ

Как видно из (1), в момент возникновения ионизационной реакции от ТЧ необходимо, чтобы  $\Delta i(t) \rightarrow 0$ . Следовательно,  $i_{\text{ИП}}(t) \rightarrow i_{\text{ТЧ}}(t)$ . Это выполняется в том случае, если одновременно соблюдается 2 условия:

$$I_0 \geq I_m = \frac{Q_0}{\tau_{\text{СП}} - \tau_{\text{ФР}}}, \quad (3)$$

и

$$\tau_0 \leq \tau_{\text{ФР}}, \quad (4)$$

где  $I_0$  – амплитуда импульса тока питания,  $Q_0$  – полный заряд, собираемый чувствительным объемом от одной частицы.

Согласно выражению (2), постоянная времени фронта импульса тока питания пропорциональна  $\Delta U_{\text{ВЫХ}}$ . Для того, чтобы второй каскад не переключился при попадании частицы, необходимо, чтобы изменение напряжения на выходе не превысило значения напряжения переключения инвертора, равное половине питающего напряжения  $E_{\text{ИП}}$ . Величина  $W_p I_{p0}$  определяет максимальное изменение тока транзистора в (2) и, следовательно, максимальную амплитуду импульса тока питания. Поэтому, учитывая также выражения (3) и (4), получим:

$$W_{\text{рмин}} = \frac{E_{\text{ИП}}}{2\tau_{\text{ФР}} I_{p0}} C_{\text{СУМ}}, \quad (5)$$

и

$$W_{\text{рмин}} = \frac{Q_0}{(\tau_{\text{СП}} - \tau_{\text{ФР}}) I_{p0}} = \frac{I_m}{I_{p0}}. \quad (6)$$

Одной из основных проблем при моделировании одиночных событий является отсутствие у разработчика данных о параметрах импульса для конкретного технологического процесса. Это связано с тем, что длительности фронта и спада импульса сильно зависят от параметров технологического процесса, в частности, длительность спада зависит от уровней легирования подложки и кармана, а длительность фронта – от разницы концентраций между активными областями транзисторов и подложкой или карманом. Значения постоянных времени и амплитуды берутся из зарубежных источников, где рассматривается тот же уровень проектных норм, что зачастую приводит к значительным погрешностям.

Показателем стойкости логической цепи к ОИН, по аналогии с ячейкой памяти, также является понятие критического заряда возникновения ОИН в цепи. Критическим зарядом называется предельная величина заряда, собираемая чувствительным объемом от одной частицы, при котором изменение напряжения на выходе элемента логической цепи достигает значения напряжения переключения нагруженной схемы.

На основе данных из зарубежных источников [9]-[10] построены зависимости минимальных размеров р-канального транзистора, нормированных на минимально допустимые значения ( $W_{\text{тех}}$ ) для рассматриваемых уровней проектных норм (рис.4), от критического заряда. Из полученных графиков видно, что существенное увеличение  $Q_{\text{КРИТ}}$  достигается за счет больших размеров транзисторов, отличающихся от минимально допустимых более чем на порядок.

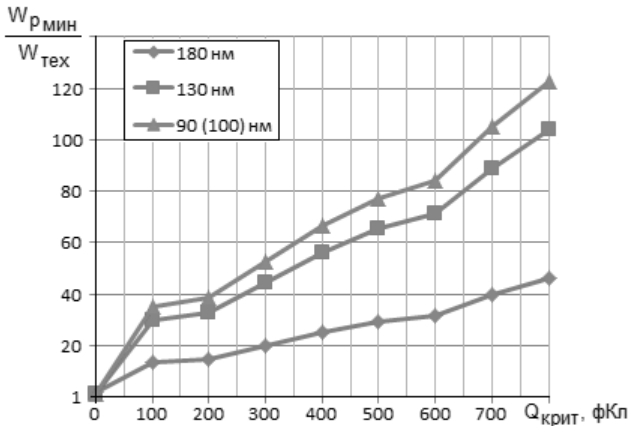


Рис. 4. Зависимость нормированных минимальных размеров р-канального транзистора в цепи идентичных инверторов ( $M=1$ ) от критического заряда для 3 уровней проектных норм

Проанализируем влияние  $C_{\text{СУМ}}$  на амплитудные и временные параметры ОИН. Выражение (5) накладывает ограничения на величину суммарной узловой емкости. В [7] суммарная емкость в узле определяется как:

$$C_{\text{СУМ}} = (W_n + W_p)(MC_{\text{ВХ1}} + C_{\text{ВЫХ1}}), \quad (7)$$

где  $C_{\text{ВХ1}}$ ,  $C_{\text{ВЫХ1}}$  – удельные входная и выходная емкости транзистора в 1 каскаде,  $M$  – коэффициент нагрузки, а произведение  $MC_{\text{ВХ1}}$  определяет удельную входную емкость транзистора 2 каскада. Подставив (7) в (5), получим выражение для максимального коэффициента нагрузки:

$$M \leq \frac{2\tau_{\text{ФР}}I_{\text{РО}}}{C_{\text{ВХ1}}E_{\text{ИП}}(1+1/\xi)} - \frac{C_{\text{ВЫХ1}}}{C_{\text{ВХ1}}}. \quad (8)$$

Согласно (7), увеличивая ширину р-канальных транзисторов в  $K_M$  раз,  $C_{\text{СУМ}}$  увеличивается в  $2K_M$  раз, что отразится на постоянной времени фронта импульса  $i_{\text{ИП}}(t)$ . Подставляя соответствующие значения в (8), коэффициент нагрузки  $M$  может получиться меньше 1. Это означает, что на данный каскад нагружается другой каскад с транзисторами меньших размеров, который, в свою очередь, будет более «уязвимым» к ТЧ. С другой стороны, увеличение  $C_{\text{СУМ}}$  будет носить интегрирующий характер для напряжения на выходе каскада:

$$\Delta U_{\text{ВЫХ}} = \frac{1}{C_{\text{СУМ}}} \int_0^{\infty} \Delta i(t) dt.$$

Для проведения сравнительного анализа построена простейшая цепь инверторов с коэффициентом нагрузки  $M$ , размеры всех транзисторов в цепи устанавливаются в соответствии с  $K_M$ . В качестве технологического базиса выбраны уровни проектных норм 180/130/90 нм. В табл. 1 представлены усредненные между проектными нормами результаты расчетов логической цепи в относительных единицах, нормированные на значения, соответствующие цепи с  $M = 1$  и  $K_M = 1$ . Номинальное напряжение питания цепи составляет 1,8 В в 180 нм и 1,2 В в 130 и 90 нм.

Таблица 1

Влияние параметров логической цепи на стойкость к возникновению ОИН

№	$M$	$K_M$	$t_a$	$Q_{\text{КРИТ}}$	$\Delta i_1$
1	1	1	1	1	1
2	2	1	1,34	1,10	1,5
3	4	1	2,15	1,25	2,4
4	1	2	0,92	2,15	2,0
5	2	2	1,30	2,34	3,1
6	4	2	2,12	2,69	4,9
7	1	4	0,88	7,84	3,5
8	2	4	1,28	8,28	5,4
9	4	4	2,11	8,91	8,7

Как видно, увеличение коэффициента нагрузки при неизменных размерах 1 каскада способствует незначительному возрастанию величины критического заряда и ухудшает быстродействие цепи. Гораздо более эффективным оказывается пропорциональное увеличение всех размеров транзисторов. Также из таблицы видно, что величина разности токов при изменении  $M$  увеличивается в меньшей степени по сравнению с  $K_M$ , что объясняется увеличением только входной емкости нагрузочного каскада.

Тем не менее, в трактах синхронизации и управляющей логике современных СБИС количество элементов, одновременно подключаемых к одному каскаду, может достигать нескольких десятков и даже сотен. Так, например, в базовых секциях и сложнo-функциональных блоках ОЗУ количество таких элементов пропорционально количеству строк или столбцов. Как правило, нагрузочные каскады, на которые передается сигнал, должны выполняться с минимальными при заданном уровне стойкости размерами, т.е.  $WK_M$ . При этом в передающем каскаде следует установить размеры, соответственно, в  $M$  раз больше. При меньших размерах фронт станет более пологим, а в нагрузочных каскадах возникнет промежуток времени, когда оба транзистора в каскаде будут открыты и начнет протекать сквозной ток. Этот промежуток времени будет сравним с длительностью фронта импульса тока частицы, а импульс тока питания окажется минимальным.

Вероятность попадания частицы в момент времени, соответствующий формированию фронта или спада

сигнала с периодом  $T$  пропорциональна удвоенной длительности фронта:

$$p_0 \sim \frac{2\tau_0}{T} p_t(t_a). \quad (9)$$

Как видно из (9),  $p_0$  зависит от частоты работы цепи и при  $T = 2\tau_0$ , т.е. на максимальной частоте, вероятность  $p_0$  будет определяться вероятностью  $p_t$  попадания частицы в рассматриваемый транзистор и асимптотической задержкой соответствующего каскада.

В формуле (7) значение выходной емкости каскада зависит от конструктивно-топологического исполнения транзистора. Одним из способов уменьшения выходной емкости транзистора является исполнение его в несколько фингеров (рис.5).

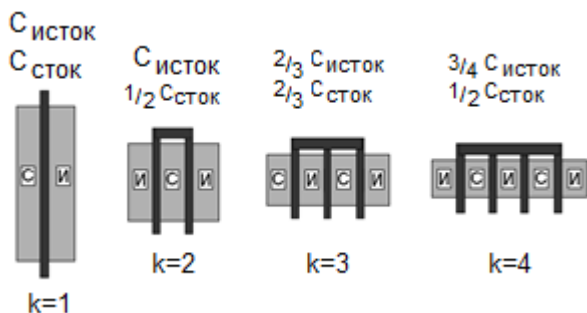


Рис. 5. Выполнение транзисторов в виде фингеров ( $k$  – кол-во фингеров)

Наиболее приемлемым вариантом выполнения является двухфингерный транзистор, имеющий одну область стока. При попадании частицы в транзистор с двумя стоками ( $k > 2$ ) под углом к нормали поверхности возникающие при этом неравновесные носители диффундируют также и к области второго стока, который может быть удален от места попадания на большое расстояние. В результате, за счет увеличения длины диффузии, увеличивается и величина собираемого заряда, либо за счет перераспределения заряда возникает несколько ОИН.

Отметим, что рассмотренная методика является инвариантной к уровню проектных норм, при которых соблюдается зарядовая модель и двухэкспоненциальное приближение формы импульса тока частицы. В работе рассмотрен случай попадания частицы в  $n$ -канальный транзистор, однако в общем случае при равных токах транзисторов величина стойкости элементарных транзисторов различается в 2-3 раза. Это связано с тем, что в нанометровых технологиях глубина залегания  $n$ -кармана не превышает 1-1,5 мкм, а эффективная длина собирания носителей при попадании ТЧ составляет 2-3 мкм [6]. Поэтому часть заряда от ТЧ при попадании в  $p$ -канальный транзистор экранируется карманом. В логических трактах, где не требуется симметрия фронтов, параметр  $\xi$  можно увеличить, уменьшив ширину  $n$ -канального транзистора. Это позволит также уменьшить величину задержки в цепи на 15-20%. Однако получить равенство критических зарядов при различных полярностях импульса

довольно сложно, т.к. подобные эффекты не моделируются в схематехнических САПР.

## V. ЗАКЛЮЧЕНИЕ

В данной статье проанализированы основные теоретические аспекты возникновения ОИН в простейшей логической цепи, состоящей из двух последовательно соединенных инверторов. На основе упрощенной математической модели показано, что методика выбора параметров логической цепи на этапе проектирования сводится к расчету минимальных размеров транзисторов в логической цепи при заданном уровне стойкости к тяжелым частицам. Данная методика является инвариантной к технологическому процессу и позволяет оценить основные электрические параметры и площадь схемы. Проведен детальный анализ влияния различных параметров логической цепи на величину критического заряда возникновения ОИН в этой цепи. Даны рекомендации по построению логических цепей с большим коэффициентом разветвления по выходу. Показано, что наибольший вклад в величину критического заряда вносит коэффициент мощности элемента с точки зрения увеличения величины тока открытого транзистора. Для трех уровней проектных норм построены зависимости минимальных размеров открытого транзистора, нормированных на минимально допустимое для данных техпроцессов, от величины критического заряда. Зависимости позволяют при определенных размерах транзисторов спрогнозировать уровень стойкости логической цепи к воздействию ТЧ.

## ЛИТЕРАТУРА

- [1] Чумаков А.И. Действие космической радиации на интегральные схемы. М.: Радио и связь. 2004. 320 с.
- [2] Герасимов Ю.М., Григорьев Н.Г., Кобыляцкий А.В., Петричкович Я.Я. Повышение сбоеустойчивости сложно-функциональных блоков ОЗУ в КМОП СБИС // Электронная техника. сер. 3. «Микроэлектроника», 2015, №2, С. 11-15.
- [3] Laco R.C. Improving Integrated Circuit Performance Through the Application of Hardness-by-Design Methodology // IEEE Trans. Nucl. Sci. 2008. V. 55. № 4. P. 1903-1925.
- [4] Zhou Q., Mohanram K. Transistor Sizing for Radiation Hardening. Available at: <http://www.pitt.edu/~kmram/publications/irps04.pdf>
- [5] Dahlgren P., Liden P. A Switch-level Algorithm for Simulation of Transients in Combinational Logic // Proc. Intl. Sym. on Fault-Tolerant Computing. 1995. P. 207-216.
- [6] Gadlage M.J., Schrimpf R.D., Benedetto J.M. and et. Single Event Transient Pulsewidths in Digital Microcircuits // IEEE Trans. Nucl. Sci. 2004. V. 51. № 6. P. 3285-3290.
- [7] Герасимов Ю.М., Григорьев Н.Г. Асимптотические параметры быстродействия нанометровых КМОП СБИС // Естественные и технические науки – изд. «Спутник+», 2011, № 6, С. 492-498.
- [8] Atkinson N.M. Single-Event Characterization of A 90-nm Bulk CMOS Digital Cell Library. Thesis for the degree of Master of Science. May, 2010. Nashville, Tennessee.
- [9] Iniewski C. Radiation Effects in Semiconductors. CRC Press. 2011. 422 p.

# The technique of logical circuit parameters selection in nanometer RHBD CMOS VLSI

Yu.M. Gerasimov<sup>1</sup>, N.G. Grigoryev<sup>1</sup>, A.V. Kobylyatskiy<sup>2</sup>

<sup>1</sup>National Research Nuclear University "MEPHI"

<sup>2</sup>R&D Center "ELVEES", OJSC, andreykob91@mail.ru

**Keywords** — logic circuit, inverter, CMOS VLSI, heavy particles, single event effects, RHBD.

## ABSTRACT

One of the main problems in the transition to smaller design rules becomes increasing sensitivity of the logic elements to heavy particles of outer space [1]. Modern radiation-hardened-by-design "system-on-chips" are equipped with internal error correction (EDAC) systems that can effectively detect and correct single event effects in SRAMs [2]. However, the effects of single particle strikes may also occur in the flip-flops and latches in synchronization tracts and control logic. Such types of errors cannot be corrected.

The effects from heavy particles strikes at logical circuits result in single voltage pulses (Single Event Transient, SET). The most critical to SET elements are the most high-speed chains – clocking and synchronization circuits. Undesirable voltage pulses that penetrate deep into scheme, can cause malfunctions. Therefore, during the design of synchronization circuits in nanometer RHBD VLSI it is necessary to apply additional methods to improve their heavy particles tolerance.

Most of the existing methods of radiation-hardening-by-design at the system and circuit levels are intended to limit the spread and penetration ways of undesired voltage pulses deep into the logical hierarchy [3]. The most common methods are: hardware and temporal doubling and triple redundancy, majority and clocked logic. The application of such methods allows effective neutralizing the consequences caused by SET, but does not deal with the reasons.

The best way to eliminate the reasons of SET initiation is the sizing of the transistors [4]. Generally, in the articles dealing with the design of logical circuits that are tolerant to heavy ions, the sizes of transistors are not theoretically justified.

Nowadays, the theoretical aspects of SET occurrence in the logic circuit are discussed in detail in [4] - [5]. In these works the mathematical models designed for the SPICE calculations of SET are presented. These models allow obtaining the results of high accuracy. However, during the analysis of technical specifications and the preliminary estimation of the electrical parameters and circuit area such accuracy is not required. In these works the anal-

ysis of the total node capacitance impact on the SET amplitude characteristics is also not presented.

In our work we present the technique of selecting optimal parameters for a given level of logical circuit radiation hardness based on a simple mathematical model of the SET. The technique is considered by the example of a simple logic circuit. It is invariant to the technological basis and also allows reaching a compromise on the main electrical parameters.

During the research the detailed analysis of various parameters and their impact on the logical circuit critical charge of the SET occurrence was held. Some recommendations for the logical circuits design with a large fan-out ratio are given. It is shown that the low power factor of an element can let to the huge amount of the critical charge because of the open transistor current value.

## REFERENCES

- [1] Chumakov A.I. Deistvie kosmicheskoi radiatsii na integral'nye skhemy, Moscow, Radio i svyaz', 2004, 320 p. (in Russian).
- [2] Gerasimov Yu.M., Grigoryev N.G., Kobylyatskiy A.V., Petrichkovich Ya.Ya. Povyshenie sboeustojchivosti slozhno-funkcional'nyh blokov OZU v KMOP SBIS - *Improvement of SRAM IP-blocks Heavy Ion Tolerance in Bulk CMOS ASICs*. Jelektronnaja tehnika. ser. 3. « Mikrojelektronika », 2015, №2, pp. 11-15. (in Russian).
- [3] Laco R.C. Improving Integrated Circuit Performance Through the Application of Hardness-by-Design Methodology, IEEE Trans. Nucl. Sci., 2008. V. 55. № 4. pp. 1903-1925.
- [4] Zhou Q., Mohanram K. Transistor Sizing for Radiation Hardening. Available at: <http://www.pitt.edu/~kmram/publications/irps04.pdf>
- [5] Dahlgren P., Liden P. A Switch-level Algorithm for Simulation of Transients in Combinational Logic, Proc. Intl. Sym. on Fault-Tolerant Computing., 1995. pp. 207-216.
- [6] Gadlage M.J., Schrimpf R.D., Benedetto J.M. and et. Single Event Transient Pulsewidths in Digital Microcircuits, IEEE Trans. Nucl. Sci., 2004. V. 51. № 6. pp. 3285-3290.
- [7] Gerasimov Yu.M., Grigoryev N.G. Asimptoticheskie parametry bystrodejstvija nanometrovyh KMOP SBIS - *Asymptotic performance parameters of nanometer CMOS VLSI*. Estestvennye i tekhnicheskie nauki, 2011. № 6. pp. 492-498 (in Russian).
- [8] Atkinson N.M. Single-Event Characterization of A 90-nm Bulk CMOS Digital Cell Library. Thesis for the degree of Master of Science. May, 2010. Nashville, Tennessee.
- [9] Iniewski C. Radiation Effects in Semiconductors. CRC Press. 2011. 422 p.