

# Размещение логических ячеек интегральных схем с одновременным учетом быстродействия и теплового режима

А.Г. Арутюнян

Национальный политехнический университет Армении, harsh@seua.am

**Аннотация** — Предложен метод многопараметрического начального размещения логических ячеек интегральных схем (ИС), согласно которому наряду с традиционным критерием суммарной длины межсоединений учитываются также задержки распространения сигнала в цепях схемы и топологическая равномерность теплового поля на поверхности кристалла ИС. Математический вид предложенного критерия представляет собой аддитивную функцию от частных однопараметрических критериев, что позволяет его применять в последовательных алгоритмах начального размещения логических ячеек цифровых ИС.

**Ключевые слова** — цифровая интегральная схема, начальное размещение, задержки на межсоединениях, равномерность распределения температур, многопараметрическое размещение.

## I. ВВЕДЕНИЕ

С развитием микроэлектронной технологии и увеличением интеграции ИС повышаются требования к их проектированию. По данным международного указателя полупроводниковой технологии, в настоящее время среди этих требований доминирующими являются быстродействие и потребляемая мощность [1]. С уменьшением технологических размеров и увеличением интеграции ИС увеличивается доля задержек сигналов в линиях связи, которая в современных ИС достигает 80...90% от общей задержки сигнала. Межсоединения становятся доминирующим фактором при определении полной задержки путей «вход-выход» цифровых схем и в десятки раз превосходят задержки логических ячеек. Увеличение потребляемой мощности привело к высокой рабочей температуре и большому тепловому градиенту, что, в свою очередь, способствует понижению быстродействия и вызывает серьезные проблемы тепловой надежности. Так, например, при технологиях 0,1 мкм и ниже удельная потребляемая мощность ИС составляет в среднем 26 Вт/см<sup>2</sup>, максимальная температура – 160 °С, разности температур между различными зонами кристалла – свыше 10-20 °С, а быстродействие – больше 5 ГГц [2, 3].

Результаты ускоренных испытаний ИС средней сложности показали, что если их средний срок службы при температуре 60 °С составляет 50-75 лет, то при температуре 125 °С – не более 1000-1500 ч., а для

больших ИС такие же показатели получаются уже при температуре 85-90 °С [2].

Таким образом, повышение рабочей температуры полупроводникового кристалла ИС приводит к резкому понижению среднего срока их службы.

В этих условиях наряду со схематическими методами повышения быстродействия и понижения энергопотребления проектируемых ИС неуклонно повышается степень влияния этапа физического проектирования на качество ИС. Так как, с одной стороны, топологическое распределение температур на кристалле ИС в основном зависит от результатов размещения логических ячеек, а с другой – размещение оказывает существенное влияние на дальнейшую трассировку, которая, в свою очередь, определяет паразитные параметры и задержки межсоединений [4], то размещение становится ключевой задачей в цикле физического проектирования ИС.

В настоящей работе предлагается подход к начальному размещению элементов цифровых ИС, обеспечивающий совместный учет суммарной длины межсоединений, задержек распространения сигнала в цепях схемы и топологическую равномерность теплового поля на поверхности кристалла ИС. Предлагаемый подход основан на применении многопараметрического критерия размещения, математический вид которого представляет собой аддитивную функцию от частных однопараметрических критериев.

## II. СОСТОЯНИЕ ВОПРОСА

Современные коммерческие системы автоматизированного проектирования (САПР) ИС, как правило, решают задачу размещения в два этапа: начальное размещение, основанное на приближенных быстрых алгоритмах, обеспечивающих хорошие условия для последующего окончательного размещения, и окончательное размещение, основанное на итерационных алгоритмах улучшения результатов начального размещения по тому или иному параметру.

При этом на этапе начального размещения в основном применяются простейшие последовательные алгоритмы размещения по связанности элементов, а в качестве критерия размещения используется условие обеспечения минимума ожидаемой суммарной виртуальной длины межсоединений, согласно

которому ожидаемые длины межсоединений между элементами идентифицируются их топологическими расстояниями [4, 5]:

$$f_{cb} = \sum_{i=1}^N \sum_{\substack{j=1 \\ j>i}}^N r_{ij} d_{ij} \rightarrow \min, \quad (1)$$

где  $r_{ij}$  – количество связей между  $i$ -м и  $j$ -м элементами;  $d_{ij}$  – геометрическое расстояние между  $i$ -м и  $j$ -м элементами;  $N$  – количество размещаемых элементов ИС.

Удовлетворение проектных требований по быстродействию и тепловому режиму, как правило, осуществляется на втором этапе размещения.

Существующие алгоритмы размещения, учитывающие задержки в межсоединениях, могут быть сгруппированы в два класса: основанный на пути и основанный на цепи.

Подход, основанный на пути, непосредственно воздействует на все или подмножество путей «вход-выход» схемы. Так как каждая логическая ячейка подключается к двум или более ячейкам, то управление длинами межсоединений критических путей затрагивает множество других цепей, в результате чего из-за увеличения длин цепей, которые подключены через лежащие на критических путях общие ячейки, может наблюдаться увеличение суммарной длины межсоединений ИС. При этом уменьшение задержки на критических путях может привести к появлению новых критических путей. В настоящее время эта проблема решается путем применения итерационных алгоритмов улучшения размещения с пошаговым уменьшением длин межсоединений критических путей до достижения приемлемых значений задержек.

Основным недостатком метода, основанного на пути, является потребность больших машинных ресурсов при их реализации. Эти методы применяются на этапе оптимизации размещения, а их эффективность во многом зависит от результатов предварительного начального размещения.

Подход, основанный на цепи, имеет дело с отдельными цепями схемы. При этом, сокращая длины лежащих на критических путях отдельных цепей, можно добиться сокращения суммарных задержек путей. Этот подход более удобен для применения на этапе начального размещения.

В существующих коммерческих САПР задача учета быстродействия, обусловленная задержками на межсоединениях, решается путем оценки критических путей «вход-выход» проектируемой схемы с дальнейшей минимизацией задержек в этих путях. При этом, как правило, используются итерационные алгоритмы размещения, которые предусматривают многократное изменение начального размещения,

нацеленное на сокращение задержек критических путей [6].

Задача учета теплового режима при размещении решается применением целевых алгоритмов обеспечения равномерности распределения температур на поверхности кристалла [7].

Если учесть, что от результатов начального размещения во многом зависит количество итераций на втором этапе и, следовательно, время решения задачи, то становится очевидной важность разработки многопараметрических методов начального размещения элементов ИС, которые совместно с электрической связанностью элементов будут учитывать также быстродействие и тепловой режим. С этой целью далее рассмотрены вопросы разработки критериев учета задержек цепей и равномерности топологического распределения температуры, идентичные по виду (1).

### III. ОПИСАНИЕ МЕТОДА

Предлагаемый подход начального размещения логических ячеек ИС с одновременным учетом быстродействия и теплового режима основан на разработке частных критериев учета задержек в межсоединениях ( $f_3$ ) и равномерности распределения температур на поверхности кристалла ( $f_T$ ), идентичных по виду критерию (1), и их совместного представления в виде аддитивной функции от трех частных критериев  $f_{cb}$ ,  $f_T$  и  $f_3$ :

$$F = a_1 f_{cb} + a_2 f_3 + a_3 f_T, \quad (2)$$

где  $a_1$ ,  $a_2$  и  $a_3$  – весовые коэффициенты, задаваемые проектировщиком исходя из проектных требований.

#### A. Критерий учета задержек в межсоединениях

Критерий учета задержек в межсоединениях основан на важности цепей, предполагающей предварительную оценку реального и требуемого поздних времен формирования сигнала и резервов времени всех цепей схемы. При дальнейшем размещении логических ячеек полученные резервы времени служат мерой важности цепей.

Так как резерв времени некоторой цепи определяет допустимую задержку сигнала в данной цепи, то с целью управления длинами межсоединений при размещении резервы времени цепей можно использовать в качестве критерия близости элементов:

$$f_3 = \sum_{i=1}^N \sum_{\substack{j=1 \\ j \neq i}}^N d_{ij} \sum_{k \in G_{ij}} H_k \rightarrow \min, \quad (3)$$

где  $H_k$  – коэффициент важности  $k$ -й цепи;  $G_{ij}$  – множество цепей, соединяющих  $i$ -й и  $j$ -й элементы.

Коэффициент важности определяется исходя из соотношений его обратной пропорциональности к резерву цепи. С этой целью для определения  $H_k$  предлагается следующее выражение:

$$H_k = \frac{R_{\max} - R_k}{R_{\max}}, \quad (4)$$

где  $R_k$  – резерв  $k$ -й цепи;  $R_{\max}$  – максимальный резерв для данной схемы.

С точки зрения проектировщика, резерв времени некоторой цепи показывает ту максимальную задержку на межсоединениях данной цепи, которая еще не приводит к опозданию формирования правильного сигнала на основных выходах схемы. Цепи с нулевым резервом времени определяют критические пути от основных входов до основных выходов схемы. Любая задержка на межсоединениях этих цепей приводит к опозданию сигнала на основных выходах схемы.

Резервы времени цепей определяются на основе статического временного анализа схемы. Более подробно об оценке резервов цепей описано в [8].

В результате применения предложенного критерия ячейки, связанные цепями со сравнительно меньшими резервами времени, будут размещаться ближе и наоборот. В результате это приведет к уменьшению разниц суммарных задержек различных путей «вход-выход» схемы с обеспечением по возможности низких значений суммарных задержек критических путей.

#### В. Критерий равномерности распределения температур на поверхности кристалла

Условие равномерности распределения температур на поверхности кристалла можно представить в следующем виде:

$$\sum_{i=1}^N (T_i - T_{cp})^2 \rightarrow \min, \quad (5)$$

где  $T_i$  – температура  $i$ -го элемента;  $T_{cp}$  – средняя температура элементов ИС;  $N$  – количество рассматриваемых элементов ИС.

На основе принципа суперпозиции стационарная температура некоторого  $i$ -го элемента определяется исходя из взаимного теплового влияния всех элементов [9]:

$$T_i = T_c + \sum_{k=1}^N P_k F_{ki}, \quad (6)$$

где  $T_c$  – температура внешней среды;  $P_k$  – мощность  $k$ -го элемента;  $F_{ki}$  – тепловой коэффициент между  $k$ -й и  $i$ -й позициями.

Для ИС с высокой степенью интеграции и большой регулярностью структуры, состоящей из элементарных ячеек приблизительно одинаковых размеров, можно принять равенство значений тепловых коэффициентов всех посадочных мест ячеек, т.е.  $F_{ij} \approx F_{ji}$ . Учитывая,

что значения сумм  $\sum_{\substack{k=1 \\ k \neq i,j}}^N P_k F_{ki}$  и  $\sum_{\substack{k=1 \\ k \neq i,j}}^N P_k F_{kj}$  мало зависят

от взаимного расположения  $i$ -го и  $j$ -го элементов, а также принимая во внимание, что  $F_{ij}$  является убывающей функцией от геометрического расстояния  $i$ -й и  $j$ -й ячеек  $d_{ij}$ , критерий равномерности распределения температур на поверхности кристалла с точки зрения взаимного расположения ячеек можно представить в виде [10]:

$$f_T = \sum_{i=1}^N \sum_{\substack{j=1 \\ j \neq i}}^N |P_i - P_j| d_{ij} \rightarrow \min. \quad (7)$$

Тогда задача оптимального теплового размещения элементов ИС будет формулироваться следующим образом. Необходимо найти такие взаимные топологические расстояния  $(d_{ij} : i, j = 1, 2, \dots, N)$  координат размещения элементов ИС с заданными мощностями, которые удовлетворяют условию (7). Такая задача представляет собой комбинаторную задачу, точное решение которой связано с полным перебором вариантов размещения. Однако при начальном размещении элементов можно пользоваться более экономичными последовательными алгоритмами размещения, дающими возможность получения удовлетворительных результатов, которые можно подвергнуть дальнейшему улучшению с помощью итерационных алгоритмов окончательного размещения.

Полученное условие (7), с точки зрения проектировщика, означает, что элементы с большими значениями абсолютных разностей мощностей следует размещать по возможности ближе и наоборот, что приведет к уравниванию теплового поля полупроводникового кристалла – тем самым понижая температуру наиболее опасных (с точки зрения надежности) зон.

Более подробно о выводе и обосновании критериев равномерности распределения температур на поверхности кристалла рассказано в [10].

Отметим, что критерий равномерности распределения температур (7) более удобен для применения в последовательном алгоритме размещения, однако в отличие от критериев (1) и (3) он неудобен для оценки результатов размещения. С этой целью, исходя из обеспечения максимальной тепловой надежности и с учетом принципа местного влияния, в качестве оценочной функции равномерности температурного поля размещения принята

максимальная суммарная мощность локальной топологической нагретой зоны:

$$F_T = \max_{k=1,2,\dots,m} \sum_{i \in E_k} P_{ki} \rightarrow \min, \quad (8)$$

где  $P_{ki}$  – мощность  $i$ -го элемента  $k$ -й локальной топологической зоны;  $E_k$  – множество элементов, размещенных в пределах  $k$ -й локальной топологической зоны;  $m$  – количество локальных топологических зон.

Количество элементов, отнесенных к одной локальной топологической нагретой зоне, зависит от множества факторов и принимается равным 4 при двумерном размещении и 2 – при линейном размещении.

С учетом вышесказанного можно построить обобщенную матрицу смежности

$$\Lambda = \|\lambda_{ij}\|; i, j = 1, 2, \dots, N, \quad \text{где}$$

$\lambda_{ij} = a_1 r_{ijn} + a_2 \Delta P_{ijn} + a_3 H_{ijn}$  – обобщенная связанность  $i$ -й и  $j$ -й ячеек;  $r_{ijn}$ ,  $\Delta P_{ijn}$  и  $H_{ijn}$  – нормированные значения  $r_{ij}$ ,  $\Delta P_{ij}$  и  $H_{ij}$ ;  $a_1$ ,  $a_2$  и  $a_3$  – весовые коэффициенты;  $\Delta P_{ij} = P_i - P_j$ ;

$H_{ij} = \frac{\sum_{k \in G_{ij}} H_k}{m_k}$  – средний коэффициент важности множества цепей, соединяющих  $i$ -ю и  $j$ -ю ячейки.

Нормирование осуществляется переводом значений параметров в пределах 0...1 с целью приведения параметров с различными физическими размерностями к единому относительному безразмерному виду.

Тогда обобщенный критерий размещения примет следующий вид:

$$F_{об} = \sum_{i=1}^N \sum_{\substack{j=1 \\ j>i}}^N r_{ij} \lambda_{ij} \rightarrow \min. \quad (9)$$

#### IV. ПРАКТИЧЕСКАЯ РЕАЛИЗАЦИЯ

Реализован простейший алгоритм последовательного размещения, основанный на матрице смежности и рекурсивном повторении следующей основной процедуры. На очередную позицию размещается ячейка, имеющая минимальное значение функции претендентности  $\beta$ , которое определяется как разница между связанностями данной  $i$ -й ячейки с еще не размещенными и уже размещенными ячейками, что соответствует условию

$$\beta_i = \min_{i \in E_n} \left( \sum_{j \in E_n} \lambda_{ij} - \sum_{j \in E_p} \lambda_{ij} \right), \quad (9)$$

где  $E_n$  и  $E_p$  – множества неразмещенных и размещенных ячеек соответственно.

На основе вышеизложенного подхода разработан соответствующий алгоритм, который реализован на языке C++ и испытан на тестовых схемах ISCAS 85. Работу алгоритма рассмотрим на примере тестовой схемы C17, состоящей из 6 логических ячеек и 11 цепей, Verilog описание которой приведено на рис. 1.

```

module c17(G1,G2,G3,G4,G5,G10,G11);
input G1,G2,G3,G4,G5;
output G10,G11;
wire G6,G7,G8,G9;
nand NAND2_1(G6,G1,G3);
nand NAND2_2(G10,G6,G8);
nand NAND2_3(G8,G2,G7);
nand NAND2_4(G7,G3,G4);
nand NAND2_5(G9,G5,G7);
nand NAND2_6(G11,G8,G9);
endmodule

```

Рис. 1. Verilog описание тестовой схемы C17 ISCAS

В качестве элементной базы использована библиотека цифровых стандартных ячеек SAED90, разработанная в учебном департаменте ЗАО “Синописис Армения” [11]. Задержки и рабочие мощности для ячеек тестовой схемы приведены в табл. 1 [11].

Таблица 1

Задержки и мощности логических ячеек тестовой схемы a17

Номер ячейки	2_1	2_2	2_3	2_4	2_5	2_6
Задержка (нс)	51	51	58	58	51	51
Мощность (мкВт)	1,2	1,3	1,2	2,5	3,6	2,7

При различных сочетаниях значений весовых коэффициентов, входящих в (2), получены следующие линейные последовательности размещения ячеек:

- NAND2\_1 → NAND2\_2 → NAND2\_4 → NAND2\_3 → NAND2\_5 → NAND2\_6;
- NAND2\_1 → NAND2\_4 → NAND2\_5 → NAND2\_3 → NAND2\_6 → NAND2\_2;
- NAND2\_2 → NAND2\_6 → NAND2\_1 → NAND2\_4 → NAND2\_3 → NAND2\_5;

d) NAND2\_1→NAND2\_4→NAND2\_5→  
NAND2\_3→NAND2\_2→NAND2\_6.

Значения весовых коэффициентов и частных критериев приведены в табл. 2.

Как видно из таблицы, минимальные значения критериев получены при тех вариантах размещений, при которых значение весового коэффициента, соответствующего данному критерию, равняется 1, что и следовало ожидать. При одинаковых значениях

Таблица 2

*Результаты расчетов частных критерий размещения ячеек тестовой схемы*

	a a <sub>1</sub> =1; a <sub>2</sub> = a <sub>3</sub> =0	b a <sub>2</sub> =1; a <sub>1</sub> = a <sub>3</sub> =0	c a <sub>3</sub> =1; a <sub>1</sub> = a <sub>2</sub> =0	d a <sub>1</sub> =a <sub>2</sub> = a <sub>3</sub> =1/3
f <sub>св</sub>	30	30	38	32
f <sub>з</sub>	27,8	21,6	33,2	23,4
F <sub>т</sub>	6,3	6,2	4,8	6,1

весовых коэффициентов для всех критериев получается компромиссный вариант по всем показателям.

Сравнительные результаты вариантов размещения ряда более сложных тестовых схем показали большую эффективность применения предлагаемого подхода.

#### V. ЗАКЛЮЧЕНИЕ

Предложен метод начального размещения стандартных ячеек цифровых ИС с одновременным учетом суммарной длины межсоединений, быстродействия и теплового режима. Апробация метода для размещения ячеек ряда тестовых схем показала высокую эффективность управления частными показателями качества путем варьирования весовых коэффициентов. Предлагаемый метод может быть внедрен в существующие средства САПР в виде подсистемы начального размещения стандартных ячеек, а полученные результаты могут служить стартовым размещением для дальнейшей оптимизации.

## Placement of Logic Cells of Integrated Circuits with Simultaneous Consideration of Performance and Thermal Mode

A.G. Harutyunyan

National Polytechnic University of Armenia Армении, harsh@seua.am

**Keywords** — digital integrated circuit, initial placement, delay in the interconnections, uniform temperature distribution, multiparameter placement.

#### ПОДДЕРЖКА

Исследование выполнено при поддержке ГКН МОН РА в рамках армяно-белорусского совместного научного проекта №13РБ-045.

#### ЛИТЕРАТУРА

- [1] Semiconductor Industry Association, International Technology Roadmap for Semiconductors, 2010, <http://public.itrs.net/>.
- [2] Ajami A., Banerjee K., Mehotra A., and Pedram M. Analysis of IR-Drop Scaling with Implications for Deep Submicron P/G Network Designs // Fourth International Symposium on Quality Electronic Design.- 2003 (ISQED'03).-P.35-40.
- [3] Теплового режим процессоров Pentium4-athlonxp. <http://www.ixbt.com/cpu/Pentium4-athlonxp-thermal-management.shtml>. - 15 с.
- [4] Sherwani N. Algorithms for VLSI Physical Design Automation. Intel Corporation.-Kluwer Academic Publishers, 2007.- 572 p.
- [5] Gerez S. Algorithms for VLSI design Automation. John Wiley & Sons, Chichester, 1998.- 326 p.
- [6] IC Compiler User Guide: Implementation Version B-2008.09.- September. 2008.-786 p.
- [7] Tsai J.-L., Chen C.-P., Chen G. et al Temperature Aware Placement for SOCs // IEEE Special Issue on On-Chip Thermal Engineering.- Aug., 2006.- P. 1502-1518.
- [8] Арутюнян А.Г.. Начальное размещение логических ячеек интегральных схем с учетом важности цепей// Проблемы разработки перспективных микро- и нанoeлектронных систем-2014: Сборник научных трудов / Под общ. ред. А.Л. Стемповского.- М.: ИППМ РАН, Часть 1, 2014.- С.143-146.
- [9] Дульнев Г, Н., Теория тепло- и массообмена. – СПб: НИУ ИТМО, 2012. – 195 с.
- [10] Арутюнян А.Г. Повышение равномерности распределения теплового поля при начальном размещении топологических ячеек ИС. Проблемы разработки перспективных микро- и нанoeлектронных систем-2008: Сборник научных трудов/ Под общ. ред. А.Л. Стемповского.-М.: ИППМ РАН, 2008.- С. 251-254.
- [11] Digital Standard Cell Library.- SAED\_EDK90\_CORE DATABOOK.- © 2008 SYNOPSIS ARMENIA Educational Department.- Yerevan, 2008. - 96 p.

#### ABSTRACT

With the development of microelectronics technology and increasing of integration of ICs, there are a number of new challenges to their design, among which the dominant ones are to ensure performance and thermal reliability.

From the point of view of performance, the interconnections become the dominant factor in determining the total delay of input-output paths of digital circuits and are dozens of times greater than the delays of logic cells. The increase of power consumption resulted in high operating temperatures and large thermal gradient, which in turn leads to lower performance and to serious problems of thermal reliability.

Under these conditions, along with diagrammatic techniques to improve performance and decrease power consumption of designed ICs, the degree of influence of physical design phase on IC quality steadily increases. Since on one hand, the topological distribution of temperature on the IC crystal mainly depends on the outcome of placement of logic gates and on the other hand, placement has a significant effect on further routing, which in turn determines the parasitic parameters and delay of interconnects, the placement becomes key task in the cycle of the physical IC design.

Modern commercial EDA of ICs, as a rule, solve placement problem in two stages: initial placement, based on the approximate fast algorithms, providing good conditions for the subsequent final placement, and final placement, based on iterative algorithms for improving the results of the initial placement on a particular parameter.

At the same time, meeting the design requirements for performance and thermal mode usually leads to the second stage of placement.

If we note that the number of iterations in the second stage, and therefore the time for solving the problem, largely depends on the results of initial placement, the importance of developing multiparameter methods for initial placement of IC elements, which, together with electrical connectivity of elements, are to be considered as performance and temperature conditions, becomes evident.

In this paper, an approach to the initial placement of digital IC elements that provide common account of the total length of interconnects, signal propagation delays in the circuit diagrams and topological uniformity of thermal field on the surface of the chip is proposed. The proposed approach is based on the use of multi-parameter placement criteria, the mathematical form of which is an additive function of private one-parameter criteria. To this end, private criteria of considering delays in interconnects and uniformity of distributing temperature on IC surface, are proposed, the mathematical form of which is identical to the traditional criterion of minimization of the total length of interconnects. This enables their joint representation in the form of an additive function and application of successive algorithms of initial placement.

A simple algorithm for sequential placement, based on adjacency matrix and the recursive repetition of the subsequent general procedures is implemented. A cell, having minimum value of precedent function, defined as the difference between the connectivity of the next placed cell with not yet placed and already placed cells, is placed in recurrent position.

Testing of the method for placing cells of a number of test circuits showed high efficiency of controlling private quality indicators by variation of weighting coefficients. The proposed method can be implemented into existing EDA tools as a subsystem of initial placement of standard cells, and the results can serve as a start for further optimization of the placement.

#### REFERENCES

- [1] Semiconductor Industry Association, International Technology Roadmap for Semiconductors, 2010, <http://public.itrs.net/>.
- [2] Ajami A., Banerjee K., Mehotra A., and Pedram M. Analysis of IR-Drop Scaling with Implications for Deep Submicron P/G Network Designs // Fourth International Symposium on Quality Electronic Design. 2003 (ISQED'03). P.35-40.
- [3] Thermal processor mode Pentium4-athlonxp. <http://www.ixbt.com/cpu/Pentium4-athlonxp-thermal-managment.shtml>. 15 p (in Russian).
- [4] Sherwani N. Algorithms for VLSI Physical Design Automation. Intel Corporation.-Kluwer Academic Publishers, 2007. 572 p.
- [5] Gerez S. Algorithms for VLSI design Automation. John Wiley & Sons, Chichester, 1998. 326 p.
- [6] IC Compiler User Guide: Implementation Version B-2008.09. September. 2008. 786 p.
- [7] Tsai J.-L., Chen C.-P., Chen G. et al Temperature Aware Placement for SOCs // IEEE Special Issue on On-Chip Thermal Engineering. Aug., 2006. P. 1502-1518.
- [8] Harutyunyan A.G.. Initial Placement of Logic Cells of Integrated Circuits, with Consideration of the Importance of Nets // Proceedings of Problems of Development of Advanced Micro- and Nanoelectronic Systems - 2014 / under editorship of the A.L. Stempkovsky, Moscow, IPPM RAS, 2014. Part 1. 2014. P.143-146 (in Russian).
- [9] Dulnev G. N., Theory of Heat and Mass Transfer. St. Petersburg: SRU ITMO, 2012. 195p (in Russian).
- [10] Harutyunyan A.G.. Increase of Uniformity of Distribution of Thermal Field during Initial Placement of Topological IC Cells. Proceedings of Problems of Development of Advanced Micro- and Nanoelectronic Systems 2008 / under editorship of the A.L. Stempkovsky, Moscow, IPPM RAS, 2008. 2008. P. 251-254 (in Russian).
- [11] Digital Standard Cell Library.- SAED\_EDK90\_CORE DATABOOK.- © 2008 SYNOPSYS ARMENIA Educational Department.- Yerevan, 2008. 96 p. "Mathematical Modeling of Complex Technical Systems", 2006, no. 593, pp. 125-130 (in Russian).