

Когнитивная визуализация противоречий в задачах трансформации топологического слоя СБИС для технологии двойного шаблона

В.А. Верстов, Л.А. Зинченко, В.В. Макачук, В.А. Шахнов

Московский государственный технический университет имени Н.Э. Баумана,
v.verstov@gmail.com

Аннотация — В статье рассматриваются подходы для визуализации противоречий при трансформации топологического слоя СБИС с учетом ограничений технологии двойного шаблона. Предлагаемые методы ориентированы на интеллектуальную поддержку трудозатратного процесса проектирования топологических слоев СБИС. В статье рассматривается применение когнитивных технологий для решения указанной выше проблемы. Предлагаемое представление данных о противоречиях позволяет структурировать информацию и упростить поиск проблемных участков топологического слоя. Предложенные в статье подходы к управлению знаниями основаны на графовой модели представления информации о противоречиях в топологическом слое СБИС. Предлагается визуализация классификации противоречий, которая помогает работать с данными при проектировании топологических слоев СБИС. Размер вершины графа противоречий варьируется в зависимости от типа противоречий и их количества. В статье приведен пример применения разработанного подхода для трансформации топологического слоя для технологии двойного шаблона. Предложенная визуальная аналитика привносит когнитивные аспекты в интерфейс программы «Parallel DPLayout Migrator» и упрощает взаимодействие с пользователем.

Ключевые слова — когнитивная информатика, СБИС, технология двойного шаблона, визуальная аналитика, теория графов.

I. ВВЕДЕНИЕ

Технология двойного шаблона, как частный случай технологии мультишаблона, является одним из наиболее перспективных направлений дальнейшего развития литографии, которая в свою очередь является одним из основных процессов производства субмикронных СБИС и систем на кристалле [1]. Суть технологии двойного шаблона заключается в последовательном применении двух шаблонов во время экспонирования резиста. В результате этого появляется возможность достичь разрешающей способности литографии, которая недостижима традиционными методами из эффекта оптической близости [2]. Для применения технологии двойного шаблона необходимо разделение исходного топологического слоя на два новых. Распределение полигонов между новыми слоями выполняется по

итомам поиска противоречий исходного топологического слоя, которые нарушают ограничения технологии двойного шаблона (рис. 1). Если для двух полигонов существует хотя бы одно противоречие, то они не могут находиться в одном слое [3-7].

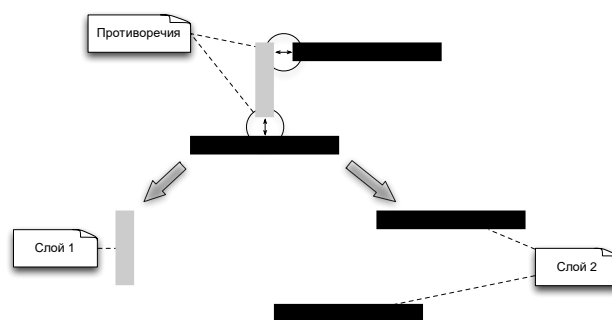


Рис. 1. Противоречия при трансформации топологического слоя СБИС для технологии двойного шаблона

Множество алгоритмов трансформации топологии СБИС для технологии двойного шаблона основано на алгоритмах раскраски графа в два цвета. В работах [3, 4] рассматриваются последовательные алгоритмы построения графа противоречий и трансформации топологического слоя СБИС с манхэттенской геометрией для технологии двойного шаблона на его основе.

В работе [5] были предложены параллельные алгоритмы трансформации топологии СБИС с манхэттенской геометрией для технологии двойного шаблона. В работах [6, 7] рассматриваются параллельные алгоритмы трансформации топологии СБИС с произвольной геометрией для технологии двойного шаблона. Алгоритмы, предложенные в работах [3-7], могут завершить свою работу как успешно (топологический слой СБИС или системы на кристалле декомпозирован на два новых), так и неудачно (в топологическом слое остались неразрешимые противоречия).

В работе [8] рассматривается применение интуитивно понятной визуальной поддержки для проектирования тонких полевых транзисторов (FinFET) для технологии двойного шаблона. Указанные методы позволяют сократить временные

затраты на проектирование заказных систем на кристалле. В работе [9] отмечается значительное увеличение сложности проектирования устройств по FinFET-технологии и подчеркивается перспективность применения средств визуальной поддержки процесса проектирования.

В работе [10] сформулированы основы когнитивных инфокоммуникаций. В работе [11] рассматривается применение когнитивных методов и подходов для отображения информации в нанотехнологии при проектировании СБИС и МЭМС при помощи САПР. В работе [12] предложена классификация противоречий, которые возникают при попытке провести трансформацию топологии СБИС или системы на кристалле для технологии двойного шаблона и методы их визуализации.

II. КЛАССИФИКАЦИЯ ПРОТИВОРЕЧИЙ ПРИ ТРАНСФОРМАЦИИ ТОПОЛОГИИ СБИС ДЛЯ ТЕХНОЛОГИИ ДВОЙНОГО ШАБЛОНА

В работе [12] была предложена следующая классификация противоречий, которые возникают при попытке трансформации топологии СБИС для технологии двойного шаблона:

- 1) внутренние противоречия: противоречия между полигонами в рамках одного экземпляра ячейки;
- 2) противоречия ячейки: противоречия между полигонами из разных экземпляров одной и той же ячейки;
- 3) внешние противоречия: противоречия между полигонами, которые относятся к разным ячейкам.

Данная классификация основана на том, что инженеры-проектировщики СБИС используют библиотеки готовых стандартных типовых ячеек, такие как, например, the Nangate 45nm Open Cell Library или the NanGate 15nm Open Cell Library [13, 14]. Результаты трансформации стандартных ячеек из the Nangate 45nm Open Cell Library при помощи программы «Parallel DPLayout Migrator» были приведены в работе [15]. Следует заметить, что технология двойного шаблона особо актуальна для технологических процессов 18 нм и ниже.

Формат GDSII, который является де-факто стандартом описания топологической информации для производства шаблонов, допускает многократное использование одной и той же ячейки в итоговой топологии [16]. Ячейки могут располагаться как в виде массивов, так и одиночно на разных участках результирующей топологии. В результате противоречия могут возникать между полигонами, которые могут относиться к одной ячейке, к разным экземплярам одной ячейки или к разным ячейкам. В работе [12] показано, что для разрешения разных противоречий инженер-проектировщик СБИС может принимать различные проектные решения.

На рис. 2 приведен фрагмент топологического слоя металлизации, на примере которого можно провести анализ классификации, предложенной в работе [12].

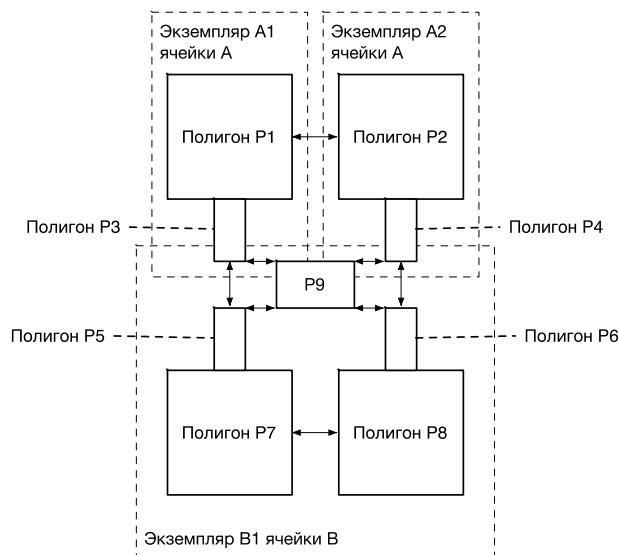


Рис. 2. Фрагмент топологического слоя металлизации, состоящего из 10-ти полигонов из 3-х разных ячеек

На рис. 2 отображены полигоны ячеек А и В, которые используются в рамках топологии одной СБИС. Причем для ячейки А существуют два экземпляра А1 и А2, а для ячейки В – один экземпляр В1. Полигоны P1 и P3 относятся к ячейке А1, полигоны P2 и P4 относятся к ячейке А2. Полигоны P5, P6, P7, P8 и P9 – к ячейке В1. На рис. 2 противоречия между полигонами {P7, P8}, {P5, P9} и {P6, P9} являются противоречиями первого типа, внутренними противоречиями. Противоречие между полигонами P1 и P2 является противоречием второго типа, противоречием ячейки. Противоречия между полигонами {P3, P5}, {P3, P9}, {P4, P6} и {P4, P9} являются противоречиями третьего типа, внешними противоречиями.

Граф противоречий, который соответствует анализируемому фрагменту топологического слоя металлизации (рис. 2), показан на рис. 3. Он состоит из 9 вершин и 7 ребер. Каждая вершина соответствует определенному полигону, ребро графа является отображением противоречия между двумя полигонами. Для трансформации топологического слоя СБИС для технологии двойного шаблона в работах [3-7] применяются алгоритмы на основе алгоритма раскраски графа противоречий в два цвета. Граф можно раскрасить в два цвета, если он является двудольным [17]. Граф противоречий, который показан на рис. 3, невозможно раскрасить в два цвета, так как существуют нечетные циклы {P3, P5, P9} и {P4, P6, P9}.

Проведем анализ полученного графа противоречий. Граф состоит из 3 связанных компонент {P1, P2}, {P3, P4, P5, P6, P9} и {P7, P8}. Связные компоненты {P1, P2} и {P7, P8} не имеет смысла анализировать, поскольку они легко раскрашиваются в два цвета, так как полученные подграфы являются двудольными. Следует заметить, что выделение противоречий разных типов в графе может упростить анализ

полученных данных. На рис. 4 противоречия первого типа даны пунктиром, противоречия второго типа даны штриховой линией, противоречия третьего типа даны сплошной линией.

В данном случае очевидно, что проблемным является расположение полигона P9, так как он является частью обоих нечетных циклов подграфа {P3, P4, P5, P6, P9} и у него наибольшее количество инцидентных ребер: четыре. Два ребра являются отображением противоречий третьего типа, а другие два ребра – противоречий первого типа.

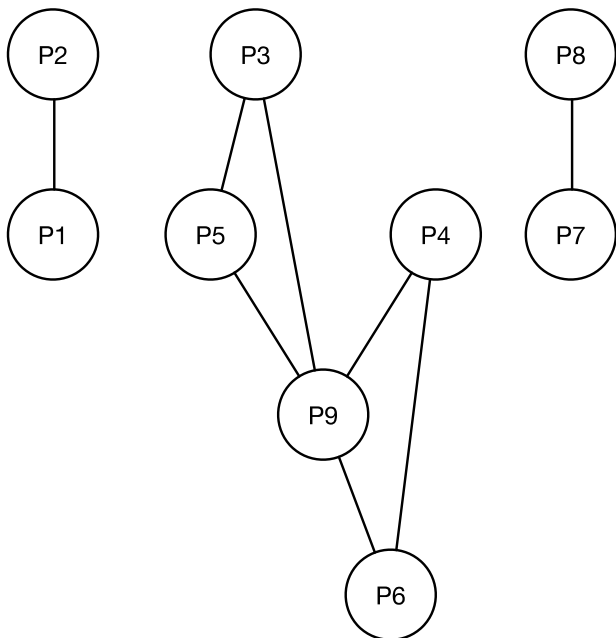


Рис. 3. Граф противоречий для фрагмента топологического слоя металлизации

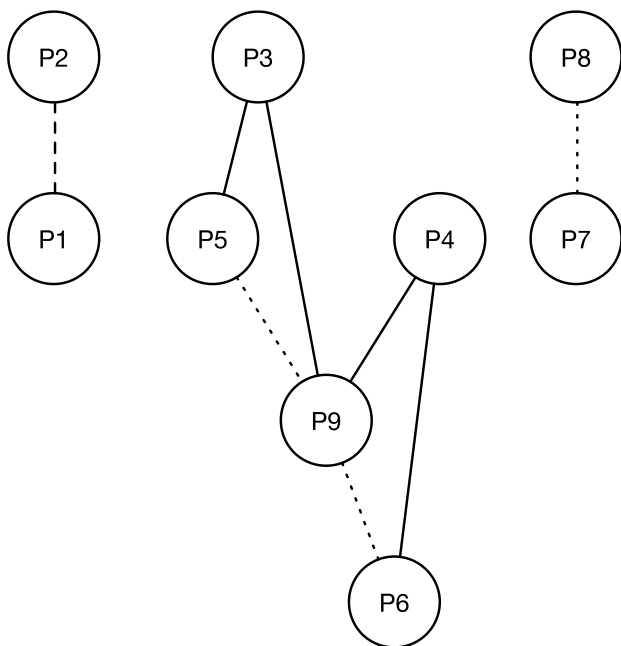


Рис. 4. Граф противоречий для фрагмента топологического слоя металлизации

Следует заметить, что если бы ячейка B1 не имела внутренних противоречий (ребра {P5, P9} и {P6, P9}), то подграф {P3, P4, P5, P6, P9} стал бы двудольным графом. Следовательно, появилась бы возможность провести трансформацию фрагмента топологического слоя металлизации для технологии двойного шаблона. Очевидно, что вручную подобный анализ можно проводить только для небольших топологических слоев, которые состоят из десятков или сотен полигонов. Реальные топологические слои СБИС состоят из миллиардов полигонов. Ручной анализ и обработка таких графов нецелесообразна и вряд ли выполнима. Предлагаемая визуализация позволяет систематизировать данные по противоречиям между полигонами и различным физическим эффектам, к которым они приводят.

III. ВИЗУАЛИЗАЦИЯ ПРОБЛЕМНЫХ УЧАСТКОВ ТОПОЛОГИЧЕСКОГО СЛОЯ СБИС ПОСЛЕ ПОПЫТКИ ТРАНСФОРМАЦИИ ДЛЯ ТЕХНОЛОГИИ ДВОЙНОГО ШАБЛОНА

На основании выводов выше формулируется постановка задачи автоматического поиска и выделения проблемных участков топологии. Внимание инженера-проектировщика СБИС необходимо фокусировать на полигонах, которые имеют наибольшее количество противоречий. Также следует учитывать, что устранение противоречий различных типов приведенной выше классификации требует использования различных подходов и предполагает выбор разных проектных решений.

Для визуализации наиболее проблемных участков топологических слоев СБИС в статье предлагается варьировать размер вершин графа противоречий, которые представляют полигоны. Изменять размер вершины проще, если вершина графа визуализируется как круг, так как в таком случае можно увеличивать радиус. В статье предлагается рассчитывать радиус вершины по следующей формуле:

$$r_i = r_0 + \sum_{j=1}^{j=3} w_j \times r_0 \times e_{ij}, \quad (1)$$

где r_i – радиус i -ой вершины графа противоречий; r_0 – радиус вершины графа противоречий, у которой нет инцидентных ребер; w_j – весовой коэффициент противоречий j -го типа предложенной классификации; e_{ij} – количество противоречий j -го типа для i -й вершины графа противоречий. Увеличение радиуса вершин варьируется в зависимости от вида противоречий и их количества. Большой радиус вершины позволяет быстро сконцентрировать внимание на полигонах, которые расположены на наиболее проблемных участках топологического слоя.

В статье предлагается использовать следующие значения весовых коэффициентов для различных типов противоречий:

- 1) 0,1 для внутренних противоречий;
- 2) 0,15 для противоречий ячейки;
- 3) 0,25 для внешних противоречий.

Апробируем предложенный подход на примере фрагмента топологического слоя металлизации (рис. 1). В таблице 1 приведены радиусы вершин графа противоречий, которые были рассчитаны по формуле (1). Расчет величины радиуса предлагается вести в относительных единицах, которые в зависимости от размера графа противоречий можно легко перевести в пункты, пиксели или миллиметры и сантиметры.

Таблица 1

Расчет радиуса вершин для графа противоречий

| Вершина (полигон) | Пр-чия 1- типа, шт. | Пр-чия 2- типа, шт. | Пр-чия 3- типа, шт. | Радиус вершины, ед. |
|-------------------|---------------------|---------------------|---------------------|---------------------|
| P1 | 0 | 1 | 0 | 1,15 |
| P2 | 0 | 1 | 0 | 1,15 |
| P3 | 0 | 0 | 2 | 1,5 |
| P4 | 0 | 0 | 2 | 1,5 |
| P5 | 1 | 0 | 1 | 1,35 |
| P6 | 1 | 0 | 1 | 1,35 |
| P7 | 1 | 0 | 0 | 1,1 |
| P8 | 1 | 0 | 0 | 1,1 |
| P9 | 2 | 0 | 2 | 1,7 |

На рис. 5 представлен граф противоречий для фрагмента топологического слоя металлизации (рис. 2). Размер вершины был переведен в сантиметры исходя из соотношения, что одна относительная единица из таблицы эквивалентна одному сантиметру.

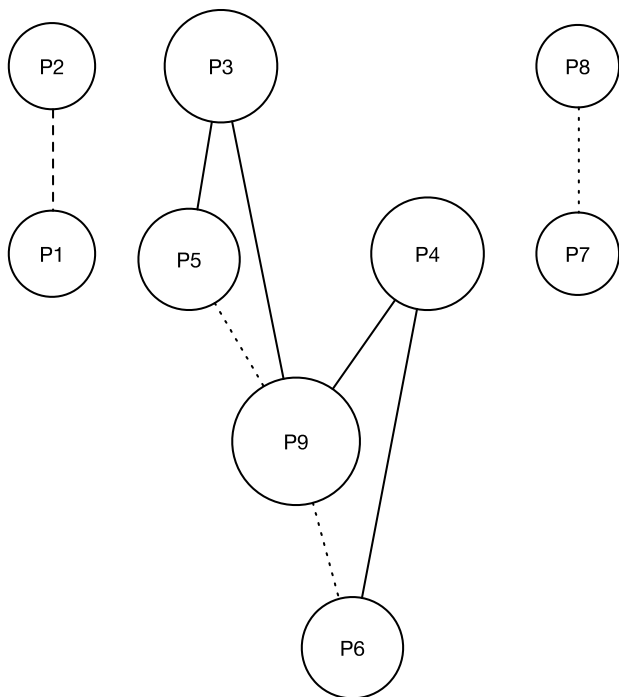


Рис. 5. Граф противоречий для фрагмента топологического слоя металлизации после пересчета радиусов вершин

Граф на рис. 5 был построен при помощи языка описания графовых моделей DOT. Для визуализации графа было использовано программное обеспечение с открытым исходным кодом GraphViz [18]. Анализируя полученный граф, легко сделать вывод, какой участок топологии является проблемным. Следовательно, инженер-проектировщик СБИС имеет возможность быстро оценить расположение и размеры каких полигонов требуют анализа и возможной доработки.

Очевидно, что связная компонента {P3, P4, P5, P6, P9} является наиболее проблемным участком фрагмента топологического слоя. Полигон P9 имеет наибольший радиус, что свидетельствует о том, что на нем сосредоточено наибольшее количество противоречий разных типов.

IV. АПРОБАЦИЯ ПРЕДЛОЖЕННОГО ПОДХОДА НА ТЕСТОВЫХ ТОПОЛОГИЯХ

Проведем апробацию предложенных подходов на примере топологического слоя металлизации ячейки сумматора (рис. 6). На рис. 7 представлено расположение трех стандартных ячеек, из которых состоит указанный фрагмент.

На рис. 8 представлен фрагмент топологического слоя металлизации после неудачной попытки трансформации для технологии двойного шаблона с помощью программы «Parallel DPLayout Migrator». На рис. 8 черным дан первый слой, второй слой показан белым и заштрихован, полигоны, которые не получилось разнести по слоям, даны серым.

На рис. 9 показан полученный граф противоречий, который состоит из 52-х вершин (черные – 1-ый первый слой, белые – 2-ой слой, серые – соответствуют полигонам, которые не получилось разнести по слоям), 78-ми противоречий первого типа (даны пунктиром), 4-х противоречий второго типа (даны штриховой линией) и 2-х противоречий третьего типа (даны сплошной линией).

С помощью предложенного подхода выделены полигоны ID2, ID21, ID22, ID48, ID49. Рядом с указанными полигонами сконцентрировано наибольшее количество противоречий, которые не удалось разрешить.

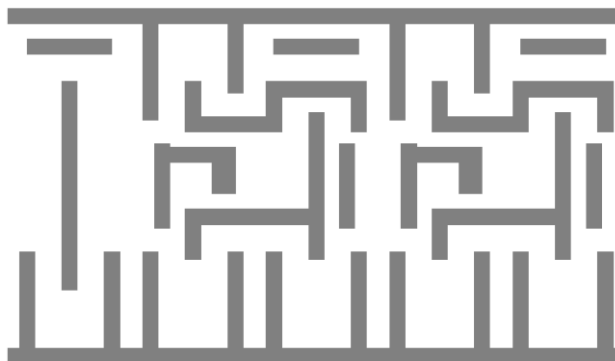


Рис. 6. Фрагмент слоя металлизации ячейки сумматора после неудачной попытки декомпозиции

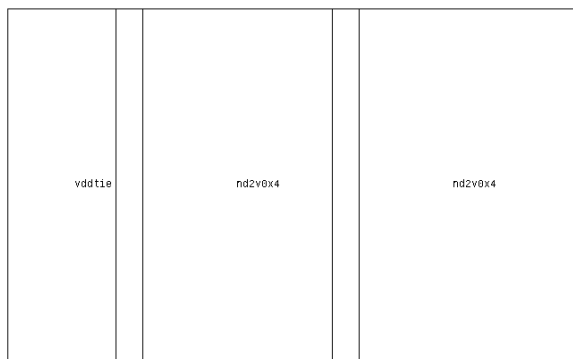


Рис. 7. Расположение стандартных ячеек в фрагменте топологии сумматора

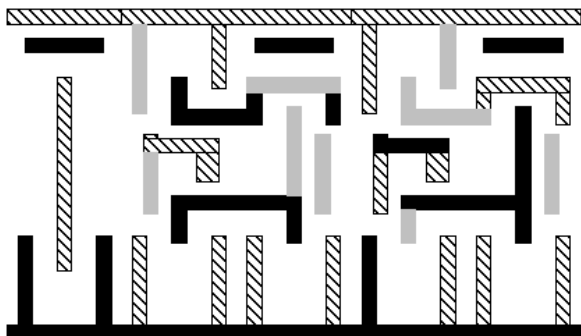


Рис. 8. Фрагмент слоя металлизации ячейки сумматора после неудачной попытки декомпозиции

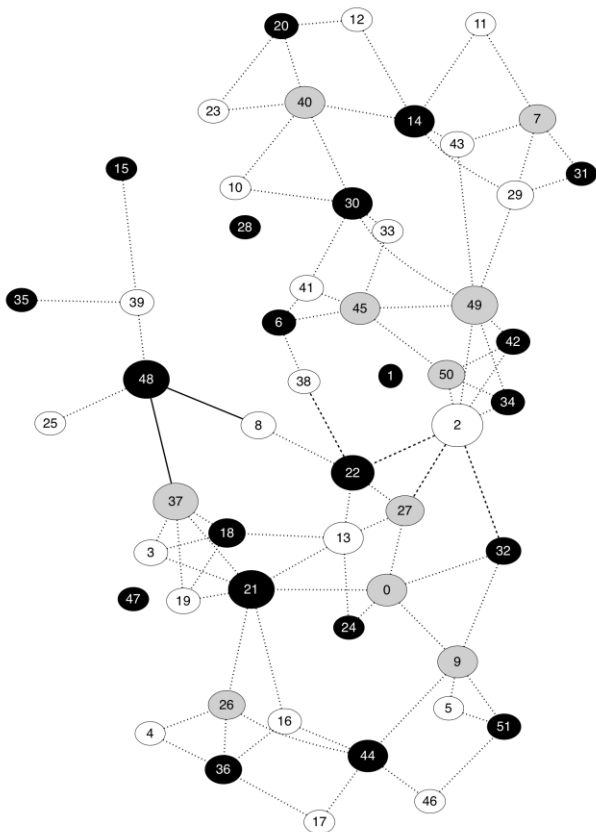


Рис. 9. Граф противоречий для фрагмента топологического слоя металлизации ячейки сумматора

Также следует заметить, что подавляющее большинство противоречий – противоречия первого типа, что свидетельствует о том, что выбранные стандартные ячейки плохо соответствуют конструкторско-технологическим ограничениям технологии двойного шаблона для техпроцесса, который планируется применять в производстве. Замена проблемных ячеек может решить задачу трансформации рассматриваемого фрагмента топологического слоя металлизации ячейки сумматора для технологии двойного шаблона. Следует заметить, что чаще всего неразрешимые противоречия встречаются именно на стыке двух стандартных ячеек в рамках одного устройства.

Цветовая кодировка и вариативность радиуса вершин позволяют использовать особенности восприятия информации человеком, тем самым фокусировать внимание инженера-проектировщика СБИС или систем на кристалле на критических местах топологического слоя. Визуализация противоречий на основе предложенной классификации позволяет быстро оценить причину неудавшейся трансформации топологического слоя для технологии двойного шаблона.

V. ЗАКЛЮЧЕНИЕ

В статье предложен когнитивный подход для визуализации противоречий в задачах трансформации топологии СБИС для технологии двойного шаблона. Предложенный подход базируется на приведенной классификации противоречий, которые возникают при трансформации топологии СБИС для технологии двойного шаблона.

Варьируя величину радиуса вершин графа противоречий, достигается эффект привлечения внимания инженера к наиболее сложным и проблемным участкам топологического слоя СБИС. Используя разработанный подход, инженер-проектировщик СБИС или инженер-технолог имеет возможность быстро находить проблемные участки топологии вплоть до конкретных полигонов, которые составляют топологические слои. После проведения анализа проблемных участков инженер получает возможность принимать взвешенные проектные решения.

Дальнейшее развитие предлагаемого подхода для визуализации противоречий в задачах трансформации топологии СБИС для технологии двойного шаблона прежде всего заключается в автоматизации выдачи рекомендаций инженеру-проектировщику СБИС для принятия правильных проектных решений. Применение таких подходов особо актуально при проектировании устройств с многотатворными транзисторами по технологии двойного шаблона для техпроцесса 18 нм и ниже. Другим направлением развития является работа над повышением наглядности предоставляемых данных для анализа с учетом физических особенностей человеческого восприятия больших объемов информации.

ПОДДЕРЖКА

Работа выполнена при частичной финансовой поддержке гранта РФФИ №16-37-00254 мол_а.

ЛИТЕРАТУРА

- [1] Roadmap for Semiconductors. <http://www.itrs.net/reports.html>, 2013. Дата обращения 11 января 2016 г.
- [2] Захаревич А.А., Достанко А.П. Обзор методов повышения разрешающей способности процесса фотолитографии при создании топологии микроструктур субмикронного производства ИМС // «Инновации и современная наука»: материалы международной заочной научно-практической конференции. Часть I. — Новосибирск: Изд. «Сибирская ассоциация консультантов», 2011. — 134 с.
- [3] Шахнов В.А., Зинченко Л.А., Резчикова Е.В., Аверьянихин А.Е. Алгоритмы трансформации топологии субмикронных сверхбольших интегральных схем // Вестник МГТУ им. Н. Э. Баумана, 2011, №1, с. 76-87.
- [4] Зинченко Л.А., Аверьянихин А.Е. Программа трансформации топологии субмикронных сверхбольших интегральных схем для технологии двойного фотошаблона // Программные продукты и системы. - 2011. - N 1. - С. 7-10.
- [5] Shakhnov V., Zinchenko L., Verstov V. Topological transformation of submicron VLSIs for the double lithographic mask technology // Russian Microelectronics, Volume 42, Issue 6, November 2013, Pages 347-359.
- [6] Shakhnov V., Zinchenko L., Verstov V. Parallel Algorithm of SOI Layout Decomposition for Double Patterning Lithography on High-Performance Computer // IFIP AICT 423, pp. 543–550, 2014.
- [7] Шахнов В.А., Зинченко Л.А., Верстов В.А. Параллельный алгоритм трансформации топологического слоя топологии субмикронных СБИС с произвольной геометрией для технологии двойного шаблона // Проблемы разработки перспективных микро- и нанозлектронных систем -2014. Сборник трудов / Под общей редакцией академика РАН А.Л. Стемповского. М.:ИППМ РАН, 2014, часть I, с. 137-142.
- [8] Custom Compiler Visually-assisted Automation. <http://www.synopsys.com/Tools/Implementation/CustomImplementation/Documents/custom-compiler-ds.pdf>. Дата обращения 25 мая 2016 г.
- [9] McGrath D. Synopsys Touts Visually Assisted Automation For FinFET Design. http://www.eetimes.com/document.asp?doc_id=1329318. Дата обращения 25 мая 2016 г.
- [10] Wang Y. The Theoretical Framework of Cognitive Informatics // International Journal of Cognitive Informatics and Natural Intelligence, Vol. 1, Number 1. 2007, pp. 1-27.
- [11] Shakhnov V., Zinchenko L., Makarchuk V., Verstov V. Heterogeneous Knowledge Representation for VLSI Systems and MEMS Design // Cognitive Infocommunications (CogInfoCom), 2013 IEEE 4th International Conference, p. 189-194, Budapest, Hungary.
- [12] Shakhnov V., Zinchenko L., Makarchuk V., Verstov V. Visual Analytics Support for the SOI VLSI Layout Design for Multiple Patterning Technology // Cognitive Infocommunications (CogInfoCom), 2015 IEEE 6th International Conference, Gyor, Hungary.
- [13] NanGate, Inc. NanGate 45nm Open Cell Library. http://www.nangate.com/?page_id=2325, 2008. Дата обращения 11 января 2015 г.
- [14] Open Cell Library in 15nm FreePDK Technology / M. Martins [et al] // Proceedings of the International Symposium on Physical Design (ISPD), 2015.
- [15] Zinchenko L., Makarchuk V., Verstov V. SOI Layout Decomposition for Double Patterning Lithography on High-Performance Computer Platforms // Proceedings SPIE 9440, 2014.
- [16] Bellingham W. SPIE Handbook of Microlithography, Micromachining and Microfabrication. Vol. 1: Microlithography // SPIE Optical Engineering Pr., 1997.
- [17] Eppstein D. Testing bipartiteness of geometric intersection graphs // ACM Transactions on Algorithms: Art. 15, 2009.
- [18] GraphViz Library, доступно по адресу: <http://www.graphviz.org/content/dot-language>. Дата обращения 27 декабря 2015 года.

Cognitive Contradiction Visualization for VLSI Layout Decomposition for Double Patterning Issues

V.A. Verstov, L.A. Zinchenko, V.V. Makarchuk, V.A. Shakhnov

Bauman Moscow State Technical University named after N.E. Bauman, v.verstov@gmail.com

Keywords — cognitive informatics, visualization, VLSI, EDA, graph theory, double patterning.

ABSTRACT

In the paper, we discuss cognitive techniques for contradiction visualization during VLSI layout decomposition for double patterning. Our goal is visual analytics support of time-consuming VLSI design process.

Larger datasets, including information about contradictions between polygons, are generated during VLSI layout decomposition for double patterning.

Contradiction graph that is one of the results of layout decomposition attempt consists of billions of vertices and edges. Vertices represent polygons. Edges represent contradictions. Analysis of contradictions' data and the new VLSI layout is a complex task for VLSI design engineer because links between the cell hierarchy and the contradiction graph are missed. To overcome this deficiency, we propose a special visual model that simplifies problematic layout parts localization.

Our analytics are based on graph models for VLSI layout representation. We propose contradiction

classification. Our classification helps to manage data during VLSI SOI layout design. We illustrate our approach for contradiction visualization for double patterning technology case study. We change vertex radius depending of contradiction types and their amount.

The proposed cognitive approach for contradiction management during VLSI layout decomposition for double patterning could reduce design efforts. All case studies are generated by Parallel DPLayout Migrator software. The proposed cognitive approach makes the user-machine interface of Parallel DPLayout Migrator easier. The proposed visualization techniques support design process and add cognitive elements in layout EDA tools.

The reported research study was partially funded by RFBR according to the research project No. 16-37-00254 mol_a.

REFERENCES

- [1] Roadmap for Semiconductors. <http://www.itrs.net/reports.html>, 2013. Accessed 11.01.2016.
- [2] Zaharevich A.A., Dostanko A.P. Obzor metodov povyshenija razreshajushhej sposobnosti processa fotolitografii pri sozdanii topologii mikrostruktur submikronnogo proizvodstva IMS // Proceedings «Innovacii i sovremennaja nauka». Part I. — Novosibirsk: Izd. «Sibirskaja asociacija konsul'tantov», 2011. — p. 134. (In Russian)
- [3] Shakhnov V.A., Zinchenko L.A., Rezhikova E.V., Averyanikhin A.E. Algorithms for VLSI Layout Transformation // Vestnik MGTU im. N. Je. Baumana, 2011, №1, P. 76-87. (In Russian)
- [4] Zinchenko L.A., Averyanikhin A.E. Software for VLSI Layout Decomposition for Double Patterning // Programmnye producty i sistemy. - 2011. - N 1. - P. 7-10.
- [5] Shakhnov V., Zinchenko L., Verstov V. Topological transformation of submicron VLSIs for the double lithographic mask technology // Russian Microelectronics, Volume 42, Issue 6, November 2013, Pages 347-359.
- [6] Shakhnov V., Zinchenko L., Verstov V. Parallel Algorithm of SOI Layout Decomposition for Double Patterning Lithography on High-Performance Computer // IFIP AICT 423, pp. 543–550, 2014.
- [7] Shakhnov V.A., Zinchenko L.A., Verstov V.A. Parallel VLSI Layout Decomposition Algorithm for Double Patterning // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2014. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2014. Part I. P. 137-142.
- [8] Custom Compiler Visually-assisted Automation. <http://www.synopsys.com/Tools/Implementation/CustomImplementation/Documents/custom-compiler-ds.pdf>. Accessed 25.05.2016.
- [9] McGrath D. Synopsys Touts Visually Assisted Automation For FinFET Design. http://www.eetimes.com/document.asp?doc_id=1329318. Accessed 25.05.2016.
- [10] Wang Y. The Theoretical Framework of Cognitive Informatics // International Journal of Cognitive Informatics and Natural Intelligence, Vol. 1, Number 1. 2007, pp. 1-27.
- [11] Shakhnov V., Zinchenko L., Makarchuk V., Verstov V. Heterogeneous Knowledge Representation for VLSI Systems and MEMS Design // Cognitive Infocommunications (CogInfoCom), 2013 IEEE 4th International Conference, p. 189-194, Budapest, Hungary.
- [12] Shakhnov V., Zinchenko L., Makarchuk V., Verstov V. Visual Analytics Support for the SOI VLSI Layout Design for Multiple Patterning Technology // Cognitive Infocommunications (CogInfoCom), 2015 IEEE 6th International Conference, Gyor, Hungary.
- [13] NanGate, Inc. NanGate 45nm Open Cell Library. http://www.nangate.com/?page_id=2325, 2008. Accessed 11.01.2016.
- [14] Open Cell Library in 15nm FreePDK Technology / M. Martins [et al] // Proceedings of the International Symposium on Physical Design (ISPD), 2015.
- [15] Zinchenko L., Makarchuk V., Verstov V. SOI Layout Decomposition for Double Patterning Lithography on High-Performance Computer Platforms // Proceedings SPIE 9440, 2014.
- [16] Bellingham W. SPIE Handbook of Microlithography, Micromachining and Microfabrication. Vol. 1: Microlithography // SPIE Optical Engineering Pr., 1997.
- [17] Eppstein D. Testing bipartiteness of geometric intersection graphs // ACM Transactions on Algorithms: Art. 15, 2009.
- [18] GraphViz Library, <http://www.graphviz.org/content/dot-language>. Accessed 27.12.2015.