

# Сложнофункциональный блок контроллера карты памяти интерфейса Secure Digital

Д.И. Воронков, А.А. Вейков, И.Ю. Сысоев

ООО «НПП «Цифровые решения», [veykov@dsol.ru](mailto:veykov@dsol.ru)

**Аннотация** — В работе рассматривается разработка СФ-блока контроллера ведомого устройства интерфейса SD, обеспечивающего обмен данными на скоростях до 43 Мбайт/с. Описана структурная схема блока и ключевые элементы. Показаны результаты синтеза для СБИС с техпроцесс 180 нм и ПЛИС, результаты тестирования и оценки производительности. Приведено сравнение с аналогами.

**Ключевые слова** — IP-блок, SD, SD Device, DDR, AMBA, система на кристалле, СБИС, SoC, ASIC.

## I. ВВЕДЕНИЕ

Текущий уровень развития технологии позволяет производить надёжные и достаточно производительные портативные устройства. Практически любое портативное устройство, будь то фотоаппарат или мини-компьютер, требует для корректного функционирования наличие миниатюрного хранилища данных. Наиболее перспективной является задача поддержки самого распространённого интерфейса для миниатюрных носимых хранилищ данных, интерфейса Secure Digital (SD) [1]. Карты памяти с интерфейсом SD компактные, высокоскоростные, быстро заменяемые, маломощные и не требуют высокую квалификацию пользователя.

В данной работе приводятся результаты разработки сложнофункционального блока (СФ-блока) контроллера ведомого устройства (карты памяти) интерфейса SD. Блок предназначается с учётом использования в системах, эксплуатируемых в жестких условиях и построенных на внутрисистемной шине AMBA [2]. Система может быть построена как на СБИС, так и на ПЛИС. Разработанный СФ-блок подходит как для карт памяти, совместимых с разными поколениями стандарта Secure Digital, так и различные преобразователи интерфейсов, в частности SD в USB, специализированные модули памяти, подключаемые к микроконтроллерам по интерфейсу SPI, периферийные устройства.

## II. ТРЕБОВАНИЯ К СФ-БЛОКУ

При разработке СФ-блока SD Device, ввиду его области применения и технологических ограничений, был выдвинут ряд требований, в соответствии со стандартом [1]:

- 1) поддержка режимов работы с 3,3 В (DS, HS);
- 2) поддержка режимов работы 1,8 В (SDR12, SDR25, SDR50, DDR50);
- 3) поддержка 1-битного и 4-битного режимов работы SD шины;
- 4) поддержка режима SPI;
- 5) скорость передачи данных до 50 МБ/с;
- 6) режим работы в качестве устройства ввода/вывода SDIO;
- 7) работа на частотах до 100 МГц;
- 8) внутренний интерфейс для управления процессором – AMBA APB Slave;
- 9) интерфейс для передачи данных в режиме DMA – AMBA AHB Master;
- 10) наличие внутреннего буфера на 1024 байта (2 буфера по 512 байт) для аппаратной буферизации потока;
- 11) наличие программно-управляемого прерывания.

## III. АРХИТЕКТУРА И СТРУКТУРА IP-БЛОКА

На рис. 1 приведена структурная схема разработанного СФ-блока. Пунктиром разделены части блока, работающие на разных тактовых частотах. Справа – системная частота 100М Гц, слева частота, которой тактируются команды и данные от внешнего устройства.

IP-Блок состоит из следующих частей:

### A. APB Slave

Интерфейс ведомого устройства на шине AMBA APB. Обеспечивает ведущему устройству (процессору) доступ к регистрам блока. Предназначен для управления блоком, контроля процесса передачи данных и состояния блока. Состоит из интерфейсной части, обеспечивающей обмен по шине AMBA, и регистров.

### B. AHB Master

Интерфейс ведущего устройства на шине AMBA AHB. Обеспечивает передачу больших объемов данных в режиме прямого доступа к памяти (DMA, direct memory access).

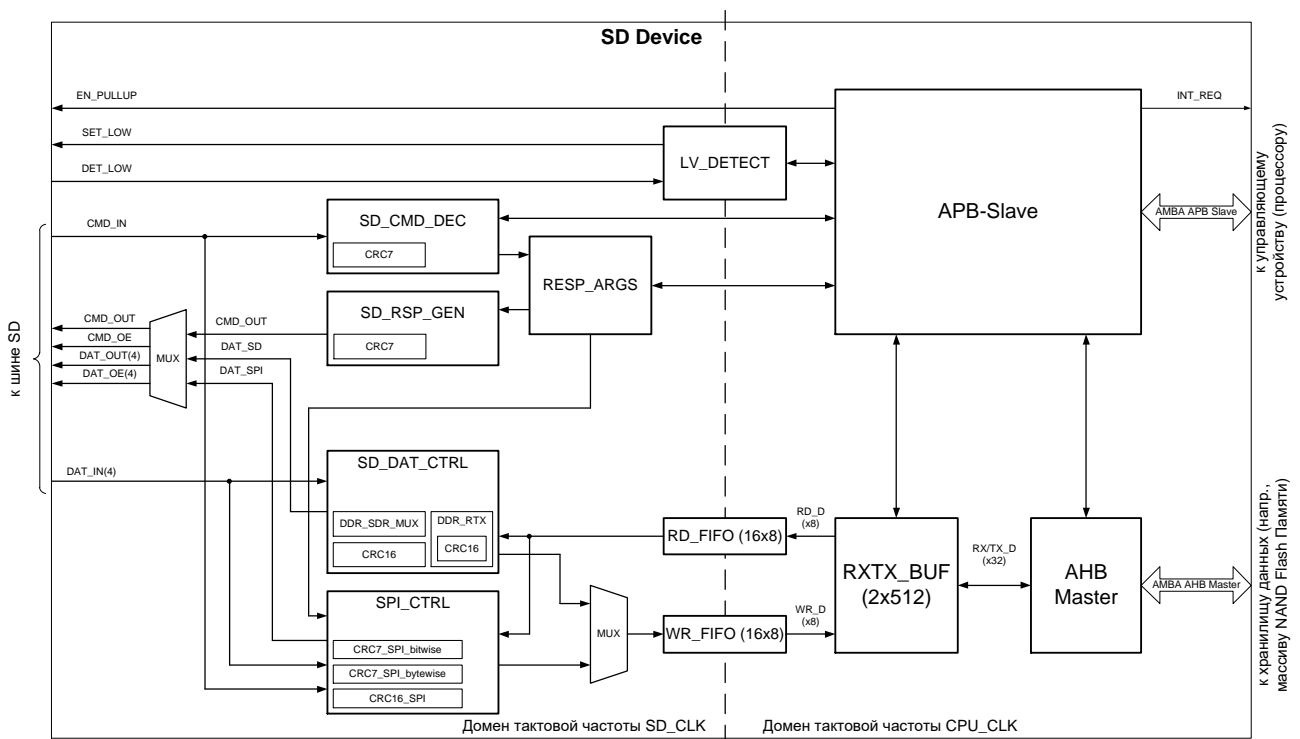


Рис. 1. Структурная схема IP-блока SD Device

#### C. SD\_RSP\_GEN

Блок SD\_RSP\_GEN обеспечивает формирование ответа на поступившую команду, при необходимости. Реализован в аппаратном виде для выполнения требований стандарта, ограничивающих время ответа на поступающие команды.

#### D. RESP\_ARGS

Блок RESP\_ARGS предназначен для формирования корректных параметров для ответа на поступившую команду без участия управляющего процессора.

#### E. SD\_DAT\_CTRL

Приёма и передачи данных разработан сложный блок SD\_DAT\_CTRL. Устанавливает связь между внешним приёмопередатчиком и управляющей процессорной системы SD\_DAT\_CTRL, содержит аппаратный блок подсчета и анализа CRC.

#### F. DDR\_RTX

Для обмена данными в режиме DDR50 используется блок DDR\_RTX. Этот блок решает задачу приёма и передачи данных по переднему и заднему фронту тактового сигнала. Для обеспечения максимальной скорости содержит блок подсчета и анализа контрольной суммы.

#### G. RD\_FIFO

Приемный буфер FIFO (first-in-first-out) входных данных. Обеспечивает пересинхронизацию входных данных с домена тактовой частоты внешнего устройства в домен системной частоты блока SD Device. Размерность 16 слов по 8 бит.

#### H. WR\_FIFO

Передающий буфер fifo выходных данных. Обеспечивает пересинхронизацию при передачи данных внешнему устройству с домена системной частоты в домен частоты внешнего устройства. Размерность 16 слов по 8 бит.

#### I. RXTX\_BUF

Для выравнивания скоростей между внешними блоками, подключёнными по шине SD, и внутренними блоками, подключёнными по шине AMBA, предусмотрен буфер данных RXTX\_BUF. С целью достижения максимальной скорости реализован в виде двух буферов. В любой момент времени одна часть осуществляет обмен данными по шине SD, а другая – по шине AMBA. Размер каждой части буфера равняется максимальному размеру блока передаваемых данных в соответствии со стандартом SD – 512 байт [1].

#### J. LV\_DETECT

Согласно стандарту [1], СФ-блок должен поддерживать переключение питающего напряжения от внешнего интерфейса. Для решения этой задачи предусмотрен блок LV\_DETECT. Обеспечивает обнаружение переключения питания при переходе в низковольтные режимы работы. Низковольтными режимами являются SDR12, SDR25, SDR50 и DDR50.

#### K. SPI\_CTRL

Блок SPI\_CTRL предназначен для поддержки интерфейса SPI. Обеспечивает доступ к внутренним регистрам блока SD Device и данным в адресном

пространстве АНВ со стороны внешнего процессора по интерфейсу SPI.

#### L. OUT\_MUX

Для обеспечения всевозможных требований к СФ-блоку во всех требуемых режимах используется блок OUT\_MUX. Он формирует выходные сигналы линии CMD и шины DAT. Блок OUT\_MUX работает с сигналами по переднему фронту, заднему фронту и по обоим фронтам тактовой частоты [3]. Схема блока представлена на рис. 2. Блок OUT\_MUX является определяющим для скоростных параметров СФ-блока.

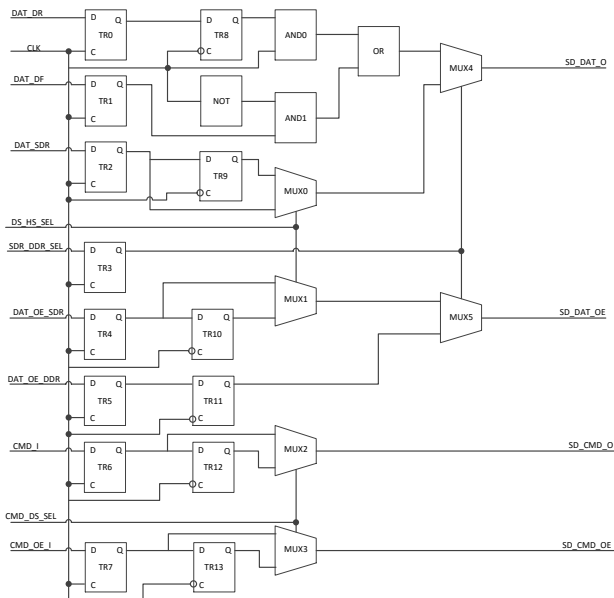


Рис. 2. Схема выходного мультиплексора

В режиме работы по двум фронтам (DDR) работает следующая цепь: триггеры TR0-TR3, TR5, TR8, TR9 и TR11, мультиплексоры MUX0, MUX4 и MUX5, стандартная логика AND0, AND1, OR и NOT. На входы DAT\_DR и DAT\_DF одновременно, по фронту тактового сигнала SD\_CLK поступают данные для передачи на шину SD. Вход DAT\_DR предназначен для данных, которые должны быть приняты приемником по спаду тактового сигнала SD\_CLK, вход DAT\_DF – для данных, которые должны быть приняты по фронту.

#### IV. РЕЗУЛЬТАТЫ СИНТЕЗА

В рамках работы был проведен синтез СФ-блока для ПЛИС XC7K325T-2FFG900, а также для СБИС с использованием библиотеки 180 нм.

##### A. Xilinx Kintex 7

В таблице 1 приведена оценка по занимаемым ресурсам при реализации СФ-блока в ПЛИС Xilinx Kintex 7. Максимальная частота работы составляет 281.535 МГц, что указывает на возможность работы блока в режиме UHS104 [1].

Таблица 1

Использование ресурсов при реализации блока в ПЛИС Xilinx Kintex 7(XC7K325T-2FFG900)

Тип элемента	Использовано
Триггеры (flip-flops)	2%
Таблицы истинности (LUT)	13%
Элементарные логические ячейки (slices)	14%

##### B. Технология 180 нм

Для синтеза использовалась радиационно-стойкая библиотека по технологии 180 нм российской фабрики Микрон. Размер СФ-блока при использовании данной библиотеки составляет 2,3 мм<sup>2</sup>.

В таблице 2 приводится количество ресурсов, необходимых при синтезе СФ-блока под фабрику Микрон.

Таблица 2

Необходимые ресурсы при синтезе под радиационно-стойкую библиотеку технологии 180 нм

Тип элемента	Количество
Триггеры (latch cells)	11892
Стандартные элементы (cells)	45964
Транзисторы (gates)	170235

#### V. ТЕСТИРОВАНИЕ И ОЦЕНКА ПРОИЗВОДИТЕЛЬНОСТИ

Для функциональной проверки СФ-блока был изготовлен макет, показанный на рис. 3.

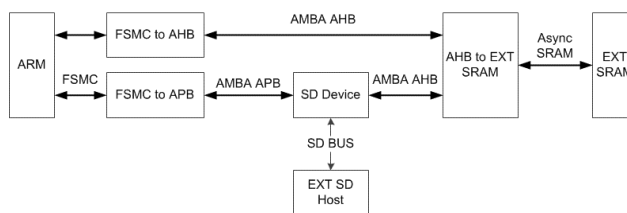


Рис. 3. Структурная схема макета для тестирования СФ-блока

##### A. ARM

Микроконтроллер с ядром AMR-Cortex M4, имеющий на своем борту контроллер интерфейса внешней памяти FSMC. В качестве данного управляющего устройства использовался микроконтроллер STM32F405Z.

##### B. FSMC to APB

Преобразователь 16-ти битных операций чтения/записи микроконтроллером из интерфейса FSMC в интерфейс AMBA-АНВ.

### C. FSMC to AHB

Преобразователь из интерфейса FSMC в AMBA-AHB, необходим для доступа микроконтроллера во внешнюю статическую память через интерфейс AHB.

### D. AHB to EXT SRAM

Преобразовывает посылки на шине AHB в посылки на интерфейсе внешней статической памяти.

### E. EXT SRAM

Хранилище данных для эмуляции памяти карты SD. В качестве этого хранилища использовалась микросхема внешней статической памяти фирмы Cypress CY62157EV30LL.

### F. EXT SD Host

Внешнее ведущее устройство шины SD. СФ-блок проверялся с покупными кардридерами.

## VI. СРАВНЕНИЕ С АНАЛОГАМИ

Во процессе разработки СФ-блока DSOL SD Device было проведено исследование время выполнения работы, авторами был произведен поиск аналогов СФ-блока у других производителей. В таблице 3 приводятся основные параметры аналогов разрабатываемого блока.

Таблица 3

Сравнение основных параметров СФ-блока с аналогами

СФ-блок	S PI	Разряд. шины, бит		I O	Частота блока, МГц	Интер фейс	D S	H S	SDR				DD R50	Transf rate
		1	4						1 2	2 5	5 0	1 0 4		
Arasan SD 2.0 Memory Controller [4]	+	+	+	-	50	не указано	+	+	-	-	-	-	25	
Aizyc SDIO3.0 Device controller IP [5]	+	+	+	+	208	AHB	+	+	+	+	+	+	104	
Aizyc SDIO2.0 AHB Device version 0.2 [5]	+	+	+	+	50	AHB	+	+	-	-	-	-	25	
Eureka EO560 SDIO/SD/MMC controller [6]	+	+	+	+	50	AHB/ APB/ WB	+	+	-	-	-	-	25	
SDHC DSOL	+	+	+	-	50	AVR	+	+	-	-	-	-	25	
<b>DSOL SD Device</b>	+	+	+	+	<b>100</b>	<b>AHB/ APB</b>	+	+	+	+	+	-	<b>50</b>	

В связи с тем, что по элементной базе, эксплуатируемой в жёстких условиях, информацию получить практически невозможно, а также в отсутствии значений реальных скоростей передачи данных СФ-блоков от сторонних производителей, проводилось сравнение разработанного блока с наиболее распространёнными картами памяти.

В таблице 4 приводятся полученные скорости карт памяти, поддерживающих работу только в 3,3 вольтовых режимах.

В таблице 5 приводится сравнение с картами памяти, которые поддерживают так же 1,8 вольтовые режимы.

Таблица 4

Сравнение скоростей СФ-блока с различными картами памяти, работающими только в режиме 3,3 В

Тип карты	DS		HS	
	wr, МБ/с	rd, МБ/с	wr, МБ/с	rd, МБ/с
Apacer 8GB	9,63	11,55	12,31	18,62
Adata 8GB	3,25	11,47	3,48	22,85
Silicon Power 16GB	11,11	11,01	21,74	18,79
Kingston 8GB	10,02	11,25	14,48	19,26
Canon 32MB	1,4	3,63	1,4	3,63
Leef 8GB	8,81	11,44	10,76	20,49
Adata 8GB	11,08	11,52	21,63	20,93
Kingston 2GB	2,69	11,22	2,9	12,18
SanDisk 256MB	5,27	11,53	5,3	19,25
<b>DSOL SD Device</b>	<b>11,44</b>	<b>11,13</b>	<b>20,77</b>	<b>22,79</b>
Теоретический максимум	11,61	11,69	23,23	23,38

Сравнение скоростей IP блока с различными картами памяти, поддерживающими режим 1,8 В

Тип карты	DS		HS		SDR12		SDR25		SDR50		DDR50	
	wr, МБ/с	rd, МБ/с	wr, МБ/с	rd, МБ/с	wr, МБ/с	rd, МБ/с	wr, МБ/с	rd, МБ/с	wr, МБ/с	rd, МБ/с	wr, МБ/с	rd, МБ/с
Verbatim 8GB	5,63	11,35	7,50	22,54	5,64	11,35	7,52	22,54	8,98	43,37	8,92	42,45
Verbatim 8GB	5,79	11,38	7,78	22,64	5,79	11,38	7,79	22,64	9,43	44,76	9,33	43,07
Verbatim 16GB	6,30	11,45	8,82	22,83	6,30	11,45	8,82	22,83	9,80	45,32	9,80	43,79
Verbatim 16GB	10,46	11,54	19,17	23,01	10,45	11,54	19,17	23,01	32,11	45,79	31,27	44,46
Silicon Power 32GB	10,84	11,59	20,96	23,06	10,83	11,59	20,96	23,06	39,22	45,54	37,38	44,69
<b>DSOL SD Device</b>	<b>11,44</b>	<b>11,13</b>	<b>20,77</b>	<b>22,79</b>	<b>11,44</b>	<b>11,24</b>	<b>22,80</b>	<b>21,65</b>	<b>43,46</b>	<b>40,32</b>	<b>43,48</b>	<b>39,56</b>
Теоретический максимум	11,61	11,69	23,23	23,38	11,61	11,69	23,23	23,38	46,46	46,77	45,29	45,89

## VII. ЗАКЛЮЧЕНИЕ

Рассматриваемый СФ-блок контроллера ведомого устройства на шине SD DSOL SD Device соответствует заданным в разделе II требованиям. Отдельно стоит заметить, что характеристики СФ-блока позволяют разрабатывать и изготавливать устройства на российской фабрике Микрон по технологии 0,18 мкм. Максимальная скорость обмена информацией в разработанном СФ-блоке составляет 43 Мбайта/с.

## ЛИТЕРАТУРА

- [1] Technical Committee SD Card Association // SD Specifications Part 1 Physical Layer Specification Version 4.00., 2011.
- [2] URL: <http://www.arm.com/products/system-ip/amba-specifications.php> (дата обращения: 03.04.2016)
- [3] Джон Ф. Уэйкерли. Проектирование цифровых устройств / М.: Постмаркет. 2002.
- [4] URL: <http://www.arasan.com/> (дата обращения: 03.04.2016)
- [5] URL: <http://www.aizyc.com/> (дата обращения: 03.04.2016)
- [6] URL: <http://www.eurekatech.com/> (дата обращения: 03.04.2016)

## IP-Core SD Device Development

A.V. Rutkevich, A.A. Veykov, I.Y. Sysoev

“Digital Solutions”, SPE, veykov@dsol.ru

**Keywords** — IP-core, Secure Digital, SD, DDR, AMBA, SoC, ASIC.

## ABSTRACT

In this work, IP Core SD Device development is described. IP Core has been developed for 0.18 um rad-tolerant CMOS library. The IP Core uses 2,3 um<sup>2</sup> on chip. Max speed is 50 Mbyte/s. The IP Core supports Default Speed (DS), High Speed (HS), SDR12 (single data rate, 12 Mbyte/s), SDR25 (25 Mbyte/s), SDR50 (50 Mbyte/s), DDR50 (double data rate, 50 Mbyte/s). The IP Core frequency equals 100 MHz. Also, SD Device has been developed for FPGA Kintex-7 (XC7K325T-2FFG900) with the following requirements: 2% of flip-flops, 13% of LUTs, 14% of slices. For CPU and DMA connection, IP Core has AMBA APB and AMBA AHB accordingly. The requirements for ASIC are: latch cells – 11 892; cells – 45 964; gates – 170 235.

Main IP-core features:

- 1) Support of 3,3V modes (DS, HS);

- 2) Support of 1,8V modes (SDR12, SDR25, SDR50, DDR50);
- 3) Support of 1 or 4 bits modes;
- 4) Support of SPI bus protocol;
- 5) Transfer speed up to 50 MB/s;
- 6) SDIO mode support;
- 7) System clock up to 100 MHz;
- 8) Internal interface – AMBA APB Slave;
- 9) Internal DMA interface – AMBA AHB Master;
- 10) Internal dual data buffer – 1024 bytes for data stream buffering;
- 11) Program-controlled interrupt.

## REFERENCES

- [1] Technical Committee SD Card Association // SD Specifications Part 1 Physical Layer Specification Version 4.00., 2011.
- [2] URL: <http://www.arm.com/products/system-ip/amba-specifications.php> (accessed: 03.04.2016).
- [3] John F. Wakerly. Digital Design: Principles and Practices, 4th Edition / Pearson. 2005.
- [4] URL: <http://www.arasan.com/> (accessed 03.04.2016).
- [5] URL: <http://www.aizyc.com/> (accessed 03.04.2016).
- [6] URL: <http://www.eurekatech.com/> (accessed 03.04.2016).