

Сложнофункциональный блок ведущего устройства интерфейса Secure Digital

А.В. Руткевич, Н.Н. Хайло, И.Ю. Сысоев

ООО «НПП «Цифровые решения», nh@dsol.ru

Аннотация — Представлен опыт разработки СФ-блока контроллера ведущего устройства шины SD, позволяющего организовать обмен данными между ведущим устройством (процессором) и ведомым устройством (картой памяти) по интерфейсу SD на скорости до 46 Мбайт/с. Описана структурная схема блока. Приведены результаты синтеза и оценки производительности. Проведен сравнительный анализ с другими реализациями.

Ключевые слова — СФ-блок, SD, SD Host, AMBA, система на кристалле, СБИС.

I. ВВЕДЕНИЕ

Сейчас трудно представить себе фотоаппарат, видеокамеру или телефон без миниатюрного, емкого и быстрого носителя информации. Массовый переход потребительской электроники от аналоговых носителей информации к цифровым произошел не так давно. В конце девяностых годов прошлого века ведущие производители электроники столкнулись с отсутствием единого стандарта на цифровые носители для портативной электроники. Это привело к тому, что на рынке появилось множество несовместимых между собой стандартов карт памяти, разработанных и поддерживаемых отдельными производителями или их ассоциациями. Развернулась так называемая «война форматов», победителем из которой вышла организация SD Association, основанная в 2000 году компаниями Panasonic, SanDisk и Toshiba. Предложенный ими стандарт карт памяти Secure Digital (SD) оказался наиболее востребованным и производителями, и потребителями электроники. Постоянное развитие стандарта, увеличение скорости передачи данных и уменьшение размеров карт, привело к тому, что карты памяти SD завоевывают рынок не только потребительской, но и профессиональной электроники.

На протяжении последних пятнадцати лет произошла смена нескольких версий стандарта SD. Самый первый стандарт (Physical Layer Specification, Version 1.01) описывает карты памяти объемом до 2 Гбайт и скоростью обмена по SD-шине до 12,5 Мбайт/с. На данный момент актуальным является стандарт версии 4.10, принятый в январе 2013 года, в котором описаны карты объемом до 2 Тбайт и скоростью обмена по SD-шине до 312 Мбайт/с в полудуплексном режиме (HD312, UHS-II Interface Mode). При этом размер карты формата microSD не

превышает 15x11x1 мм, что позволяет применять их в устройствах, предъявляющих высокие требования к скорости передачи данных и размерам карты [1]. Относительная простота использования SD-карт и их широкая поддержка многими производителями процессоров и микроконтроллеров привели к тому, что некоторые разработчики электроники начали использовать карты памяти в качестве основного несменного носителя информации. Это подтолкнуло производителей к разработке микросхем памяти большой емкости, совместимых с шиной SD (Embedded SD Standard, e.MMC standard).

Во многих отраслях, связанных с жесткими условиями эксплуатации аппаратуры, тоже востребованы компактные, быстро заменяемые устройства хранения данных. В робототехнике, беспилотной авиации, строительном и промышленном оборудовании, изделиях специального назначения предъявляются особые требования к работоспособности аппаратуры. Поэтому многие разработчики систем на кристалле, микроконтроллеров и СБИС заинтересованы в формировании библиотеки СФ-блоков, работоспособность которых при жестких воздействиях подтверждена в реальных изделиях.

В данной работе описана разработка СФ-блока контроллера ведущего устройства шины SD (далее – блок SD Host), предназначенного для использования в качестве периферийного контроллера в процессорных системах для жестких условий эксплуатации. Устройство может быть реализовано как на базе ПЛИС, так и в интегральной микросхеме.

II. ТРЕБОВАНИЯ К СФ-БЛОКУ

Ниже приведены требования, предъявляемые к разрабатываемому СФ-блоку:

- 1) поддержка подключения к периферийной шине AMBA APB (Advanced Peripheral Bus) в режиме ведомого устройства (Slave) [2];
- 2) поддержка подключения к системной шине AMBA AHB (Advanced High-performance Bus) в режиме ведущего устройства (Master);
- 3) частота тактового сигнала шины AMBA – до 100 МГц;
- 4) поддержка 1- и 4-битного режимов работы шины SD [3];

- 5) поддержка режима работы с одним устройством на шине SD (режим точка-точка);
- 6) возможность переключения напряжения сигнальных линий шины SD из режима 3,3 В в режим 1,8 В;
- 7) поддержка стандартной регистровой модели ведущего устройства шины SD [4];
- 8) поддержка стандартного режима прямого доступа к памяти ADMA2;
- 9) поддержка режимов работы шины SD, перечисленных в табл. 1.

Таблица 1

Поддерживаемые режимы шины SD

Режим работы	Напряжение сигнальных линий, В	Частота сигнала синхронизации, МГц	Скорость передачи данных, Мбайт/с
DS	3,3	до 25	до 12,5
HS	3,3	до 50	до 25
SDR12	1,8	до 25	до 12,5
SDR25	1,8	до 50	до 25
SDR50	1,8	до 100	до 50
DDR50	1,8	до 50	до 50

III. СТРУКТУРНАЯ СХЕМА

На рис. 1 представлена структурная схема разработанного СФ-блока.

В блоке можно выделить три уровня взаимодействия. Первый уровень («Host Interface»)

обеспечивает взаимодействие СФ-блока с управляющим процессором и интерфейсом памяти.

Блок «APB_Slave» предоставляет доступ внешнему процессору к внутренним регистрам СФ-блока с помощью периферийной шины АМВА APB. Эта шина работает с упрощенным интерфейсом и предназначена для работы с устройствами, не требующими высоких скоростей передачи данных и поддержки режима прямого доступа к памяти (DMA). Она хорошо подходит для управления высокоскоростными устройствами, в то время как обмен данными осуществляется с помощью быстрого системного интерфейса. На шине АМВА APB блок SD Host выступает в качестве ведомого устройства. Настройка, выбор режима работы, управление процессом передачи данных, получение информации о состоянии блока осуществляются путем записи и чтения внутренних регистров. Для ведущего устройства шины SD в спецификации описана стандартная регистровая модель [4]. Ее краткая форма представлена на рис. 2.

Блок «AHB_Master» предназначен для подключения СФ-блока к системной шине АМВА АHB в режиме ведущего устройства. Эта шина предназначена для подключения процессорного ядра к высокоскоростным интерфейсам, контроллерам DMA, встроенной памяти. Она обеспечивает широкую полосу пропускания и поддерживает режим прямого доступа к памяти. С помощью блока «AHB_Master» СФ-блок получает доступ к DMA-контроллеру и адресному пространству памяти, контроллер которой также подключается к шине АHB. Это позволяет передавать большие массивы данных без участия процессора в стандартном режиме ADMA2, который

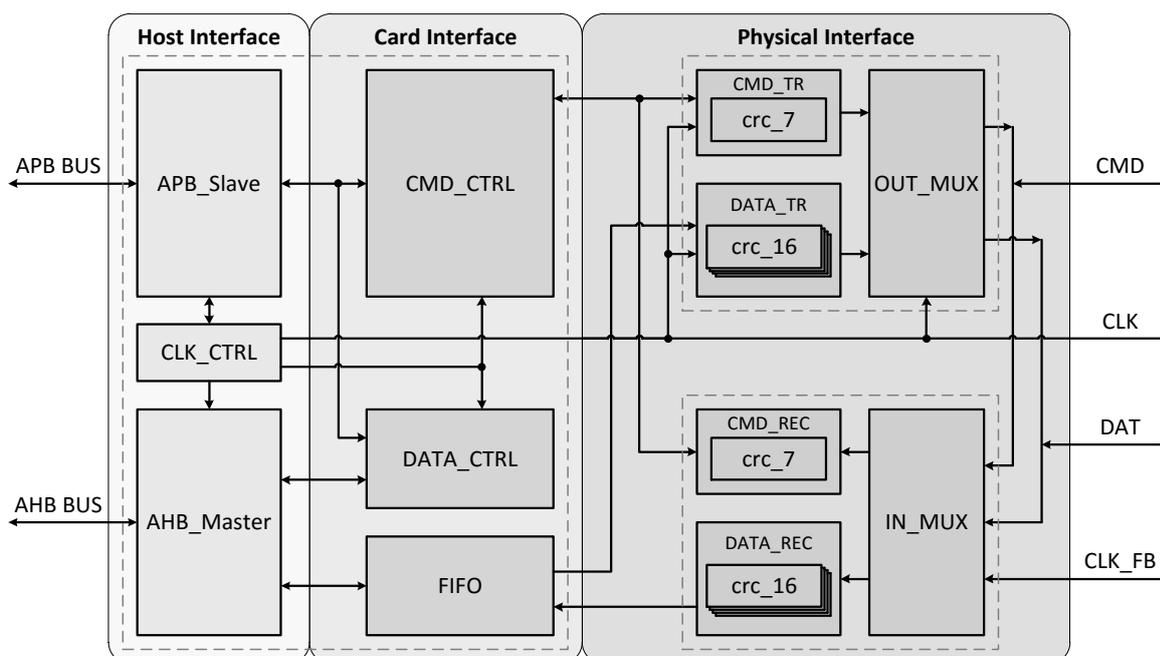


Рис. 1. Структурная схема СФ-блока SD Host

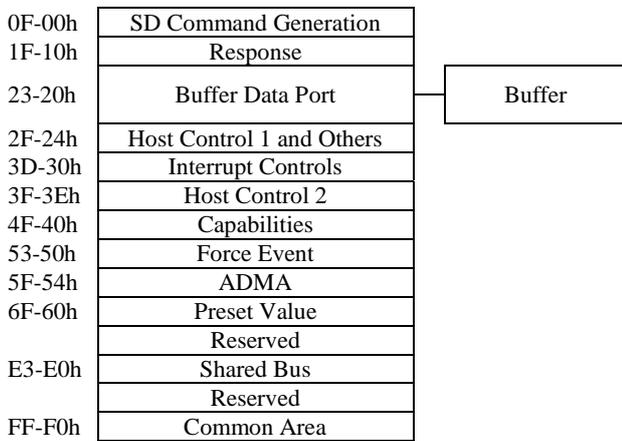


Рис. 2. Стандартная регистровая модель устройства SD Host Controller

описан в спецификации устройства SD Host Controller [4]. В этом режиме процессор выделяет в памяти пространство под таблицу дескрипторов и заполняет ее. Дескриптор содержит информацию о размере блока данных, его начальный адрес в системной памяти и служебную информацию. Затем процессор по шине APB передает блоку SD Host адрес таблицы дескрипторов, адрес блока данных в карте памяти и команду передачи данных. Дальнейшая работа происходит без участия процессорного ядра.

Блок «CLK_CTRL» предназначен для управления процессом формирования тактовых частот. В нем происходит деление тактовой частоты системной шины для формирования тактовой частоты интерфейса SD (сигнал CLK). Спецификацией предусмотрена остановка формирования сигнала CLK на шине SD. Для этого предусмотрен механизм, позволяющий останавливать и снова запускать тактовый сигнал без формирования ложных импульсов («глитчей»).

Второй уровень («Card Interface») обеспечивает управление процессом приема и передачи данных. В интерфейсе SD команды и данные передаются по разным линиям. Поэтому процессы управления линией команд и линиями данных можно выделить в отдельные функциональные группы, взаимодействие между которыми осуществляется с помощью сигналов управления.

Блок «CMD_CTRL» предназначен для управления линией команд/ответов интерфейса SD (сигнал CMD). Он обеспечивает обработку команд, переданных процессором, либо сформированных блоком управления передачей данных («DATA_CTRL») в случае использования автоматической передачи. В зависимости от кода команды блок инициирует процесс передачи команды и дожидается, в случае необходимости, ответа от ведомого устройства. При этом контролируется возникновение возможных ошибок, в том числе отсутствие ответа от ведомого устройства (тайм-аут). Результаты выполнения команды и полученный ответ записываются в соответствующие регистры. В процессе приема и

передачи данных блок формирует сигнал разрешения приема и передачи для блока «DATA_CTRL».

Блок управления шиной данных («DATA_CTRL») предназначен для управления процессом приема и передачи данных. Если используется режим ADMA2, то при получении команды передачи блок по интерфейсу АНВ вычитывает содержимое первого дескриптора и начинает запись данных из системной памяти в один из двух внутренних буферов (блок «FIFO»). Если к моменту заполнения буфера получен сигнал от блока «CMD_CTRL», позволяющий передавать данные, то начинается процесс передачи информации по интерфейсу SD. В это время из системной памяти данные записываются во второй буфер, который будет передан после опустошения первого. Далее процесс повторяется. Применение двойной буферизации позволяет существенно увеличить скорость передачи и избежать простаивания шины. При получении команды приема блок «DATA_CTRL» вычитывает из системной памяти первый дескриптор и ожидает момента, когда приемник шины данных интерфейса SD заполнит первый буфер. Затем блок запускает процесс передачи данных из буфера в системную память, в то время как приемник заполняет второй буфер.

Спецификация интерфейса SD предусматривает возможность приема и передачи данных без использования режима ADMA2. В этом случае шина АНВ не задействована, а для доступа к буферу используется регистр «Buffer Data Port». Процессор по шине APB может читать и записывать данные. Этот способ не обеспечивает приемлемой скорости и сильно загружает процессор.

Блок «FIFO» состоит из двух буферов объемом 512 байт каждый. В современных картах памяти прием и передача данных происходит блоками по 512 байт. Помимо функции промежуточного накопления данных, блок обеспечивает синхронизацию шин данных разных частотных доменов. Блоки первого и второго уровней работают на частоте системной шины, в то время как приемник и передатчик интерфейса SD работают на частоте шины SD. На рис. 1 разные частотные домены объединены пунктирной линией. Синхронизация управляющих сигналов блоков, расположенных в разных частотных доменах, обеспечивается с помощью квитирования. Такой подход позволяет синхронизировать только сигналы квитирования и при этом обеспечить достоверность остальных сигналов.

Третий уровень («Physical Interface») предназначен для преобразования команд и данных, полученных от блоков управления, в последовательные сигналы линий физического интерфейса.

Блок «CMD_TR» предназначен для формирования и передачи команд. Он преобразует код команды, полученный от блока «CMD_CTRL», в последовательность бит на линии команд (CMD), при этом добавляет аргумент, контрольную сумму CRC7 и

служебные биты. Блок «CMD_TR» работает на частоте шины SD.

Блок «DATA_TR» обеспечивает формирование потока данных. Он преобразует данные, прочитанные из блока «FIFO», в последовательность бит на шине данных (DAT). Блок поддерживает четырехбитный режим (используются четыре линии данных) и одноканальный режим работы (используется только линия данных DAT[0]). При этом для каждой линии производится подсчет контрольной суммы CRC16, которая передается вместе с информационными и служебными битами. Блок «DATA_TR» работает на частоте шины SD.

Блок «CMD_REC» служит для приема ответов от карты памяти по линии команд (CMD). Он контролирует своевременность передачи ответов картой, проверяет контрольную сумму CRC7 и соответствие ответа стандарту. Длина ответа зависит от типа переданной команды и может составлять 48, либо 136 бит. Полученные данные сохраняются в регистре «Response» и доступны для чтения управляющему процессору. В случае возникновения ошибки формируется прерывание, а код ошибки записывается в соответствующий регистр. Блок «CMD_REC» работает на частоте CLK_FB. Это сигнал тактовой частоты интерфейса SD, задержанный вне микросхемы на время, равное времени прохождения сигналов линий данных и команд на пути от хоста к карте и обратно. Такая задержка производится специализированными микросхемами преобразователей уровня сигнала, разработанными для интерфейса SD. Это позволяет компенсировать задержку сигналов и ее изменение в результате воздействия факторов окружающей среды. Если такие микросхемы в системе не используются, то в качестве сигнала тактовой частоты используется сигнал CLK интерфейса SD.

Блок «DATA_REC» предназначен для приема данных по интерфейсу SD. Он поддерживает работу в четырехбитном и одноканальном режимах. При приеме данных производится проверка контрольной суммы CRC16 каждой линии данных и соответствие формата посылки стандарту. Принятые данные записываются в блок «FIFO». В случае возникновения ошибки формируется прерывание, а код ошибки записывается в регистр. Блок «DATA_REC» работает на частоте CLK_FB.

Блоки «OUT_MUX» и «IN_MUX» обеспечивают (в зависимости от режима работы) передачу и прием данных и команд по переднему фронту, заднему фронту, либо по обоим фронтам тактового сигнала.

IV. РЕЗУЛЬТАТЫ СИНТЕЗА И ТЕСТИРОВАНИЯ

Макетирование и отладка СФ-блока производились с помощью стенда на базе микросхемы FPGA Xilinx Kintex-7 XC7K325T-3FFG900 (плата KC705). Для проверки интерфейса была разработана мезонинная плата с управляющим процессором (CPU), асинхронным ОЗУ (SRAM), преобразователями

интерфейсов (CONV) и разъемом карты SD. Структурная схема стенда показана на рис. 3.

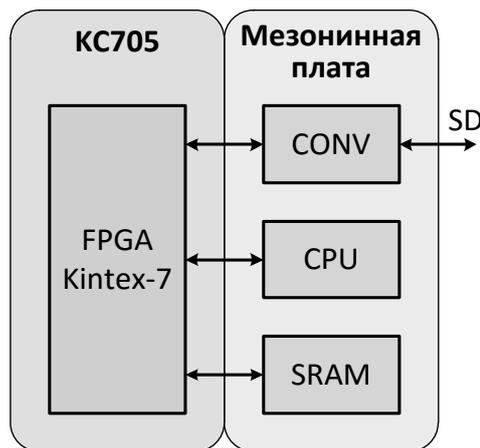


Рис. 3. Структурная схема стенда

В табл. 2 представлены результаты синтеза СФ-блока для микросхемы XC7K325T. Максимальная тактовая частота – 329,457 МГц. Этого достаточно, чтобы обеспечить максимальную скорость обмена в режиме SDR50.

Таблица 2

Использование ресурсов микросхемы FPGA XC7K325T

Тип элементов	Использовано, шт. (%)
Триггеры (Flip Flops)	18750 (4,6)
Таблицы истинности (LUT)	9052 (4,4)
Элементарные логические блоки (Slices)	25828 (6,3)

Также был проведен синтез под радиационно-стойкую библиотеку 0.18 нм. Характеристики библиотеки определяют стойкость СФ-блока к жестким условиям. Таким образом, стойкость СФ-блока к накопленной дозе составляет не менее 100 крад, а порог возникновения тиристорного эффекта по линейной передаче энергии в кремнии – не менее 98 МэВ·см²/мг. Результаты синтеза приведены в табл. 3. Площадь кристалла, занимаемая блоком, составляет 2,89 мм².

Таблица 3

Использование ресурсов при синтезе под библиотеку технологии 180 нм

Тип элементов	Использовано, шт. (%)
Транзисторы (Gates)	214446
Стандартные элементы (Cells)	38587
Триггеры (Latch Cells) из общего числа стандартных элементов	18767

На разработанном стенде было проведено функциональное тестирование и проверка максимальной скорости передачи данных с покупными картами памяти разных производителей. Результаты

измерения скоростей записи и чтения полезных данных для карт памяти, поддерживающих режим UHS-I, приведены в табл. 4. Следует отметить, что СФ-блок вносит минимальные задержки как при записи, так и при чтении данных. Стандартом предусмотрен механизм, позволяющий карте

сигнализировать о том, что она не готова к приему следующего блока данных. Анализ осциллограммы обмена показывает, что как при записи, так и при чтении данных основное влияние на скорость обмена оказывает именно алгоритм работы с флеш-памятью, реализованный в карте.

Таблица 4

Результаты тестирования СФ-блока с картами памяти

Карта памяти	Средняя скорость обмена полезными данными, Мбайт/с							
	Режим SDR12		Режим SDR25		Режим SDR50		Режим DDR50	
	Запись	Чтение	Запись	Чтение	Запись	Чтение	Запись	Чтение
Verbatim, 8 GB	4,206	11,351	5,171	22,528	5,838	44,300	5,797	42,659
Verbatim, 16 GB	6,751	11,452	9,679	22,822	12,297	41,387	10,224	40,762
Verbatim, 16 GB	10,357	11,535	17,998	23,003	29,656	45,751	30,756	44,455
Silicon Power, 32 GB	10,511	11,513	20,094	22,749	36,257	44,350	34,732	43,560
SunDisc Extreme, 32 GB	10,803	11,538	16,584	20,467	37,457	45,906	–	–
Теоретический максимум	11,610	11,690	23,230	23,380	46,460	46,770	45,290	45,890

Анализ результатов измерения показывает, что производители карт памяти стремятся повысить скорости записи и чтения, и новые поколения карт приближаются к теоретическому максимуму по скорости обмена полезными данными. Стоит отметить, что в таблице приведены средние скорости по результатам нескольких измерений. Отклонение отдельных измерений от среднего значения у некоторых карт памяти может достигать 40%.

В табл. 5 приведены некоторые параметры СФ-блоков ведущего устройства шины SD разных разработчиков. В частности, такие блоки предлагают компании Aizyc Technology (Индия), Arasan (США) [5], El Camino GmbH (Германия) [6], Eureka (США) [7], NXP (Нидерланды) [8], QuickLogic (США) [9]. Предлагают свои СФ-блоки и производители микросхем ПЛИС: Xilinx, Lattice Semiconductor [10], Altera, Actel.

Таблица 5

Сравнение СФ-блока с аналогами

Название СФ-блока (разработчик)	Год	Версия спецификации	Максимальная скорость передачи данных, Мбайт/с	Поддерживаемые режимы	Интерфейс системной шины	Размер буфера данных, байт
SD3.0/SDIO3.0/MMC/eMMC Host Controller IP (Aizyc)	2011	3.0	104	DS, HS, SDR12, SDR25, SDR50, SDR104, DDR50	AHB	4096 (2x512x32)
SD 4.1/SDIO 4.1 Host Controller (Arasan)	2011	4.1	104 156 312	DS, HS, SDR12, SDR25, SDR50, SDR104, DDR50, FD156, HD312	32/64-bit AHB, AXI, OCP	н.д.
SD BUS Core (El Camino)	2008	2.0	н.д.	н.д.	Avalon	н.д.
EP550 SDIO/SD Memory/MMC Host Controller (Eureka, Xilinx, Altera, Actel)	н.д.	2.0	25	DS, HS	AHB, APB, SH4, Wishbone, PCI	512-16384
SD Flash Controller (Lattice)	2014	2.0	25	DS, HS	32-bit Wishbone	н.д.
SD/SDIO/MMC/CE-ATA Host Controller (NXP)	2013	2.0	25	DS, HS	16 asynchronous memory interface	н.д.
SDIO Host Controller (QuickLogic)	2010	2.0	25	DS, HS	32-bit interface	1024
Zynq-7000 SD/SDIO Controller (Xilinx)	2015	2.0	25	DS, HS	AHB	1024
DSOL SD Host (рассматриваемый СФ-блок)	2016	4.0	50	DS, HS, SDR12, SDR25, SDR50, DDR50	APB+AHB	1024 (2x128x32)

Анализ таблицы показывает, что некоторые разработчики предлагают широкий выбор интерфейсов системной шины, что значительно расширяет круг потенциальных заказчиков. С другой стороны, немногие СФ-блоки позволяют использовать режим UHS-I и работать со скоростями более 25 Мбайт/с. На этом фоне разработанный СФ-блок выглядит конкурентоспособным и востребованным.

V. ЗАКЛЮЧЕНИЕ

СФ-блок контроллера ведущего устройства шины SD, описанный в статье, позволяет обеспечить разрабатываемую процессорную систему стандартным быстрым интерфейсом подключения съемных носителей наиболее распространенного на сегодняшний день формата Secure Digital. Блок поддерживает работу со стандартной для процессоров на базе ядра ARM шиной данных AMBA и обеспечивает скорость обмена полезными данными с картой памяти до 46 Мбайт/с.

ЛИТЕРАТУРА

- [1] Стешенко В., Куляс М., Руткевич А., Строганов Д., Шишкин Г. Технология Secure Digital для карт памяти. // Компоненты и технологии. 2011. №12. С. 92–94.
- [2] ARM AMBA Specification
URL: [http://infocenter.arm.com/help/index.jsp?topic=/com.](http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.set.amba/index.html)

[arm.doc.set.amba/index.html](http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.set.amba/index.html) (дата обращения: 02.04.2016).

- [3] SD Group, Technical Committee SD Card Association. SD Specification, Part 1, Physical Layer Specification, Version 4.00. 2011.
- [4] Technical Committee SD Association. SD Specification, Part A2, SD Host Controller Standard Specification, Version 3.00. 2010.
- [5] Arasan SD 4.1/SDIO 4.1/eMMC 4.51 Host Controller IP. URL: <http://arasan.com/products/sd4/sd-4-1-host/> (дата обращения: 02.04.2016).
- [6] El Camino IP Cores.
URL: <http://www.elcamino.de/en/produktetop/ip-produkte/> (дата обращения: 02.04.2016).
- [7] Eureka EP563 SD/SDIO 3.0 Card Controller.
URL: <http://www.eurekatech.com/products/peripheral/ep563.htm> (дата обращения: 02.04.2016).
- [8] NXP SDIO Host Controller.
URL: http://www.nxp.com/products/interface-and-connectivity/interface-and-system-management/sdio-host-controller:MC_71408 (дата обращения: 02.04.2016).
- [9] QuickLogic Secure Digital Input/Output (SDIO) Host Controller Data Sheet.
URL: <http://www.quicklogic.com/assets/pdf/data-sheets/QL-SDIO-Host-Controller-PSB-Data-Sheet.pdf> (дата обращения: 02.04.2016).
- [10] Eureka EP550: SD/SDIO/MMC Host Controller.
URL: <http://www.latticesemi.com/en/Products/DesignSoftwareAndIP/IntellectualProperty/IPCore/EurekaCores/EP550SDSDIOMMCHostController> (дата обращения: 02.04.2016).

SD Host Controller IP-core

A.V. Rutkevich, N.N. Khaylo, I.Y. Sysoev

«Digital Solutions», SPE, LLC, nh@dsol.ru

Keywords — IP-core, SD, SD Host, AMBA, ASIC, system-on-a-chip, SoC.

ABSTRACT

The purpose of this work was to design and implement an AMBA compatible SD Host controller for an ASIC and FPGA implementation.

The SD Host Controller handles SD Protocol at transmission level, packing data, adding CRC, Start/End bit, and checking for transaction format correctness. The Host Controller provides Programmed IO method and DMA data transfer method. In programmed IO method, the Host processor transfers data using the Buffer Data Port Register.

The host interface is based on standard 32-bit Advanced Peripheral Bus (APB), which is used to configure the IP, and Advanced High-Performance Bus (AHB), which is used to transfer data.

SD Host Controller IP features:

- Compliant to SD Physical Layer Specifications version 4.00;
- Supports SDR12, SDR25, SDR50, DDR50 modes of operation;
- Supports speed up to 50 MBps;
- Supports 1/4-bit data transfer;
- Cyclic Redundancy Check (CRC): CRC7 for commands, CRC16 for data integrity;
- Variable-length data transfer;
- Card Detection (Insertion/Removal);
- In-built clock divider;
- Supports ADMA2 mode of data transfer;
- Supports interrupts;
- Supports 32-bit AMBA APB slave interface for register configuration;

- Supports 32-bit AMBA AHB master interface for data transfer.

FPGA (Kintex-7 XC7K325T-2FFG900) implementation:

- flip-flop count: 18750 (4,6 %);
- LUT count: 9052 (4,4 %);
- slices count: 25828 (6,3 %).

ASIC (180 nm) implementation:

- area: 2.86 mm²;
- gates count: 214446;
- cells count: 38587;
- latch cells count: 18767.

REFERENCES

- [1] Steshenko V., Kulas M., Rutkevich A., Stroganov D., Shishkin G. Secure Digital memory card technology. Komponenty I tekhnologii, 2011, no. 12, pp. 92-94 (in Russian).
- [2] ARM AMBA Specification
URL: <http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.set.amba/index.html> (accessed: 02.04.2016).
- [3] SD Group, Technical Committee SD Card Association. SD Specification, Part 1, Physical Layer Specification, Version 4.00. 2011.
- [4] Technical Committee SD Association. SD Specification, Part A2, SD Host Controller Standard Specification, Version 3.00. 2010.
- [5] Arasan SD 4.1/SDIO 4.1/eMMC 4.51 Host Controller IP.
URL: <http://arasan.com/products/sd4/sd-4-1-host/> (accessed: 02.04.2016).
- [6] El Camino IP Cores.
URL: <http://www.elcamino.de/en/produktetop/ip-produkte/> (accessed: 02.04.2016).
- [7] Eureka EP563 SD/SDIO 3.0 Card Controller.
URL: <http://www.eurekatech.com/products/peripheral/ep563.htm> (accessed: 02.04.2016).
- [8] NXP SDIO Host Controller.
URL: http://www.nxp.com/products/interface-and-connectivity/interface-and-system-management/sdio-host-controller:MC_71408 (accessed: 02.04.2016).
- [9] QuickLogic Secure Digital Input/Output (SDIO) Host Controller Data Sheet.
URL: <http://www.quicklogic.com/assets/pdf/data-sheets/QL-SDIO-Host-Controller-PSB-Data-Sheet.pdf> (accessed: 02.04.2016).
- [10] Eureka EP550: SD/SDIO/MMC Host Controller.
URL: <http://www.latticesemi.com/en/Products/DesignSoftwareAndIP/IntellectualProperty/IPCore/EurekaCores/EP550SDSDIOMMCHostController> (accessed: 02.04.2016).