

# Схемо-топологическое проектирование ячеек СБИС

А.А. Баранов<sup>1,2</sup>, Н.М. Сафьянников<sup>1,3</sup>

<sup>1</sup>Санкт-Петербургский государственный электротехнический университет "ЛЭТИ" им. В.И. Ульянова (Ленина)

<sup>2</sup>ООО "Сенсотроника"

<sup>3</sup>ООО "ЛЭТИНТЕХ", sysan@sysan.sp.ru, an.a.baranov@gmail.com

**Аннотация** — Рассматриваются варианты проектирования типовых ячеек СБИС на схемотехническом уровне с ориентацией на топологическую реализацию. Предлагаются оригинальные решения двухступенчатого триггера и полусумматора для библиотек САПР. Двухступенчатый триггер по схеме Master-Master (ММ) отличается регулярностью структуры, а полусумматор — помехоустойчивостью. Приводятся описания работы этих ячеек и результаты моделирования. Разработана топология предложенного триггера.

**Ключевые слова** — библиотека ячеек СБИС, двухступенчатый ММ триггер, полусумматор, схемо-топологическое проектирование, САПР.

## I. ВВЕДЕНИЕ

Проектирование систем верхнего уровня иерархии зависит от характеристик используемых ячеек нижнего уровня. Поэтому формирование библиотек таких ячеек является одной из важных задач при решении проблем разработки перспективных микроэлектронных систем. Это подтверждается увеличением в последнее время потока патентных решений в области создания самих ячеек, например, по классам международной патентной классификации G06F 7, G11C 7, H03K 3.

Причем все большее число решений связано не только с функциональным уровнем, но и со схемотехническим уровнем, ориентированным на топологическую реализацию, то есть, имеет место схемо-топологическое проектирование.

Таким образом проектирование новых оригинальных ячеек для библиотек представляет научно-практический интерес.

## II. ДВУХСТУПЕНЧАТЫЙ ТРИГГЕР ММ-ТИПА

Широко распространенной ячейкой для построения микроэлектронных систем является триггер. Хорошо известна классическая схема двухступенчатого триггера, работающего по типу Master-Slave (MS) [1]. В триггере такого типа за один такт синхросигнала входной сигнал поступает на главный триггер, затем информация из главного триггера передается во вспомогательный триггер и оказывается на выходе схемы.

Для повышения быстродействия можно использовать другой подход организации

двухступенчатого триггера с поочередным использованием двух основных триггеров по схеме Master-Master (ММ). Такой подход для универсального JK-триггера на функциональном уровне предложен в 2005 году [2] и рассмотрен в статье триггерное устройство с актуализацией состояний [3]. На схемотехническом уровне в 2008 году была предложена ячейка двухступенчатого триггера [4], изображенная на рис. 1.

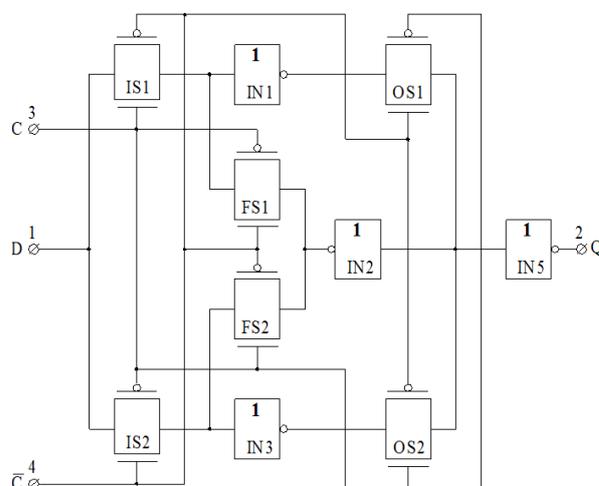


Рис. 1. Двухступенчатый триггер

В основу работы схемы этого триггера положено поочередное взаимодействие двух равнозначных ступеней, каждая из которых представляет собой защёлку, состоящую из двух комплементарных ключей и инвертора. Сигналы с выходов защелок подаются на входы мультиплексора, состоящего из двух комплементарных ключей, а сигнал с выхода мультиплексора поступает на выходной инвертор и на инвертор цепи общей обратной связи, с которого сигнал передается на входы комплементарных ключей цепей обратных связей защелок. Входной сигнал подается на входы комплементарных ключей входных цепей обеих защелок, а выходной сигнал снимается с выходного инвертора. Работа схемы двухступенчатого триггера определяется функцией переходов триггера типа D.

Недостатком данной ячейки является ее сложность из-за избыточного использования двухфазно-

управляемых комплементарных ключей и нерегулярности структуры, усложняющей топологическую реализацию триггера.

Триггеры, построенные по типу ММ, в общем случае, требуют больших аппаратных затрат, чем выполненные по типу MS. Поэтому была поставлена задача по упрощению схемы двухступенчатого триггера, за счет частичного перехода к однотранзисторным ключам и повышения регулярности структуры.

Техническим результатом является меньшее число комплементарных ключей и повышенная регулярность структуры, позволяющая упростить топологическую реализацию, при сохранении функциональных возможностей ячейки.

Сущность предложенного решения [5] состоит в создании более простого двухступенчатого ММ-триггера типа D с регулярной структурой, за счет исключения общей обратной связи и организации локальных обратных связей в пределах каждой защелки ступеней триггера, благодаря чему в защелках появилась возможность перехода от комплементарных ключей к однотранзисторным и улучшения топологической реализации ячейки.

На рис. 2 изображена схема предложенного двухступенчатого триггера типа D.

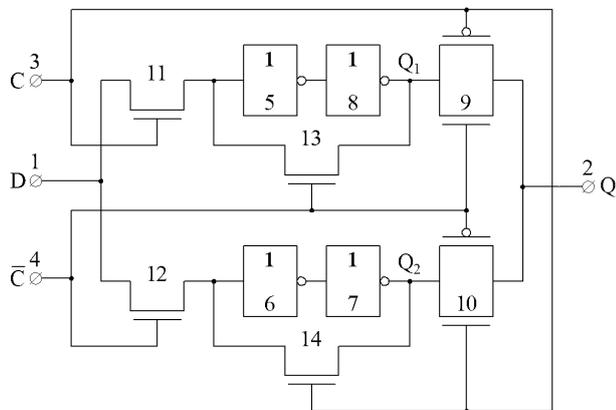


Рис. 2. Двухступенчатый триггер типа D

При единичном уровне синхросигнала C и нулевом уровне синхросигнала C̄ входной сигнал проходит на первую защелку и поступает на вход закрытого 9 комплементарного ключа, а в это время на выход 2 ячейки поступает сигнал со второй защелки через открытый комплементарный ключ 10. И, наоборот, при нулевом уровне синхросигнала C и единичном уровне синхросигнала C̄ входной сигнал проходит на вторую защелку и поступает на вход закрытого комплементарного ключа 10, а в это время на выход 2 ячейки поступает сигнал с первой защелки через открытый комплементарный ключ 9.

Состояние двухступенчатого ММ-триггера типа D определяется входным сигналом с задержкой на полтакта.

В основу работы двухступенчатого ММ-триггера типа D положен принцип поочередной перекрестной локальной обработки входной информации на каждой защелке ступеней триггера при приеме и передаче без общей обратной связи, благодаря чему простыми средствами и компактно в каждые полтакта на одной защелке ступени триггера запоминается входная информация, а с другой защелки ступени триггера выполняется считывание задержанной на полтакта информации.

На рис. 3 представлена временная диаграмма процессов, протекающих в ячейке, при изменении входного сигнала на входе D независимо от периода T синхросигнала.

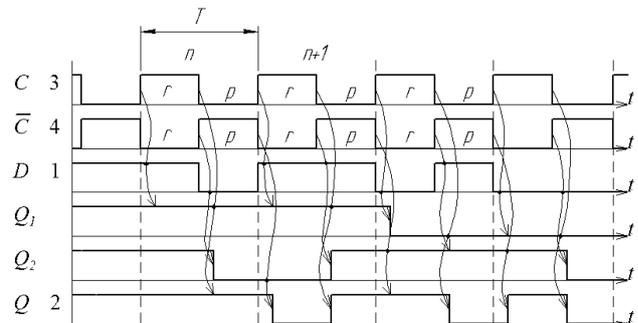


Рис. 3. Процессы, протекающие в ячейке, при изменении входного сигнала на информационном входе

Логическое выражение для выхода 2 двухступенчатого ММ-триггера типа D имеет вид:

$$Q = Q_1 \bar{C} \vee Q_2 C,$$

где  $Q_1$  и  $Q_2$  – выходные сигналы защелок первой и второй ступени триггера, соответственно; C и  $\bar{C}$  – прямой и инверсный синхросигналы.

Функциональная характеристика двухступенчатого ММ-триггера типа D по выходу 2 определяется выражением:

$$Q^{n+1} = Q_1^{n+r} \vee Q_2^{n+r+p}, \quad (1)$$

где  $Q_1^{n+r}$  – выходной сигнал защелки первой ступени триггера на очередном n-ом такте синхросигнала C в течение действия его нулевого уровня от n+r до n+r+r;  $Q_2^{n+r+p}$  – выходной сигнал защелки второй ступени триггера на очередном (n+1)-ом такте синхросигнала C̄ в течение действия его нулевого уровня от n+r+p до n+r+p+r; p – часть периода T, определяемая действием синхросигнала C нулевого уровня и синхросигнала C̄ единичного уровня; r – часть периода T, определяемая действием синхросигнала C единичного уровня и синхросигнала C̄ нулевого уровня; p + r = 1 – период T как синхросигнала C, так и синхросигнала C̄, определяемый действием их нулевого и единичного уровней.

Сигнал на выходе защелки первой ступени триггера сформировался на n-ом такте синхросигнала

С в течение действия его единичного уровня от  $n$  до  $n+r$  и определялся уровнем сигнала на входе 1:

$$Q_1^{n+r} = D^n. \quad (2)$$

При этом сигнал на выходе защелки второй ступени триггера сформировался на  $n$ -ом такте синхросигнала  $\bar{C}$  в течение действия его единичного уровня от  $n+r$  до  $n+r+p$  и определялся уровнем входного сигнала на входе 1:

$$Q_2^{n+r+p} = D^{n+r}. \quad (3)$$

Подставляя выражения (2) и (3) в (1), получаем функциональную характеристику двухступенчатого триггера по выводу 2:

$$Q^{n+1} = D^n \vee D^{n+r}. \quad (4)$$

Следовательно, имеется возможность смены сигнала на входе триггера в предельном случае каждую половину периода  $T$ .

Если сигнал на входе будет меняться каждый период  $T$ , значит  $D^{n+r} = D^n$ , и тогда выражение (4) в частном случае преобразуется к виду:

$$Q^{n+1} = D^n \vee D^{n+r} = D^n \vee D^n = D^n. \quad (5)$$

Как известно, выражение (5) соответствует характеристическому уравнению триггера типа D [1].

В случае если сигнал на входе будет меняться реже чем за период  $T$  (рис. 3), то выработка сигнала на выходе также будет определяться в общем виде выражением (5).

Хорошая регулярность схемы позволяет получить плотноупакованную топологию [6], показанную на рис. 4.

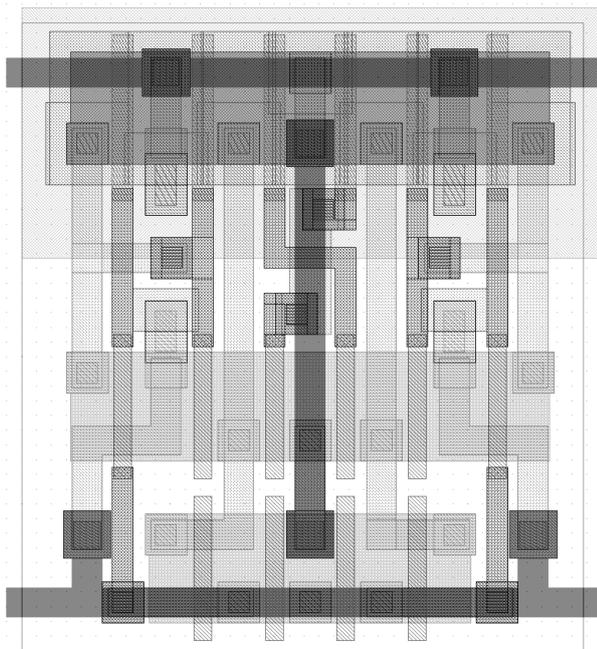


Рис. 4. Топология двухступенчатого триггера типа D

### III. ПОЛУСУММАТОР

Другой распространенной ячейкой для построения микроэлектронных систем является ячейка полусумматора. В 2002 была представлена схема полусумматора [7], изображенная на рис. 5.

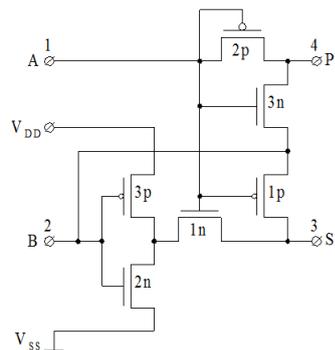


Рис. 5. Полусумматор

Формирование сигнала суммы происходит от взаимодействия первой и второй пар транзисторов. Причем первая пара транзисторов состоит из второго  $n$ -транзистора и третьего  $p$ -транзистора, а вторая пара транзисторов – из первого  $n$ -транзистора и первого  $p$ -транзистора. В зависимости от сигнала на входе  $A$ , поступающем на вход управления второй пары транзисторов, на выход суммы со входа  $B$  проходит прямой или инвертированный на первой паре транзисторов сигнал.

Формирование сигнала переноса происходит от взаимодействия второго  $p$ -транзистора и третьего  $n$ -транзистора. При этом сигнал со входа  $A$  напрямую поступает на входы управления второго  $p$ -транзистора и третьего  $n$ -транзистора. При нулевом уровне рассматриваемого сигнала он проходит на выход переноса через второй  $p$ -транзистор, а при единичном уровне этого сигнала на выход переноса проходит сигнал со входа  $B$ .

Работа представленной схемы полусумматора определяется функциями суммы  $S = B_{A=0} \vee \bar{B}_{A=1}$  и переноса  $C = A_{A=0} \vee B_{A=1}$ . Как видно из функции переноса в схеме используется предопределенность результата за счет того, что в одном из слагаемых используется только одна переменная.

Недостатком этой схемы является пониженная помехоустойчивость из-за сквозного перехода входных сигналов на выход переноса и повышенных рисков возможности отработки ложных сигналов помех, связанных с асинхронной работой схемы. Поэтому была поставлена задача повысить помехоустойчивость схемы за счет снижения рисков возможности отработки ложных сигналов помех при синхронной работе схемы и исключения сквозного перехода одного из входных сигналов на выход переноса.

На рис. 6 изображена схема предложенного полусумматора.

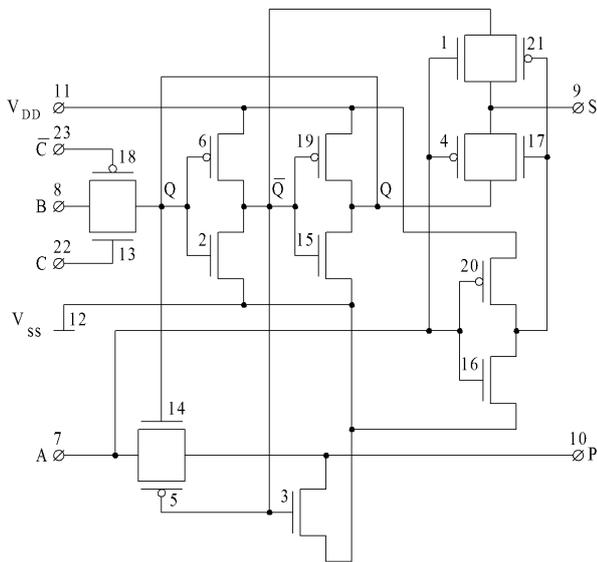


Рис. 6. Полусумматор

Техническим результатом является введение тактируемого элемента памяти на двух последовательно включенных парах транзисторов, охваченных цепью локальной обратной связи и использование на выходе переноса сигнала непосредственно с шины земли при нулевом значении одного из входных сигналов, что позволяет уменьшить искажения внутренних и выходных сигналов, при сохранении функциональных возможностей полусумматора.

Сущность предложенного решения [8] состоит в создании помехоустойчивого полусумматора за счет синхронного приема одного из слагаемых с записью его в памяти и использования шины земли как источника сигнала, что позволяет уменьшить зависимость цепей формирования суммы и переноса от качества входных сигналов.

Формирование сигнала суммы происходит от взаимодействия первой и второй пар транзисторов, состоящих их транзисторов 2, 6 и 15, 19, соответственно, и транзисторов 1, 4, 17, 21. При единичном уровне синхросигнала  $C$  и нулевом уровне синхросигнала  $\bar{C}$  сигнал со входа 8 поступает на входные цепи транзисторов 4, 17 и на вход первой пары транзисторов, с выхода первой пары поступает на входные цепи 1, 21 транзисторов и на вход второй пары транзисторов, с выхода второй пары транзисторов поступает на входные цепи транзисторов 4, 17. В зависимости от сигнала на входе 7 и его инверсии с выходных цепей транзисторов 16, 20, поступающих на входы управления транзисторов 1, 4 и на входы управления транзисторов 17, 21, соответственно, на выход суммы 9 проходит прямой или инвертированный сохраненный сигнал со входа 8. И наоборот, при нулевом уровне синхросигнала  $C$  и единичном уровне синхросигнала  $\bar{C}$  сигнал с выхода второй пары транзисторов подается на входные цепи транзисторов 4, 17 и на вход первой пары транзисторов, сигнал с

выхода первой пары поступает на входные цепи транзисторов 1, 21 и на вход второй пары транзисторов. В зависимости от сигнала на входе 7 и его инверсии с выходных цепей транзисторов 16, 20, поступающих на входы управления транзисторов 1, 4 и на входы управления транзисторов 17, 21, соответственно, на выход суммы 9 проходит прямой или инвертированный сохраненный сигнал со входа 8, который поддерживается на последовательно включенных двух парах транзисторов, охваченных цепью локальной обратной связи.

Формирование сигнала переноса происходит от взаимодействия первой пары транзисторов и транзисторов 3, 5, 14. При этом если сигнал на выходе первой пары транзисторов представлен единичным уровнем, тогда сигнал нулевого уровня с шины земли 12 проходит через транзистор 3 на выход переноса 10, и наоборот, если сигнал на выходе первой пары транзисторов представлен нулевым уровнем, а значит на входе первой пары транзисторов сигнал единичного уровня, тогда сигнал со входа 7 проходит на выход переноса 10 через транзисторы 5, 14.

На рис. 7 представлена временная диаграмма формирования суммы.

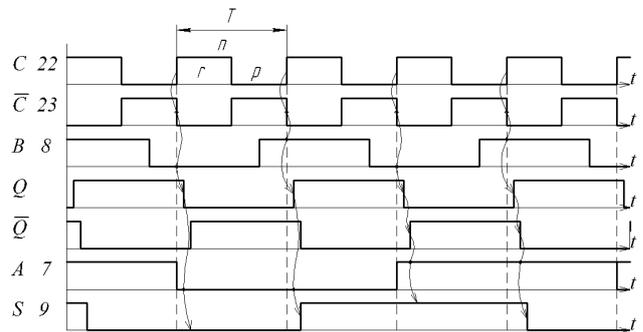


Рис. 7. Процессы, протекающие в ячейке полусумматора, при формировании суммы

На рис. 8 представлена временная диаграмма формирования переноса.

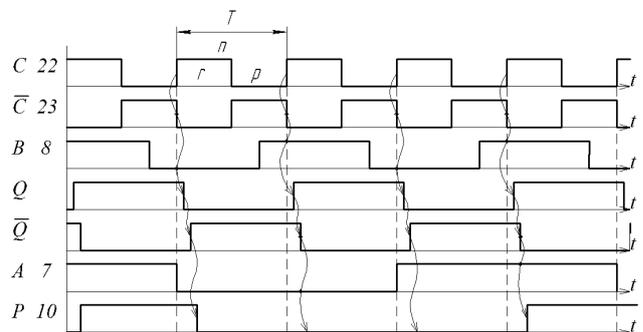


Рис. 8. Процессы, протекающие в ячейке полусумматора, при формировании переноса

В основу работы полусумматора положен принцип фиксации одного из входных сигналов в памяти и предопределенности нулевого результата в цепи формирования переноса, благодаря чему в

полусумматоре появилась возможность улучшения качества внутренних и выходных сигналов.

Характеристические функции полусумматора по выходам суммы 9 и переноса 10 определяются соответственно выражениями:

$$S = Q \bar{A} \vee \bar{Q} A, \quad (6)$$

$$P = Q A \vee \bar{Q} 0 = Q A, \quad (7)$$

где  $A$  и  $\bar{A}$  – прямой и инвертированный сигналы с первого входа;  
 $Q$  и  $\bar{Q}$  – прямой и инвертированный сигналы тактируемого элемента памяти.

Функциональная характеристика сигнала тактируемого элемента памяти на  $n$ -ом такте имеет вид:

$$Q^n = V^n C \vee Q^{n+r} \bar{C}, \quad (8)$$

где  $V^n$  – сигнал на втором входе на очередном  $n$ -ом такте синхросигнала  $C$  в течение действия его единичного уровня от  $n$  до  $n+r$ ;  
 $Q^{n+r}$  – сигнал тактируемого элемента памяти на очередном  $n$ -ом такте синхросигнала  $\bar{C}$  в течение действия его единичного уровня от  $n+r$  до  $n+r+p$ ;  
 $r$  и  $p$  – части периода  $T$ , описанные при рассмотрении предыдущей ячейки.

При этом сигнал тактируемого элемента памяти сформировался на  $n$ -ом такте синхросигнала  $C$  в течение действия его единичного уровня от  $n$  до  $n+r$  и определялся уровнем сигнала на втором входе:

$$Q^{n+r} = V^n. \quad (9)$$

Подставляя выражения (9) в (8), получаем функциональную характеристику для сигнала  $Q^n$  на  $n$ -ом такте:

$$Q^n = V^n C \vee V^n \bar{C} = V^n (C \vee \bar{C}) = V^n.$$

Таким образом, для любого такта всегда справедливо равенство:

$$Q = V. \quad (10)$$

Подставляя выражения (10) в (6), получаем функцию полусумматора по выходу суммы 9:

$$S = \bar{B} A \vee B \bar{A}. \quad (11)$$

Подставляя выражения (10) в (7), получаем функцию полусумматора по выходу переноса 10:

$$P = V A. \quad (12)$$

Указанные функции (11) и (12) соответствуют характеристическим функциям полусумматора [9].

Помеха, появившаяся на входе  $A$  в ситуации, когда на выходе первой пары транзисторов сигнал был единичного уровня, не повлияет на сигнал переноса, так как в этот момент на выход переноса  $P$  напрямую подается сигнал с шины земли.

Предложенный полусумматор является более помехоустойчивым благодаря синхронному приему

одного из слагаемых с записью его в памяти и использованию шины земли как источника сигнала, обеспечивающих уменьшение зависимости цепей формирования суммы и переноса от качества входных сигналов.

## ЗАКЛЮЧЕНИЕ

Схемо-топологические достижения при создании оригинальных ячеек могут дать большой эффект в процессе проектирования цифровых СБИС и существенно повлиять на характеристики микросистем, а также способствовать решению проблем связанных с защитой интеллектуальной собственности.

Предложены оригинальные схемо-топологические решения для широко распространенных элементов: двухступенчатого триггера и полусумматора, которые показывают подходы к уменьшению площади и повышению помехоустойчивости базовых элементов.

## ПОДДЕРЖКА

Приведенные в статье результаты исследований в области схемо-топологического проектирования ячеек СБИС получены: в СПбГЭТУ при финансовой поддержке РФФИ в рамках гранта № 14-07-31098, в "Сенсотронике" и "ЛЭТИНТЕХ" при финансовой поддержке Фонда содействия и развития малых форм предприятий в научно-технической сфере в рамках контрактов №168ГС1/6807 и №443ГС3/15263, соответственно.

## ЛИТЕРАТУРА

- [1] Агаханян, Т.М. Интегральные триггеры устройств автоматики [Текст]: / Т.М.Агаханян, С.П.Плеханов; — М.: Машиностроение, 1978, — 368с.
- [2] Пат. 2294593 С1 РФ, МПК H03K3/037 (2006.01). Двухступенчатый триггер / Н.М. Сафьянников, П.Н. Бондаренко; патентообладатель ООО "ЛЭТИНТЕХ". — № 2005124064/09; заявл. 28.07.2005 ; опубл. 27.02.2007, Бюл. № 6. — 11 с.
- [3] Сафьянников Н.М., Бондаренко П.Н. Триггерное устройство с актуализацией состояний // Микросистемная электроника. 2009. Т. 38. № 3. С. 237–240.
- [4] Пат. 8004908 В2 US, МПК G11C7/10; H03K3/00. Double Edge Triggered Flip-Flop Circuit / Asano Takashi, Yamada Kouichi; патентообладатель SANYO ELECTRIC CO., LTD. — № US20080519255; заявл. 17.09.2008; опубл. 23.08.2011.
- [5] Пат. 2542575 С1 РФ, МПК H03K3/356 (2006.01). Двухступенчатый триггер / А.А. Баранов, С.Э. Миронов, Н.М. Сафьянников; патентообладатель ООО "ЛЭТИНТЕХ". — № 2014102212/08; заявл. 23.01.2014; опубл. 20.02.2015, Бюл. №5. — 11 с.
- [6] Свидетельство о гос. регистрации топологии интегральной микросхемы № 2014630078. Двухступенчатый триггер / Н. М. Сафьянников, П. Н. Бондаренко, С. Э. Миронов, А. К. Фролкин ; заявитель и правообладатель ООО "ЛЭТИНТЕХ". — № 2014630013 ; заявл. 07.03.2014 ; зарег. 10.06.2014. — 1с.
- [7] Пат. 20030058821 A KR, МПК G06F7/50. Half Adder Circuit / Son Jin A; патентообладатель HYNIX SEMICONDUCTOR INC. — № KR20020000039; заявл. 02.01.2002 ; опубл. 07.07.2003.

[8] Пат. 2579980 РФ, МПК G06F 7/50 (2014.1). Полусумматор / А.А. Баранов, С.Э. Миронов, Н.М. Сафьянников; патентообладатель ООО "Сенсотроника".

— № 2015104185 ; заявл. 09.02.2015; опубл. 10.04.2016, Бюл. №10.

[9] Карцев, М. А. Арифметика цифровых машин [Текст] / М. А. Карцев. — М.: Наука, 1969. — 576с.

## Schematic-topological design of VLSI cells

A.A. Baranov<sup>1,2</sup>, N.M. Safyannikov<sup>1,3</sup>

<sup>1</sup> Saint Petersburg Electrotechnical University "LETI"

<sup>2</sup>Sensotronika

<sup>3</sup>LETINTEH, sysan@sysan.sp.ru, an.a.baranov@gmail.com

**Keywords** — library of VLSI cells, Master-Master flip-flop, half adder, schematic-topological design, CAD.

terprises №443GS3/15263 of Foundation for Assistance to Small Innovative Enterprises in "Sensotronika" Ltd.

### ABSTRACT

Variants of standard VLSI cells design on schematic level with orientation on topological level are considered. Original solutions of two-latch double edge triggered flip-flop circuit and half adder are suggested for CAD libraries. Master-master two-latch double edge triggered flip-flop circuit is distinguished for its structure regularity whereas half adder for its noise stability. Workflow description and simulation data of these cells are demonstrated. Topology of this flip-flop has been designed.

Design of high-level systems depend on low level cells characteristics. So generation of a cells library is one of the most important tasks while solving a problem related to perspective microelectronic systems development. It is confirmed by a recent increase of patents in the area of cells development, i.e. in classes G06F 7, G11C 7, H03K 3 of International Classifier.

Increasing the number of solutions is connected not only with functional level, but also with schematic level oriented on topological level, so-called schematic-topological design.

So design of new original libraries of VLSI cells is of great scientific and practical importance.

Schematic-topological achievements in creating the original cells can give a great effect in the design of digital VLSI and can significantly affect on microelectronic systems characteristics. They can assist in the solution of problems related to the protection of intellectual property.

### SUPPORT

The research results in the area of schematic-topological design of VLSI cells provided in this article were obtained under the support of the sponsorship grant №14-07-31098 of Russian Foundation for Basic Research in Saint Petersburg Electrotechnical University "LETI". The researches were also supported by the sponsorship contract of Foundation for Assistance to Small Innovative Enterprises №168GS1/6807 in "LETINTEH" Ltd and contract of Foundation for Assistance to Small Innovative En-

### REFERENCES

- [1] Agahanjan, T.M. Integral'nye triggery ustrojstv avtomatiki — Integral flip-flops in automatics [Tekst]: / T.M.Agahanjan, S.P.Plehanov; — M.: Mashinostroenie, 1978, — 368 s. (in Russian).
- [2] Pat. 2294593 S1 RF, MPK H03K3/037 (2006.01). Dvuhstupenchatyj trigger — Two-step trigger (Master-master two-latch double edge triggered flip-flop circuit) / N.M. Safyannikov, P.N. Bondarenko; patentoobladatel' OOO "LETINTEH". — № 2005124064/09; zajavl. 28.07.2005 ; opubl. 27.02.2007, Bjul. № 6. — 11 s. (in Russian)
- [3] Safyannikov N.M., Bondarenko P.N. Triggernoe ustrojstvo s aktualizaciej sostojanij — Trigger circuit with actualization of states // Mikroelektronika. 2009. V. 38. № 3. S. 237–240 (in Russian).
- [4] Patent Number 8004908 B2 US, Int. Cl. G11C7/10; H03K3/00. Double Edge Triggered Flip-Flop Circuit / Asano Takashi, Yamada Kouichi; assignee SANYO ELECTRIC CO., LTD. – appl. № US20080519255; filed 17.09.2008; data of patent 23.08.2011.
- [5] Pat. 2542575 S1 RF, MPK H03K3/356 (2006.01). Dvuhstupenchatyj trigger — Master-master two-latch double edge triggered flip-flop circuit / A.A. Baranov, S.E. Mironov, N.M. Safyannikov; patentoobladatel' OOO "LETINTEH". — № 2014102212/08; zajavl. 23.01.2014; opubl. 20.02.2015, Bjul. №5. — 11 s. (in Russian).
- [6] Svidetel'stvo o gos. registracii topologii integral'noj mikroschemy № 2014630078. Dvuhstupenchatyj trigger — Master-master two-latch double edge triggered flip-flop circuit / N.M. Safyannikov, P.N. Bondarenko, S.E. Mironov, A.K. Frolkin ; zajavitel' i pravoobladatel' OOO "LETINTEH". — № 2014630013 ; zajavl. 07.03.2014 ; zareg. 10.06.2014. — 1 s. (in Russian).
- [7] Patent Number 20030058821 A KR, Int. Cl. G06F7/50. Half Adder Circuit / Son Jin A; assignee HYNIX SEMICONDUCTOR INC. – appl. № KR20020000039; filed 02.01.2002; data of patent 07.07.2003.
- [8] Pat. 2579980 RF, MPK G06F 7/50 (2014.1). Polusummator — Half adder circuit / A.A. Baranov, S.E. Mironov, N.M. Safyannikov; patentoobladatel' OOO "Sensotronika". — № 2015104185 ; zajavl. 09.02.2015; opubl. 10.04.2016, Bjul. №10 (in Russian).
- [9] Karcev, M. A. Arifmetika cifrovyh mashin — Arithmetic if digital devices [Tekst] / M. A. Karcev. — M.: Nauka, 1969. — 576 s. (in Russian).