

Интегральный шестизрядный векторный фазовращатель S-диапазона частот со сниженной ошибкой установки фазы

Е.В. Балашов, А.С. Коротков, И.А. Румянцев

Санкт-Петербургский политехнический университет Петра Великого, i.a.rumiantsev@spbstu.ru

Аннотация — В работе представлен интегральный шестизрядный векторный фазовращатель S-диапазона частот со сниженной до 1,5 градуса абсолютной ошибкой установки фазы за счет использования калибровки фазовых состояний. Приведены результаты измерений интегральной схемы векторного фазовращателя, изготовленного по 0,18 мкм КМОП технологии.

Ключевые слова — векторный фазовращатель, калибровка, КМОП технология.

I. ВВЕДЕНИЕ

Активные фазированные антенные решетки (АФАР) широко используются в радиолокационных и телекоммуникационных системах и состоят из сотен и тысяч приемо-передающих модулей (ППМ). Структурная схема типичного ППМ представлена на рис. 1. Передающий тракт состоит из фазовращателя (ФВ), аттенюатора (АТТ) и усилителя мощности (УМ). Приемный тракт состоит из ограничителя (ОГР), малошумящего усилителя (МШУ), фазовращателя и аттенюатора. Разделение приемного и передающего тракта осуществляется циркулятором или СВЧ переключателем (ПК). Таким образом, фазовращатель является одним из основных элементов ППМ и служит для изменения фазы СВЧ сигнала в зависимости от внешнего цифрового управляющего сигнала.

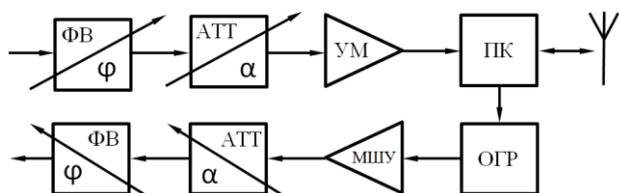


Рис. 1. Структурная схема приемо-передающего модуля

Существуют различные типы фазовращателей [1]: отражательные, на отрезках искусственных длинных линий с переменными параметрами, коммутируемые, векторные. На данный момент коммутируемые фазовращатели являются наиболее широко используемыми коммерческими решениями. Основными недостатками данных фазовращателей являются высокие потери и большая фазовая ошибка, вызванная разбросом технологических параметров при изготовлении кристаллов интегральных схем. Поскольку функцией фазовращателей является изменение фазы сигнала, фазовая ошибка является одним из основных критериев оценки качества работы

фазовращателей, и обеспечение низкой фазовой ошибки является важной задачей.

В последние годы опубликовано значительное количество научных работ, посвященных векторным фазовращателям [2-4]. Актуальность разработки такого рода схем связана с возможностью калибровки фазовых состояний после производства для снижения влияния на характеристики разброса технологических параметров. Векторные диаграммы сигналов, поясняющие принцип работы векторного фазовращателя, изображены на рис. 2. Входное симметрирующее устройство преобразует входной небалансный сигнал в балансный выходной сигнал, на основе которого при помощи квадратурного фильтра формируются два ортогональных балансных сигнала. В зависимости от цифровых управляющих сигналов выбирается пара ортогональных сигналов, амплитуды которых изменяются усилителями с переменным коэффициентом усиления. Полученные сигналы складываются, формируя выходной СВЧ сигнал с требуемым фазовым сдвигом.

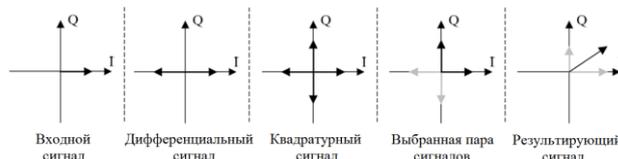


Рис. 2. Векторные диаграммы

Широкое распространение в СВЧ технике получили схемы на основе арсенида галлия. Однако, принимая во внимание большое количество ППМ в АФАР, использование технологии на основе кремния позволит значительно снизить себестоимость и повысить степень интеграции ППМ. В данной работе описана интегральная схема шестизрядного векторного фазовращателя с однократно программируемой памятью, позволяющая проводить калибровку параметров после производства.

II. ВЕКТОРНЫЙ ФАЗОВРАЩАТЕЛЬ

A. Структурная схема

Структурная схема разработанного векторного фазовращателя изображена на рис. 3 и состоит из: блока преобразования высокочастотного сигнала (ВЧ), блока формирования аналоговых управляющих сигналов (ФАУ), блока цифрового управления (ЦУ) и формирователя токов (ФТ). Входной высокочастотный

сигнал поступает на вход блока ВЧ, где преобразуется в зависимости от значений сигналов на выходе блока ФАУ. Цифровые управляющие сигналы D0..D5 поступают на входы блока ЦУ, который формирует выходные сигналы для управления блоком ФАУ. Блок ФТ формирует опорные токи для всех блоков схемы.

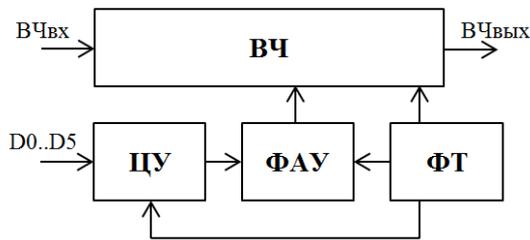


Рис. 3. Структурная схема разработанного векторного фазовращателя

В. Блок преобразования высокочастотного сигнала

Структурная схема блока ВЧ изображена на рис. 4 и состоит из полифазного RC-фильтра (ПФ), двух усилителей с переменным коэффициентом усиления (УУ), схемы подавления синфазной составляющей (ПСС), активного преобразователя балансного сигнала (ПР) и выходного усилителя (УМ).

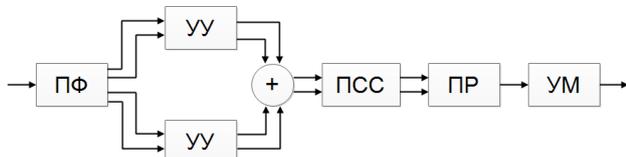


Рис. 4. Структурная схема блока ВЧ

Поскольку минимально достижимая абсолютная фазовая ошибка определяется ошибками преобразования сигналов в ВЧ тракте, важной задачей становится минимизация преобразований входного сигнала. В разработанной схеме предложено использовать полифазный RC-фильтр с небалансным входом для формирования квадратурных сигналов непосредственно из входного небалансного сигнала без преобразования к баланскому виду с использованием симметрирующего устройства [5]. Принципиальные схемы полифазного RC-фильтра с входной согласующей индуктивностью и усилителей с переменным коэффициентом усиления изображены на рисунках 5 и 6 соответственно.

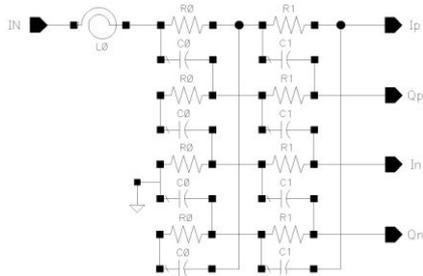


Рис. 5. Принципиальная схема RC-фильтра с входной согласующей индуктивностью

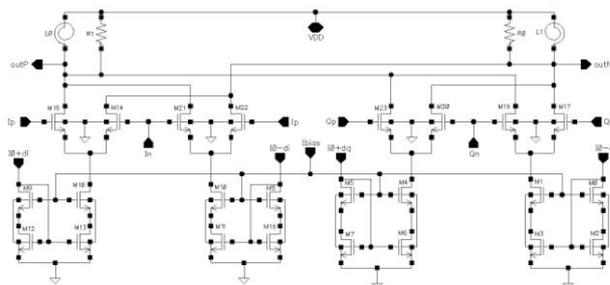


Рис. 6. Принципиальная схема усилителей с переменным коэффициентом усиления

Вследствие низкого коэффициента подавления синфазного сигнала усилителем с переменным коэффициентом усиления результирующий сигнал содержит синфазную составляющую, для подавления которой разработана схема подавления синфазной составляющей, изображенная на рис. 7а. Преобразование дифференциального сигнала в небалансный осуществляется схемой активного преобразователя, изображенного на рис. 7б.

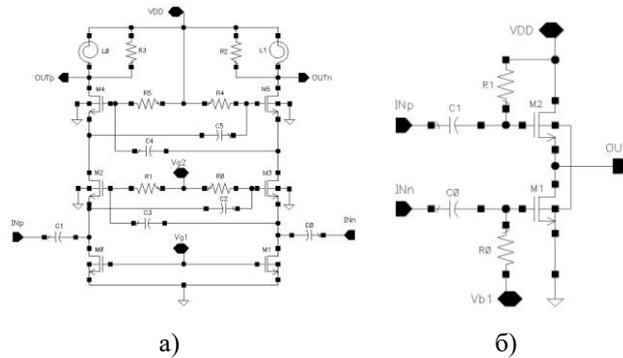


Рис. 7. Принципиальные схемы: а) схема подавления синфазной составляющей; б) схема активного преобразователя балансного сигнала в небалансный

Выходной усилитель, принципиальная схема которого изображена на рис. 8, осуществляет компенсацию потерь схемы.

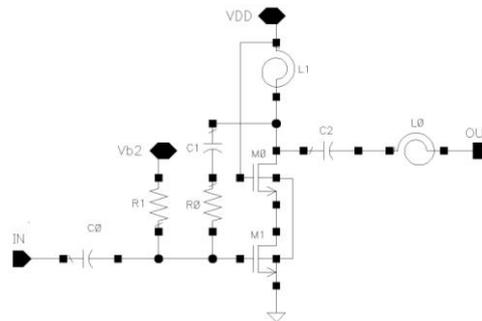


Рис. 8. Принципиальная схема выходного усилителя

С. Блок формирования аналоговых управляющих сигналов

Блок формирования аналоговых управляющих сигналов предназначен для формирования сигналов, которые поступают на управляющие входы блока обработки ВЧ сигнала и определяют весовые

коэффициенты для каждого фазового состояния. Данный блок состоит из основного и корректирующего цифро-аналоговых преобразователей (ЦАП) и преобразователя управляющих сигналов к дифференциальному виду. ЦАП представляет собой систему токовых зеркал, которые создают на выходах токи, пропорциональные входному опорному току, генерируемому блоком ФТ. Пропорция зависит от номера фазового состояния, определяемого цифровыми управляющими сигналами. Корректирующий ЦАП корректирует выходные токи основного ЦАП в зависимости от входных сигналов.

Д. Блок цифрового управления

Структурная схема блока цифрового управления представлена на рис. 9 и состоит из: регистра сдвига (РС), дешифратора (Д), массива однократно программируемой памяти с массивом усилителей считывателей (ОПП), буферов (Б), преобразователя фазовых состояний (ПФС), дешифратора ЦАП (ДЦ) и набора переключателей (ПК). Сигналы на выводах D0-D5 определяют фазовое состояние фазовращателя. Вывод ПД является входом данных регистра сдвига. Вывод ТКТ является тактовым входом регистра сдвига. Сигналы на выводах ПМ и КЛ определяют один из четырех режимов работы фазовращателя:

- 1) режим параллельного управления;
- 2) режим последовательного управления;
- 3) режим записи калибровочных коэффициентов;
- 4) режим параллельного управления с калибровочными коэффициентами.

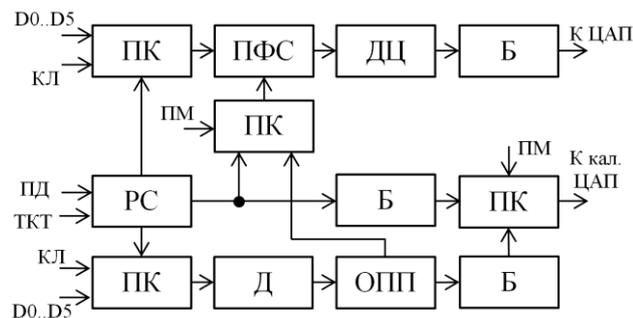


Рис. 9. Структурная схема блока ЦУ

По умолчанию блок цифрового управления работает в режиме параллельного управления, при котором управление осуществляется напрямую сигналами, подающимися на выводы D0-D5. При этом сигналы с выводов D0-D5 проходят без изменений через переключатель и преобразователь фазовых состояний на дешифратор ЦАП. В режиме последовательного управления определяются значения калибровочных коэффициентов, обеспечивающие минимизацию фазовой ошибки. При этом управление осуществляется через последовательный регистр сдвига. Регистр сдвига имеет разрядность 32 бита: первые 6 бит определяют номер фазового состояния, следующие 6 бит определяют коэффициенты

преобразователя фазовых состояний, последние 20 бит управляют калибровочным ЦАП. Первые 12 бит, записанные в регистр сдвига, подаются через переключатели на преобразователь фазовых состояний. Результирующий сигнал подается на дешифратор ЦАП. Оставшиеся биты через буфер и переключатель подаются на калибровочный ЦАП и массив ОПП. В режиме записи калибровочных коэффициентов определенные калибровочные коэффициенты записываются в ОПП. В режиме параллельного управления с калибровочными коэффициентами управление основным ЦАП осуществляется входными сигналами D0-D5, при этом калибровочные коэффициенты, соответствующие каждому фазовому состоянию, задаются значениями, записанными в ОПП.

Е. Блок формирования токов

Блок формирования токов генерирует токи, определяющие рабочие точки транзисторов схемы, и состоит из блока формирования опорного тока и блока формирования токов смещения. Блок формирования опорного тока создает опорный ток, который затем копируется блоком формирования токов смещения с весовыми коэффициентами для получения токов смещения транзисторов всей схемы.

III. ТОПОЛОГИЯ И РЕЗУЛЬТАТЫ ИЗМЕРЕНИЙ

Фотография кристалла интегрального шестиразрядного фазовращателя, изготовленного по 0,18 мкм КМОП технологии, представлена на рис. 10. Площадь кристалла составляет 5,3 кв. мм, площадь схемы без учета кольца электростатической защиты составляет 3,3 кв. мм. Схема согласована по входу и выходу на 50 Ом и потребляет 55 мА при напряжении питания 1.8 В.

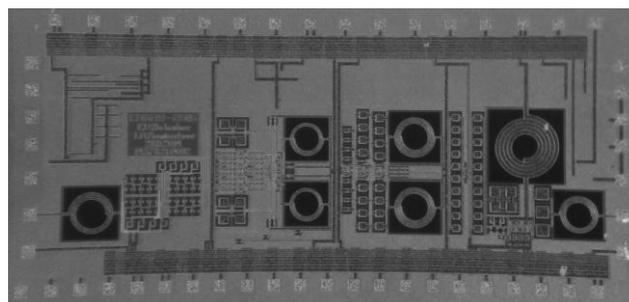


Рис. 10. Кристалл фазовращателя

Для измерений характеристик фазовращателя разработан измерительный стенд, структурная схема которого изображена на рис. 11. Для измерения параметров матрицы рассеивания использован векторный анализатор цепей Rohde & Schwarz ZVA40. Для подачи управляющих сигналов использована плата Arduino Mega на основе микроконтроллера ATmega2560. Для проведения автоматизированных измерений и обработки полученных данных разработана программа в среде LabVIEW.

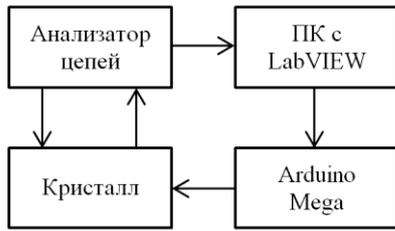


Рис. 11. Структурная схема измерительного стенда

Зависимость модуля коэффициента передачи от частоты для 64 фазовых состояний представлена на рис. 12. Минимальный коэффициент передачи в полосе частот 2,8–3,2 ГГц составляет 1,7 дБ. Зависимость модуляции коэффициента передачи при переключении фазовых состояний изображена на рис. 13 и составляет не более 0,4 дБ.

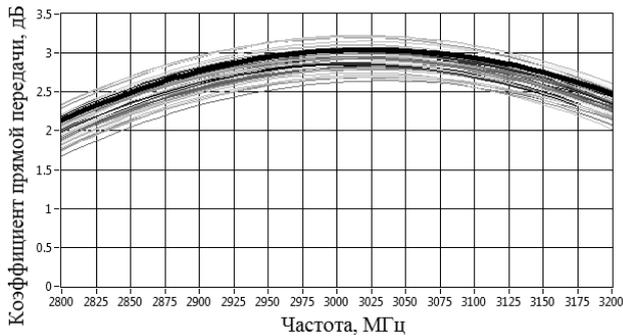


Рис. 12. Зависимость модуля коэффициента прямой передачи от частоты

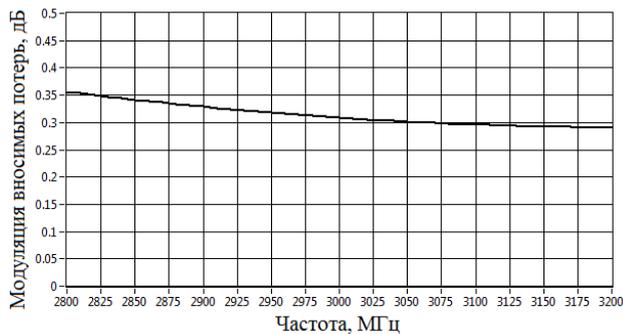


Рис. 13. Зависимость модуляции коэффициента передачи от частоты при переключении фазовых состояний

На рис. 14 представлена зависимость фазы коэффициента прямой передачи для всех фазовых состояний. На основании данных зависимостей рассчитаны абсолютная и среднеквадратичная фазовые ошибки, зависимости которых от частоты изображены на рис. 15 и 16 соответственно. Максимальная абсолютная и среднеквадратичная ошибки (СКО) в диапазоне рабочих частот составили 1,5 и 1,0 градуса соответственно. Зависимость коэффициента прямой передачи от уровня мощности входного сигнала изображена на рис. 17.

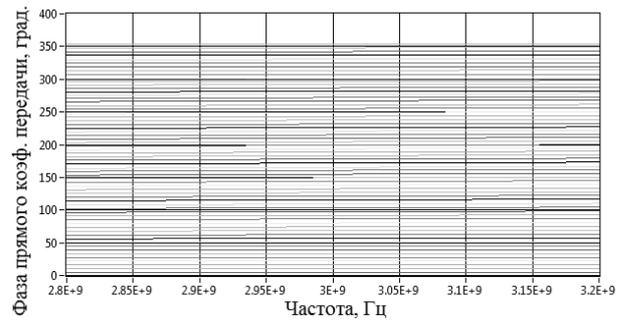


Рис. 14. Зависимость фазы коэффициента прямой передачи от частоты

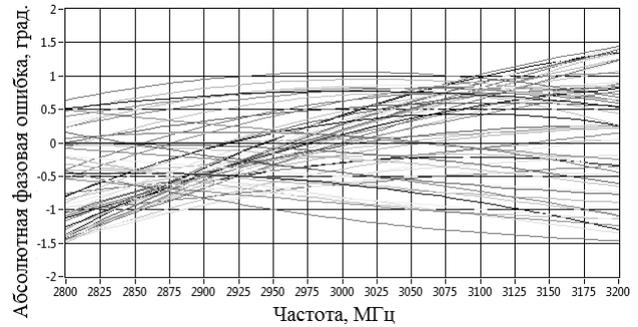


Рис. 15. Зависимости абсолютной фазовой ошибки от частоты

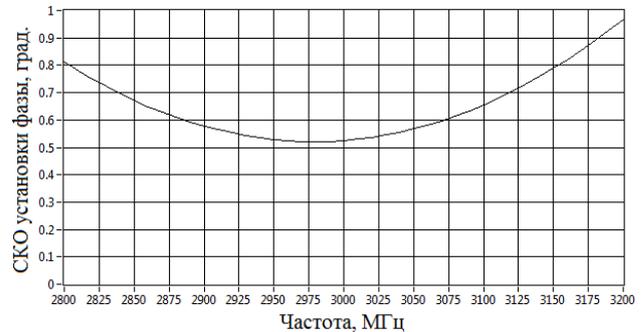


Рис. 16. Зависимость СКО установки фазы от частоты

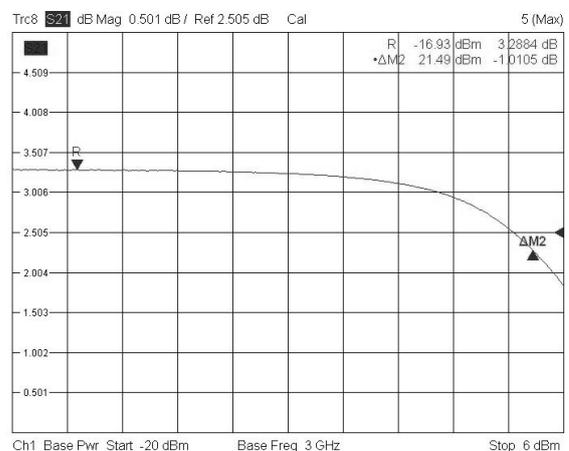


Рис. 17. Зависимость коэффициента прямой передачи от уровня мощности входного сигнала

Сравнение характеристик разработанного фазовращателя с отечественными и зарубежными схемами представлено в табл. 1.

IV. ЗАКЛЮЧЕНИЕ

В работе представлен шестиразрядный векторный КМОП фазовращатель S-диапазона частот со сниженной, по сравнению с известными реализациями до 1,5 градуса, абсолютной ошибкой установки фазы и

сниженной до 1 градуса максимальной среднеквадратичной фазовой ошибкой за счет использования калибровки фазовых состояний. Площадь кристалла фазовращателя с кольцом защиты от электростатического разряда составляет 5,3 кв. мм. Меньший размер кристалла в совокупности с низкой стоимостью при массовом производстве является дополнительным преимуществом перед фазовращателями на основе арсенида галлия.

Таблица 1

Сравнение характеристик фазовращателей

	Hittite Microwave, НМС647	Микран, МР308	[6]	[3]	[2]	ВФ, представл. в статье
Тип	Коммут.	Коммут.	Коммут.	Векторный	Векторный	Векторный
Рабочий диапазон частот, ГГц	2,5-3,1	3,4-4,0	2,5-3,2	4,0-6,0	2,3-3,7	2,8-3,2
Минимальный коэффициент передачи, дБ	-6,5	-5	-4	4	-4,5	1,7
Модуляция коэффициента передачи, дБ	0,4	1,5	1,5	0,3*	0,7*	0,4
Максимальная абсолютная фазовая ошибка, град.	15	5	-	-	-	1,5
Максимальная среднеквадратичная фазовая ошибка, град.	2	-	2	1,2	1,4	1
Точка компрессии на 1 дБ, дБм	31	-	2	-14	1,8	4
Потребляемая мощность, мВт	53	38	60	50	19	99
Площадь, кв. мм	-	10,5	4,2	0,9**	0,7**	5,3
Технология	GaAs	0,5 мкм GaAs	0,18 мкм КМОП	0,25 мкм SiGe	0,18 мкм КМОП	0,18 мкм КМОП

*среднеквадратичное значение

**дифференциальный вход и выход

ПОДДЕРЖКА

Работа выполнена при финансовой поддержке Министерства образования и науки РФ (соглашение № 14.578.21.0092 от 28.11.2014). Уникальный идентификатор проекта RFMEFI57814X0092.

ЛИТЕРАТУРА

- [1] Ellinger F., et al., Integrated Adjustable Phase Shifters // Microwave Magazine. V. 11. № 6. Oct. 2010. P. 97-108.
- [2] Asoodeh A., Atarodi M., A Full 360 Vector-Sum Phase Shifter With Very Low RMS Phase Error Over a Wide Bandwidth // IEEE Transactions on Microwave Theory and Techniques. V. 60. № 6. June 2012. P. 1626-1634.
- [3] Малышев И. В., Мухин И. И., Репин В. В., Шнитников А. С., Разработка БИС фазовращателя для

модулей АФАР // 21-я международная крымская конференция "СВЧ-техника и телекоммуникационные технологии". 2011. P. 149-150.

- [4] Balashov E. V., Romyancev I. A., A Fully Integrated 6-bit Vector-Sum Phase Shifter in 0.18 um CMOS // Proc. of the 11th International Siberian Conference on Control and Communications. 2015. P. 1-5.
- [5] Balashov E. V., Romyancev I. A., An Unbalanced Transformerless Vector-Sum Phase Shifter Architecture // Proc. of the IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference. 2016. P. 528-531.
- [6] Meghdadi M., Azizi M., Kiani M., Medi A., M. Atarodi, A 6-Bit CMOS Phase Shifter for S-Band // IEEE Trans. on Microwave Theory and Techniques V. 58. № 12. Dec. 2010. P. 3519-3526.

Integrated S-band 6-bit Vector-Sum Phase Shifter with Decreased Phase Error

E.V. Balashov, A.S. Korotkov, I.A. Rumyantsev

Peter the Great Saint-Petersburg Polytechnic University, i.a.rumyantsev@spbstu.ru

Keywords — vector-sum phase shifter, calibration, CMOS technology.

ABSTRACT

Active phased array antennas are widely used in radio-location and telecommunication systems and consist of hundreds and thousands transceiver modules. Each module includes a phase shifter as a key element. The phase shifter is used to change the input signal phase depending on the control signal. There are different phase shifter types [1]: reflective, distributed, switched [6], vector-sum. Many papers about vector-sum phase shifters have been published during last years [2-4]. This paper presents the vector-sum phase shifter with calibration process after production to improve its characteristics.

The S-band transformerless vector-sum phase shifter with decreased phase error is designed in 0.18 μm CMOS technology. To decrease the phase error two special techniques are used: an unbalanced transformerless architecture and a post-silicon calibration. Commonly, the vector-sum phase shifter includes an input transformer, a polyphase filter and variable gain amplifiers. The input unbalanced signal is transformed into the differential form by the input balun. Then two differential orthogonal signals are obtained from the differential signal using the polyphase filter. Finally, two orthogonal signals are combined with different amplitudes. The amplitudes depend on the digital control signal. The input on-chip balun and process parameters variation introduce the phase error. To decrease the phase shifter error the designed vector-sum phase shifter is based on the unbalanced transformerless architecture [5]. In this architecture the RC-polyphase filter with single-ended input and differential variable gain amplifiers form the weighted quadrature signals. To eliminate the influence of the process parameters variation a post-silicon calibration is proposed.

The phase shifter consists of the four main blocks: a high frequency analog block, a digital-to-analog block, a digital control block and a bias current generator block. The high frequency analog block is used for transformations of the input signal and implements the unbalanced transformerless vector-sum phase shifter architecture. The digital-to-analog block consists of two digital-to-analog converters: main and calibration. The digital control block is used for converting input 6 bit digital signal to the sig-

nals that control the switches in the digital-to-analog block. Other functions of the digital control block are both calibration and storing of the calibration coefficients. The bias current generator block consists of a reference current source and an array of current mirrors to supply each block of the phase shifter with appropriate bias current.

The designed 6-bit vector-sum phase shifter is fabricated in 0.18 μm CMOS process. Total chip area is 5.3 sq. mm. The circuit area excluding electrostatic discharge protection ring is about 3.3 sq. mm. The phase shifter has maximum gain of 3.2 dB in 2.8 – 3.2 GHz frequency range with 0.4 dB variation. The maximum phase error and the root-mean-square phase error are less than 1.5 degree and 1.0 degree respectively. Total current consumption is about 55 mA from a 1.8 V supply voltage.

SUPPORT

This work was funded by the Ministry of education and science of the Russian Federation. The agreement № 14.578.21.0092 / 28.11.2014. The unique identifier of the project RFMEFI57814X0092.

REFERENCES

- [1] Ellinger F., et al., Integrated Adjustable Phase Shifters // IEEE Microwave Magazine. V. 11. № 6. Oct. 2010. P. 97-108.
- [2] Asoodeh A., Atarodi M., A Full 360 Vector-Sum Phase Shifter With Very Low RMS Phase Error Over a Wide Bandwidth // IEEE Transactions on Microwave Theory and Techniques. V. 60, № 6, June 2012. P. 1626–1634.
- [3] Malishev I.V., Mukhin I. I., Repin V. V., Shnitnikov A. S., Development of a Phase Shifter LSI for Radar Applications // 21st Int. Crimean Conference “Microwave & Telecommunication Technology”. 2011. P. 149–150.
- [4] Balashov E. V., Rumyantsev I. A., A Fully Integrated 6-bit Vector-Sum Phase Shifter in 0.18 μm CMOS // Proc. of the 11th International Siberian Conference on Control and Communications, 2015, P. 1-5.
- [5] Balashov E. V., Rumyantsev I. A., An Unbalanced Transformerless Vector-Sum Phase Shifter Architecture // Proc. of the IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference, 2016, P. 528-531.
- [6] Meghdadi M., Azizi M., Kiani M., Medi A., M. Atarodi, A 6-Bit CMOS Phase Shifter for S-Band // IEEE Trans. on Microwave Theory and Techniques V. 58. № 12. Dec. 2010. P. 3519-3526.