

# Тенденции развития архитектур ассоциативной памяти и ее применение в параллельной потоковой вычислительной системе

Д.Н. Змеев, Е.Н. Кузьмин, Н.Н. Левченко, А.С. Окунев

Институт проблем проектирования в микроэлектронике РАН, zmejevdn@ippm.ru,  
kuzmin@ippm.ru, nick@ippm.ru, oku@ippm.ru

**Аннотация** – В данной статье приводится обзор основных направлений развития архитектур ассоциативной памяти. Определены основные проблемы, которые стоят перед разработчиками этих устройств. Описываются области применения ассоциативной памяти в различных вычислительных системах, в том числе приведено описание ассоциативной памяти ключей в процессоре сопоставлений, который является главным устройством управления вычислительным процессом в параллельной потоковой вычислительной системе (ППВС) «Буран». При описании современного состояния дел в области разработки различных видов ассоциативной памяти (САМ, ТСАМ и др.) рассматриваются вопросы увеличения быстродействия и снижения энергопотребления. В статье делается вывод, что собственная разработка блока ассоциативной памяти ключей в составе процессора сопоставления оправдана для более эффективной и полной реализации всех преимуществ, заложенных в архитектуре ППВС «Буран».

**Ключевые слова** – архитектура ассоциативной памяти, процессор сопоставления, параллельная потоковая вычислительная система, САМ, ТСАМ.

## I. ВВЕДЕНИЕ

В настоящее время растет потребность в высокопроизводительных процессорах для различных областей применения. Это в свою очередь приводит к необходимости разработки и применения быстрой параллельной памяти, способной проводить высокоскоростную операцию параллельного поиска, обладать большой ёмкостью хранения и быть энергоэффективной. Считается, что ассоциативная память (САМ – content addressable memory) – это память, которая найдет своё применение при разработке следующего поколения высокопроизводительных вычислительных систем [1]. Высокая скорость и низкая потребляемая мощность ассоциативной памяти – два основных критерия, на которых сосредоточены разработчики при создании САМ для различных применений.

Обычно выделяют два типа ассоциативной памяти – бинарную (САМ) и тернарную (ТСАМ). ТСАМ функционально отличается от САМ наличием второй ячейки памяти SRAM. Тернарная ассоциативная память – это такой тип ассоциативной памяти, который позволяет производить поиск по содержимому,

используя для поиска ключ с возможностью маскирования отдельных его битов или байтов. ТСАМ показывает высокую скорость доступа ко всему объёму памяти (за один такт) по сравнению с традиционной памятью прямого доступа (RAM).

На данный момент работа исследователей-разработчиков тернарной ассоциативной памяти за рубежом сфокусирована на нескольких направлениях:

- 1) реализация функциональности ТСАМ с использованием статической памяти SRAM [2-6] и других видов памяти [7-12];
- 2) внесение изменений в архитектуру ячеек собственно ассоциативной памяти [13, 14];
- 3) снижение энергопотребления ассоциативной памяти (снижение величины токов утечки и др.) [15, 16];
- 4) исследование на ПЛИС различных архитектурных подходов к реализации ассоциативной памяти [17, 18].

Обобщая, можно определить основные проблемы, которые стоят перед разработчиками тернарной ассоциативной памяти:

- 1) увеличение скорости операции «Поиск»;
- 2) уменьшение потребляемой мощности;
- 3) увеличение плотности хранения информации.

Помимо портативных мультимедиа устройств и смартфонов, САМ находит свое применение и в интеллектуальных системах для распознавания и анализа различных сцен, распознавания и синтеза речи, обработки нечеткой информации, а также в высокопроизводительных параллельных вычислительных системах [19]. ТСАМ используется в качестве ассоциативной памяти ключей процессора сопоставления параллельной потоковой вычислительной системы (ППВС) «Буран», представляющей собой базовую реализацию потоковой модели вычислений с динамически формируемым контекстом. Подробное описание этой модели вычислений и ППВС «Буран» приведено в работах [20, 21].

## II. ОБЛАСТИ ПРИМЕНЕНИЯ АССОЦИАТИВНОЙ ПАМЯТИ

Согласно [22] основная область применения ассоциативной памяти (АП) в вычислительных системах – кэширование данных. Используется при реализации диспетчера кэша центрального процессора (для построения ассоциативной кэш-памяти) и в ассоциативных буферах трансляции (TLB). Вообще, ассоциативная память в основном используется в сетевых устройствах в качестве памяти обработки таблиц и в специализированных системах обработки баз данных.

Ассоциативная память также находит применение в вычислительных системах, относящихся к классу SIMD (по классификации Флинна). Эти системы состоят из большого количества операционных устройств, способных одновременно (по командам управляющего устройства) вести обработку нескольких потоков данных. Данные вычислительные системы часто строятся на ассоциативных процессорах, которые в свою очередь являются расширением ассоциативной памяти. Ассоциативный процессор отличается от традиционной ассоциативной памяти наличием средств обработки данных и возможностью параллельной записи во все ячейки памяти, для которых было зафиксировано совпадение с ассоциативным признаком [23].

В последние годы за рубежом активизировались работы по созданию устройств памяти с доступом по содержимому большого объема и высокого уровня быстродействия в основном для маршрутизаторов телекоммуникационных систем. Приведем краткий обзор этих работ.

### III. СОВРЕМЕННОЕ СОСТОЯНИЕ ДЕЛ В ОБЛАСТИ ВЫПУСКА И РАЗРАБОТКИ АССОЦИАТИВНОЙ ПАМЯТИ

Несмотря на то, что САМ имеет множество привлекательных особенностей, требование сочетания низкого потребления энергии с высокой скоростью поиска является основной проблемой, которую надо решать разработчикам.

Снижение потребляемой мощности может вестись как в массиве тернарной ассоциативной памяти, используемой для хранения данных, так и в периферийных электрических контурах, используемых для осуществления операций «чтения», «записи» и «поиска». Снижение потребляемой мощности в массиве тернарной ассоциативной памяти в основном связано с уменьшением величины токов утечки. При решении задачи уменьшения потребляемой мощности ТСАМ возникают смежные проблемы, связанные с током короткого замыкания и распределением заряда, которые описаны в работе [14].

#### A. Обзор выпускаемой ассоциативной памяти

Большинство компаний, которые раньше занимались производством чипов ТСАМ, такие как *Micron*, *NetLogic Microsystems (Broadcom)*, *Renesas* практически отказались от её производства в виде

отдельного устройства и используют её только в сетевых процессорах и в таблицах адресов, в то время как другие компании продолжают исследования и выпуск новых типов ТСАМ.

Компания *EC-chip* предлагает семейство IP-ядер ТСАМ. Это семейство ТСАМ было разработано с приоритетным шифратором, при этом представители семейства отличаются между собой только тактовой частотой, проектной нормой, по которой чип памяти реализуется, и объемом памяти (от 64-х 144-разрядных слов до общего объема 20 Мбит с любой организацией памяти и с любыми настраиваемыми параметрами ширины слова).

Для достижения высокой скорости операции «поиск» и снижения потребляемой мощности используются дифференциальная ячейка памяти ТСАМ и схема формирования откликов на основе дифференциальных линий совпадения. Предусмотрена гибкая настройка организации памяти в соответствии с требованиями пользователя. Дифференциальная ячейка памяти ТСАМ и схема формирования откликов на основе дифференциальных линий совпадения имеют высокую помехоустойчивость по «земле» и питанию.

Обычно поиск в ТСАМ генерирует множество откликов, для выбора совпадения с наивысшим приоритетом необходим приоритетный шифратор. Логика иерархического приоритетного шифратора позволяет с высокой скоростью производить выбор отклика с наивысшим приоритетом для всего массива откликов ассоциативной памяти.

Компания *Analog Bits* предлагает память ТСАМ с организацией 4096 слов по 128 бит. Данная память выполнена по технологии 28 нм. Особенности предлагаемой памяти ТСАМ: высокая скорость поиска для сетевых приложений; независимые операции «Поиск» каждый такт для разных ключей; обработка множественных совпадений; имеются в наличии динамические и конвейерные механизмы; глобальное и локальное маскирование.

Компания *Renesas* [24] предлагает микросхемы объемом 20 Мбит с гибкими условиями поиска, которые поддерживают множественные конфигурации ключа (длина ключа может составлять 40, 80, 160, 320, 480 и 640 бит). Максимальное быстродействие равно 360 миллионов поисков в секунду (360 MSPS) при конфигурациях ключа в 80, 160, 320 бит. Каскадирование позволяет увеличить объем памяти до 40 Мбит путем соединения двух микросхем. Данные микросхемы были выпущены еще в 2010 году и новых разработок в области ТСАМ не было.

Проведенный анализ выпускаемых фирмами кристаллов памяти ТСАМ показал, что режимы работы рассмотренных архитектур существенно отличаются от режимов работы ассоциативной памяти ключей процессора сопоставления ППВС «Буран».

## *В. Исследования новых архитектур ассоциативной памяти*

В Китайской народной республике (*City University of Hong Kong*) в августе 2013 года начали работу над архитектурой E-TCAM, а в январе 2014 года представили новую версию архитектуры ассоциативной памяти Z-TCAM [3], которая является дальнейшим развитием архитектуры E-TCAM [4].

В феврале 2015 года были одновременно опубликованы материалы по нескольким новым архитектурам ассоциативной памяти (на основе ячеек памяти SRAM), разработанной различными коллективами специалистов из Индии [5]:

- 1) высокопроизводительная архитектура TCAM<sub>4</sub>, основанная на SRAM и реализованная в базе ПЛИС;
- 2) В-TCAM – это архитектура TCAM, основанная на эффективном выборе банков памяти;
- 3) версия архитектуры Z-TCAM, основанная на STT-RAM (Spin Torque Transfer – передача спинового вращательного момента).

Единственное отличие архитектуры В-TCAM от TCAM<sub>4</sub> состоит в том, что в В-TCAM применяется дополнительное разбиение массива памяти на банки. Для реализации разбиения на банки используются несколько первых бит входного слова. Таким образом, получается, что, выполняя операцию поиска, мы можем одновременно работать только с одним банком памяти, а остальные банки являются отключенными, что приводит к экономии энергии, затрачиваемой на поиск. Однако в этой архитектуре перед операцией «поиск» по выбранному массиву памяти необходимо проведение некоторых предварительных вычислений, результатом которых и является выбор банка памяти, что приводит к увеличению времени задержки выполнения операции «поиск».

Преимущества В-TCAM:

- 1) резкое сокращение числа сравнений в операции «поиск» из-за проведения сопоставления только в одном из банков памяти;
- 2) уменьшение потребляемой мощности благодаря сокращению числа сравнений;
- 3) более простой дизайн архитектуры, более низкая рассеиваемая мощность и меньшая площадь по сравнению с другими TCAM-архитектурами на основе SRAM.

Недостатки В-TCAM:

- 1) дополнительная задержка из-за предварительных вычислений;
- 2) дополнительные аппаратные затраты в виде экстрактора битов выбора банка и селектора банка.

В Южной Корее также ведутся работы в этом направлении. Например, создана высокоскоростная (500 МГц) маломощная архитектура TCAM с использованием линии совпадения на основе 65-нм КМОП-усилителя [6].

Что касается архитектуры Z-TCAM, в настоящее время существует целый ряд патентов, описывающих

магниторезистивную оперативную память с передачей спинового вращательного момента (STT-RAM), а также архитектуры TCAM на их основе.

Компания *Grandis*, созданная в 2002 году, ведет разработки в области памяти STT-RAM. Это один из видов так называемой универсальной памяти, способной в будущем заменить как быстродействующую оперативную память, так и энергонезависимую флэш-память. Строительными блоками STT-RAM являются структуры с магнитно-туннелирующим переходом – туннельные магниторезистивные элементы (magnetic tunnel junction, MTJ).

В работе [7] предложена новая модель тернарной ассоциативной динамической памяти на основе мемристоров. В предлагаемой авторами статьи одиночной ячейке ассоциативной памяти используются только 4 n-МОП (NMOS) транзистора и 2 мемристора. Что особенно важно – данные в такой ячейке памяти, основанной на мемристоре, сохраняются даже если память будет отключена от питания.

В 2013 году компания IBM также представила свой вариант энергонезависимой памяти TCAM [25], ячейка которой состоит из двух мемристоров и двух транзисторов. Эта архитектура TCAM спроектирована на базе памяти с фазовым переходом (PCM – Phase-change memory), которая была разработана для улучшения показателя плотности размещения ячеек на кристалле.

Для достижения надежной работы TCAM с использованием PCM-технологии (с сохранением плотности размещения на кристалле) предлагается два подхода:

- 1) двухбитное кодирование;
- 2) тактируемые самоопределяемые схемы считывания (CSRSS).

Данная новая архитектура может быть применена и для других TCAM, основанных на резистивной памяти [25].

## IV. АССОЦИАТИВНАЯ ПАМЯТЬ КЛЮЧЕЙ В ППВС «БУРАН»

Ассоциативная память ключей (АПК) входит в состав процессора сопоставления (ПС), который является фактически главным устройством управления вычислительным процессом в ППВС, поддерживающим сравнение ключей токенов задачи, обеспечивающим все принципы модели вычислений с управлением потоком данных и предотвращающим проблемы переполнения или недозагрузки аппаратных ресурсов в процессе вычислений.

Можно назвать следующие основные функции процессора сопоставления:

- 1) организация вычислительного процесса;
- 2) активация вычислений по мере поступления необходимых для этого данных;
- 3) синхронизация вычислительных процессов по данным;

- 4) организация групповой выборки операндов по маске;
- 5) управление вычислительными ресурсами с помощью специальных операций, таких как «старт задачи», «останов задачи», освобождение ресурсов и другие (в частности, аппаратная поддержка команд управления);
- 6) мониторинг состояния аппаратных ресурсов и интенсивности прохождения вычислительных процессов.

АПК предназначена для хранения ключей с масками, фиксации записанных ключей в регистре занятости, формирования адресов свободных ячеек для записи ключей, а также для поиска совпадения с ключами, хранящимися в ней.

Использование АПК ПС позволяет извлекать из задачи весь параллелизм, существующий в алгоритме ее решения, что позволяет эффективно загружать имеющиеся аппаратные ресурсы вычислительной системы и добиваться высокой степени масштабирования актуальных задач на системах, состоящих из сотен тысяч вычислительных ядер. Также ассоциативная память ключей фактически выполняет многократные операции сравнения и проверки условия.

Особенностью ассоциативной памяти ключей, используемой в параллельной потоковой вычислительной системе, является наличие как внешней, так и внутренней маски. Маска позволяет проводить сравнение токенов только по области ключа, не закрытой ею, остальная часть содержимого ключа игнорируется и считается совпавшей вне зависимости от содержимого. Преимуществом маски, накладываемой на ключ токена в ассоциативной памяти ключей, является то, что с ее помощью организовываются множественные отклики (совпадение ключа более чем у двух токенов одновременно). Данный механизм формирования токенов приводит к значительной экономии ассоциативной памяти и уменьшению количества генерируемых токенов (сокращается нагрузка на линии передачи), поскольку, например, для умножения вектора на число необходимо послать не  $n$ -чисел (где  $n$  – разрядность вектора), а одно число (токен) с соответствующей маской.

Поскольку все разрабатываемые за рубежом архитектуры TCAM в основном нацелены на использование в аппаратуре телекоммуникационных маршрутизаторов, то их основной режим функционирования – один раз записать все данные в память, а потом – выполнять операции «поиск» в записанном массиве данных при каждом новом обращении. Архитектура ППВС «Буран» предполагает совершенно другой режим работы ассоциативной памяти ключей. В ассоциативной памяти ключей ППВС режимы записи ключа, поиска и удаления хранящихся ключей фактически чередуются [26, 27].

Несмотря на другой режим работы готовых архитектурных решений TCAM, по нашему мнению,

эти решения можно частично использовать при создании прототипа (макета) системы ППВС «Буран» для того, чтобы продемонстрировать эффективность работы системы на больших задачах. Однако чтобы приблизиться к созданию полнофункционального опытного образца ППВС «Буран» необходимо разрабатывать собственный блок ассоциативной памяти ключей с использованием некоторых эффективных решений, предложенных и в рассмотренных выше архитектурах TCAM.

## V. ЗАКЛЮЧЕНИЕ

В последние годы за рубежом активизировались работы по созданию устройств памяти с доступом по содержимому (ассоциативной памяти – CAM) большого объема и высокого уровня быстродействия.

Следует отметить, что при создании новых архитектур CAM усилия разработчиков прежде всего направлены на уменьшение энергопотребления этих устройств. Аналогичные принципы, связанные с уменьшением занимаемой площади и снижением энергопотребления, реализуются и в нашей собственной архитектуре процессора сопоставления ППВС «Буран» [26]. Реально разрабатываемые за рубежом схемы TCAM могут использоваться и в нашем проекте, но только в качестве ассоциативной памяти ключей и исключительно для макетирования системы. Полнофункциональный же процессор сопоставления с ассоциативной памятью ключей ППВС «Буран» представляет собой значительно более сложное устройство, причем некоторые узлы этого процессора уникальны [27].

Разработка собственного блока ассоциативной памяти ключей и процессора сопоставления в целом оправдана, поскольку это позволит наиболее эффективно и полно реализовать все преимущества, заложенные в архитектуре ППВС «Буран», реализующей потоковую модель вычислений с динамически формируемым контекстом.

## ЛИТЕРАТУРА

- [1] Nagarkarthik T., Choi J. R. A 500-MHz high-speed, low-power ternary CAM design using selective match line sense amplifier in 65nm CMOS // Information and Communication Systems (ICICS), 2015 6th International Conference on. IEEE. 2015. P. 60-63.
- [2] Ullah Z., Jaiswal M. K., Cheung R. C. C. E-TCAM: An efficient SRAM-based architecture for TCAM // Circuits, Systems, and Signal Processing. 2014. Vol. 33. № 10. P. 3123-3144.
- [3] Ullah Z., Jaiswal M. K., Cheung R. C. C. Z-TCAM: an SRAM-based architecture for TCAM // Very Large Scale Integration (VLSI) Systems, IEEE Transactions on. 2015. Vol. 23. № 2. P. 402-406.
- [4] Lekshmi Priya S., Suby Varghese, "FPGA Based Architecture for High Performance SRAM Based TCAM for Search Operations" // International Journal of Science and Research (IJSR). February 2015. Vol. 4. Issue 2. P. 1862-1867.
- [5] Konchada Ravi, B. Bashu, "SRAM Based Architecture for TCAM as Z-TCAM for Better Memory Utilization" // International Journal & Magazine of Engineering,

- Technology, Management and Research. July 2015. Vol. 2. Issue 7. P. 2030-2037.
- [6] R.Sindhu, Dr. R.Vijayabhasker, "B-TCAM: An Efficient Bank Selection Based TCAM Architecture" // International Journal of Advanced Research Trends in Engineering and Technology. February 2015. Vol. 2. Issue 2. P. 23-29.
- [7] Nilesh Mishra, Harish M Kittur, "4-Transistors of Dynamic Memristor based TCAM" // International Journal of Engineering Research and Applications (IJERA). May – June 2012. Vol. 2. Issue 3. P. 2520-2524.
- [8] Xu W., Zhang T., Chen Y. Design of spin-torque transfer magnetoresistive RAM and CAM/TCAM with high sensing and search speed // Very Large Scale Integration (VLSI) Systems, IEEE Transactions on. 2010. Vol. 18. № 1. P. 66-74.
- [9] Mohsen Imani, Abbas Rahimi, Tajana S. Rosing. Resistive Configurable Associative Memory for Approximate Computing // ACM/IEEE Design, Automation, and Test in Europe (DATE) Conference. 2016.
- [10] Guo Q. et al. Ac-dimm: associative computing with stt-mram // ACM SIGARCH Computer Architecture News. – ACM. 2013. Vol. 41. № 3. P. 189-200.
- [11] Karpagam G., E Konguvel E. K., M Thangamani M. T. A Low Power VLSI Implementation of STTRAM based TCAM for High Speed Switching Circuits // International Journal of Computer Applications. 2015. Vol. 115. № 7. P. 38-42.
- [12] Junsangsri P., Lombardi F. A memristor-based TCAM (ternary content addressable memory) cell: design and evaluation // Proceedings of the great lakes symposium on VLSI. – ACM. 2012. P. 311-314.
- [13] Silna George, et al. Exploiting a Low Power Self Timed Ternary CAM Architecture Using RWOS Mechanism // IJECS. April, 2015. Vol. 4. Issue 4. P. 11495-11500.
- [14] Yashaswini H.G., Aswatha Kumar M., B.N. Shobha. Design and Implementation of Low Power Hybrid-Type Ternary Content Addressable Memory Using Pai-Sigma Match-Line Sensing Scheme // International Journal of Electrical and Electronics Research. April-June, 2015. Vol. 3. Issue 2. P. 224-232.
- [15] Mohan N., Sachdev M. Novel Ternary Storage Cells and Techniques for Leakage Reduction in Ternary CAM // SOC Conference, 2006 IEEE International. – IEEE. 2006. P. 311-314.
- [16] Echeverría P., Ayala J. L., López-Vallejo M. Power considerations in banked CAMs: a leakage reduction approach // VLSI Design. 2008. Vol. 2008. №. 2. P. 14.
- [17] Soni M. M., Dakhole P. K. FPGA implementation of content addressable memory based information detection system // Communications and Signal Processing (ICCSP), 2014 International Conference on. – IEEE. 2014. P. 930-933.
- [18] Vineet Dhingra, Arti Noor. Implementation and Verification of TCAM using System Verilog // International Journal of Contemporary Research in Engg. and Tech. 2011. Vol. 1, № 1. P. 69-74.
- [19] Огнев И. В., Борисов В. В. Ассоциативные среды. – М. : Радио и связь, 2000.
- [20] Змеев Д.Н., Климов А.В., Левченко Н.Н., Окунев А.С., Стемпковский А.Л. Поточковая модель вычислений как парадигма программирования будущего. // Информатика и её применения. 2015. Т. 9. Вып. 4. С. 29-36.
- [21] Климов А.В., Левченко Н.Н., Окунев А.С., Стемпковский А.Л. Суперкомпьютеры, иерархия памяти и потоковая модель вычислений // Программные системы: теория и приложения: электрон. научн. журн. 2014. Т. 5. № 1(19). С. 15-36. URL: [http://psta.psiras.ru/read/psta2014\\_1\\_15-36.pdf](http://psta.psiras.ru/read/psta2014_1_15-36.pdf) (дата обращения: 06.04.2016).
- [22] Угрюмов Е.П. Цифровая схемотехника: учеб. Пособие для вузов.-3-е издан ие., перераб. и доп // СПб: БХВ-Петербург. 2007.
- [23] Орлов С.А., Цилькер Б. Организация ЭВМ и систем // СПб.: Питер. 2007.
- [24] URL: [http://www.renesas.com/media/products/memory/nse/r10cp0001eu0100\\_tcam.pdf](http://www.renesas.com/media/products/memory/nse/r10cp0001eu0100_tcam.pdf) (дата обращения: 06.04.2016).
- [25] Li J. et al. 1 Mb 0.41  $\mu\text{m}^2$  2T-2R Cell Nonvolatile TCAM With Two-Bit Encoding and Clocked Self-Referenced Sensing // Solid-State Circuits, IEEE Journal of. 2014. Vol. 49. №. 4. P. 896-907.
- [26] Левченко Н.Н., Окунев А.С., Яхонтов Д.Е. Исследование работы процессора сопоставления параллельной потоковой вычислительной системы «Буря» // Проблемы разработки перспективных микро- и наноэлектронных систем - 2012. Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2012. С. 467-470.
- [27] Стемпковский А.Л., Левченко Н.Н., Окунев А.С., Цветков В.В. Параллельная потоковая вычислительная система – дальнейшее развитие архитектуры и структурной организации вычислительной системы с автоматическим распределением ресурсов // Журнал «ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ». 2008. №10. С. 2-7.

## Trends in development of content addressable memory architectures and its application in the parallel dataflow computing system

D.N. Zmejcev, E.N. Kuzmin, N.N. Levchenko, A.S. Okunev

Institute for Design Problems in Microelectronics of RAS, zmejevdn@ippm.ru, kuzmin@ippm.ru, nick@ippm.ru, oku@ippm.ru

**Keywords** – features of matching processor, ternary content addressable memory, prototype of the parallel dataflow computing system, memory of keys.

### ABSTRACT

The article describes the functions of the matching processor, one of the key blocks of the parallel dataflow computing system "Buran". Peculiarities of its implementation

and approaches to prototyping as part of PDCS are outlined.

Content addressable memory of keys, which is part of the matching processor, is most efficiently implemented as hardware memory of type TCAM. The article describes the differences between standard CAM and TCAM, the application scope of content addressable memory in the computing systems, as well as implementation variants of content addressable memory of keys at developing of parallel dataflow computing system. The article also focuses on the issue of energy efficiency of computing systems.

Main problems to be solved by the researchers-developers of ternary content addressable memory are defined. Problems of developing of new TCAM architectures based on different principles and the problems of energy consumption reduction of TCAM itself are described. Current status of these problems abroad is reported.

#### REFERENCES

- [1] Nagakarthish T., Choi J. R. A 500-MHz high-speed, low-power ternary CAM design using selective match line sense amplifier in 65nm CMOS // *Information and Communication Systems (ICICS)*, 2015 6th International Conference on. IEEE. 2015. P. 60-63.
- [2] Ullah Z., Jaiswal M. K., Cheung R. C. C. E-TCAM: An efficient SRAM-based architecture for TCAM // *Circuits, Systems, and Signal Processing*. 2014. Vol. 33. No. 10. P. 3123-3144.
- [3] Ullah Z., Jaiswal M. K., Cheung R. C. C. Z-TCAM: an SRAM-based architecture for TCAM // *Very Large Scale Integration (VLSI) Systems*, IEEE Transactions on. 2015. Vol. 23. No. 2. P. 402-406.
- [4] Lekshmi Priya S., Suby Varghese, "FPGA Based Architecture for High Performance SRAM Based TCAM for Search Operations" // *International Journal of Science and Research (IJSR)*. February 2015. Vol. 4. Issue 2. P. 1862-1867.
- [5] Konchada Ravi, B. Bashu, "SRAM Based Architecture for TCAM as Z-TCAM for Better Memory Utilization" // *International Journal & Magazine of Engineering, Technology, Management and Research*. July 2015. Vol. 2. Issue 7. P. 2030-2037.
- [6] R. Sindhu, Dr. R. Vijayabaskar, "B-TCAM: An Efficient Bank Selection Based TCAM Architecture" // *International Journal of Advanced Research Trends in Engineering and Technology*. February 2015. Vol. 2. Issue 2. P. 23-29.
- [7] Nilesh Mishra, Harish M Kittur, "4-Transistors of Dynamic Memristor based TCAM" // *International Journal of Engineering Research and Applications (IJERA)*. May – June 2012. Vol. 2. Issue 3. P. 2520-2524.
- [8] Xu W., Zhang T., Chen Y. Design of spin-torque transfer magnetoresistive RAM and CAM/TCAM with high sensing and search speed // *Very Large Scale Integration (VLSI) Systems*, IEEE Transactions on. 2010. Vol. 18. № 1. P. 66-74.
- [9] Mohsen Imani, Abbas Rahimi, Tajana S. Rosing. Resistive Configurable Associative Memory for Approximate Computing // *ACM/IEEE Design, Automation, and Test in Europe (DATE) Conference*. 2016.
- [10] Guo Q. et al. Ac-dimm: associative computing with stt-mram // *ACM SIGARCH Computer Architecture News*. – ACM. 2013. Vol. 41. No. 3. P. 189-200.
- [11] Karpagam G., E Konguvel E. K., M Thangamani M. T. A Low Power VLSI Implementation of STTRAM based TCAM for High Speed Switching Circuits // *International Journal of Computer Applications*. 2015. Vol. 115. No. 7. P. 38-42.
- [12] Junsangri P., Lombardi F. A memristor-based TCAM (ternary content addressable memory) cell: design and evaluation // *Proceedings of the great lakes symposium on VLSI*. ACM. 2012. P. 311-314.
- [13] Silna George, et al. Exploiting a Low Power Self Timed Ternary CAM Architecture Using RWOS Mechanism // *IJECS*. April, 2015. Vol. 4. Issue 4. P. 11495-11500.
- [14] Yashaswini H.G., Aswatha Kumar M., B.N. Shobha. Design and Implementation of Low Power Hybrid-Type Ternary Content Addressable Memory Using Pai-Sigma Match-Line Sensing Scheme // *International Journal of Electrical and Electronics Research*. April-June, 2015. Vol. 3. Issue 2. P. 224-232.
- [15] Mohan N., Sachdev M. Novel Ternary Storage Cells and Techniques for Leakage Reduction in Ternary CAM // *SOC Conference, 2006 IEEE International*. – IEEE. 2006. P. 311-314.
- [16] Echeverría P., Ayala J. L., López-Vallejo M. Power considerations in banked CAMs: a leakage reduction approach // *VLSI Design*. 2008. Vol. 2008. No. 2. P. 14.
- [17] Soni M. M., Dakhole P. K. FPGA implementation of content addressable memory based information detection system // *Communications and Signal Processing (ICCSP)*, 2014 International Conference on. IEEE. 2014. P. 930-933.
- [18] Vineet Dhingra, Arti Noor. Implementation and Verification of TCAM using System Verilog // *International Journal of Contemporary Research in Engg. and Tech*. 2011. Vol. 1, No. 1. P. 69-74.
- [19] Ognev I.V., Borisov V.V. Associative environment. Radio i svjaz'. 2000 (in Russian).
- [20] Zmeev D.N., Klimov A.V., Levchenko N.N., Okunev A.S., Stempkovskij A.L. Dataflow computing model as a paradigm of future mainstream of software development. *Informatika i ejo primenenija*, 2015, vol. 9. No. 4, pp. 29-36 (In Russian).
- [21] Klimov A.V., Levchenko N.N., Okunev A.S., Stempkovskij A.L. Supercomputers, memory hierarchy and the dataflow computing system. *Programmnyye sistemy: teoriya i prilozheniya: elektron. nauchn. zhurn.* 2014, vol. 5, No. 1(19), pp. 15-36 (in Russian). Available at: [http://psta.psiras.ru/read/psta2014\\_1\\_15-36.pdf](http://psta.psiras.ru/read/psta2014_1_15-36.pdf) (accessed 06.04.2016).
- [22] Ugrjumov E.P. Digital circuitry: a textbook for high schools. 3rd edition, revised and enlarged. Saint Petersburg, BHV-Peterburg. 2007 (in Russian).
- [23] Orlov S.A., Cil'ker B. Organization of computer and systems. Saint Petersburg, Piter. 2007 (in Russian).
- [24] Available at: [http://www.renesas.com/media/products/memory/nse/r10cp0001eu0100\\_tcam.pdf](http://www.renesas.com/media/products/memory/nse/r10cp0001eu0100_tcam.pdf) (accessed 06.04.2016).
- [25] Li J. et al. 1 Mb 0.41  $\mu\text{m}^2$  2T-2R Cell Nonvolatile TCAM With Two-Bit Encoding and Clocked Self-Referenced Sensing // *Solid-State Circuits, IEEE Journal of*. 2014. Vol. 49. No. 4. P. 896-907.
- [26] Levchenko N.N., Okunev A.S., Jahontov D.E. The Processor Mapping of Parallel Dataflow Computing System «Buran»: Research of the Operation. *Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem*. 2012. *Sbornik trudov / pod obshh. red. akademika RAN A.L. Stempkovskogo*, 2012, pp. 467-470 (in Russian).
- [27] Stempkovskij A.L., Levchenko N.N., Okunev A.S., Cvetkov V.V. Parallel Dataflow Computing System: Further Development of Architecture and Structural Organization of the Computing System with Automatic Distribution of Resources. *Zhurnal «INFORMACIONNYE TEHNOLOGII»*. 2008, No. 10, pp. 2-7 (In Russian).