

# 14-разрядный конвейерный АЦП с быстродействием 100 МВыв/с

И.М. Пятак, Д.В. Морозов, М.М. Пилипко

Санкт-Петербургский политехнический университет Петра Великого

i.m.piatak@gmail.com, dvmorozov@inbox.ru, m\_m\_pilipko@rambler.ru

**Аннотация** — Представлен конвейерный аналого-цифровой преобразователь (АЦП) разрядностью 14 бит и быстродействием 100 МВыв/с на основе схем на переключаемых конденсаторах. Используется временное мультиплексирование операционных усилителей (ОУ) в полуторабитных стадиях конвейера (СК). Предложен алгоритм цифровой коррекции выходного кода АЦП. Представлены результаты компьютерного моделирования. Потребляемая мощность не превышает 270 мВт, значение параметра  $FoM$  0,37 пДж на преобразование, отношение сигнал-шум и искажения (SNDR) около 79 дБ; динамический диапазон, свободный от гармоник (SFDR), около 87 дБ. Изготовлен кристалл интегральной схемы по 180 нм КМОП технологии с напряжением питания 1,8 В, габаритные размеры 2,5 мм на 1,1 мм.

**Ключевые слова** — конвейерный АЦП, временное мультиплексирование, цифровая коррекция, полуторабитная стадия конвейера, операционный усилитель, схемы на переключаемых конденсаторах.

## I. ВВЕДЕНИЕ

Наиболее перспективной для построения высокоразрядных быстродействующих АЦП является конвейерная архитектура [1, 2]. В статье представлен опыт разработки 14-разрядного конвейерного АЦП на основе схем на переключаемых конденсаторах. Требования к необходимым величинам коэффициента усиления по постоянному току  $\mu_0$  и частоте единичного усиления  $f_1$  ОУ в значительной мере определяют потребляемую мощность АЦП. Для нахождения данных характеристик ОУ проводится анализ мультипликативного цифро-аналогового преобразователя (МЦАП) полуторабитной СК. Для увеличения быстродействия и снижения потребляемой мощности АЦП используется временное мультиплексирование ОУ. При этом вследствие неполного разряда входной емкости ОУ необходимо учитывать вклад т.н. «ошибки памяти» в общую ошибку усиления СК. Уменьшение номиналов конденсаторов от первой к последующим полуторабитным СК позволяет дополнительно снизить потребляемую мощность. Для получения необходимого динамического диапазона конвейерный

АЦП реализуется с использованием схемы коррекции выходного кода.

## II. АНАЛИЗ ПОЛУТОРАБИТНОЙ СТАДИИ КОНВЕЙЕРА

В общем случае, потребляемая мощность и быстродействие конвейерного АЦП зависят от разрядности стадий, причем минимум потребления и максимум быстродействия приходится на разрядности от 1,5 до 3 бит [3]. Наиболее распространенной является полуторабитная СК (рис. 1) [4], обладающая сравнительно высоким быстродействием.

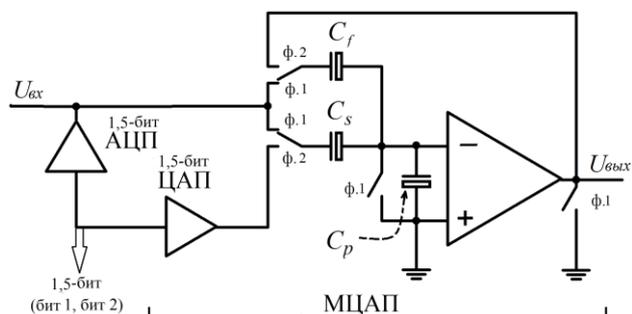


Рис. 1. Полуторабитная СК

Важнейшей частью в составе полуторабитной СК является МЦАП на основе схемы на переключаемых конденсаторах. Характеристики ОУ ( $f_1$  и  $\mu_0$ ) в МЦАП выбираются как исходя из требуемого быстродействия и разрядности АЦП, так и с учетом ограничений на допустимую ошибку усиления СК в случае использования коррекции выходного кода. Результаты анализа МЦАП, приведенные в большинстве публикаций, как правило, учитывают величину  $\mu_0$ , но не учитывают  $f_1$ . Отметим, что  $f_1$  определяет быстродействие СК и, следовательно, всего АЦП. В работе [5] предложен анализ СК в  $z$ -области с учетом  $\mu_0$  и  $f_1$ . На рис. 2 показаны необходимые значения  $f_1$  и  $\mu_0$  для ОУ с учетом ограничения на величину ошибки усиления СК не более 0,5 МЗР при различных значениях разрядности и быстродействия АЦП. Требуемые значения параметров ОУ в случае идеального 14-разрядного АЦП на 50 МВыв/с  $\mu_0 \geq 97$  дБ и  $f_1 \geq 580$  МГц, соответственно.

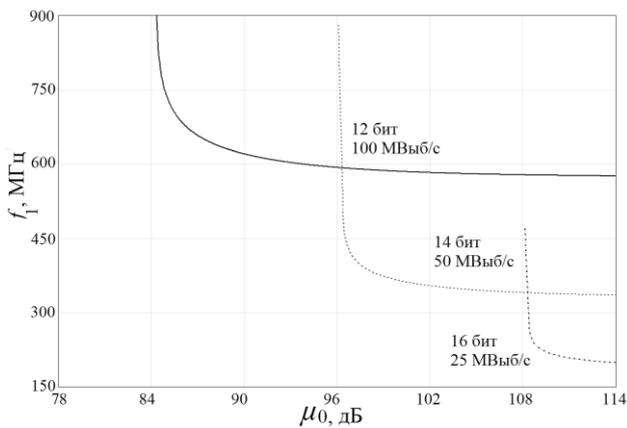


Рис. 2. Значения  $f_1$  и  $\mu_0$  ОУ в зависимости от требуемой разрядности и быстродействия конвейерного АЦП

Во время выборки ф.1 вход и выход ОУ в составе СК (рис. 1) заземлены, т.е. ОУ не используется. Применим временное мультиплексирование ОУ в составе СК. На рис. 3 во время ф.1 сигнал  $U_{вх}$  заряжает конденсаторы  $C_s$  и  $C_f$  в верхней части схемы, при этом ОУ используется для обработки зарядов конденсаторов  $C_s$  и  $C_f$  нижней части схемы. Во время ф.2 сигнал  $U'_{вх}$  заряжает конденсаторы  $C_s$  и  $C_f$  в нижней части схемы, при этом ОУ используется для обработки зарядов конденсаторов  $C_s$  и  $C_f$  верхней части схемы. Таким образом, в отличие от СК (рис. 1), где выходной сигнал  $U_{вых}$  формируется только в ф.2, полторабитная СК (рис. 3) выдает выходной сигнал и в ф.1, и в ф.2. Поэтому можно удвоить быстродействие АЦП без значительного увеличения потребляемой мощности (т.е. при  $\mu_0 = 97$  дБ и  $f_1 = 580$  МГц) и обеспечить быстродействие 100 МВЫб/с.

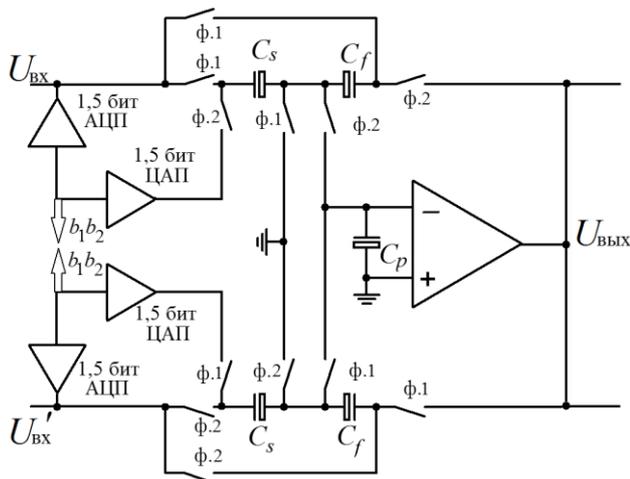


Рис. 3. Полторабитная СК с временным мультиплексированием ОУ

Одним из существенных недостатков временного мультиплексирования ОУ является дополнительная ошибка усиления СК, т.н. «ошибка памяти», вследствие неполного разряда паразитной емкости  $C_p$  на входах ОУ. На рис. 4 в соответствии с работой [5]

показано семейство графиков ошибки памяти в зависимости от  $f_1$  и  $\mu_0$ . В случае  $f_1 \geq 580$  МГц и  $\mu_0 \geq 97$  дБ ошибка памяти значительно превышает 0,5 МЗР и должна компенсироваться, например, с помощью коррекции выходного кода АЦП.

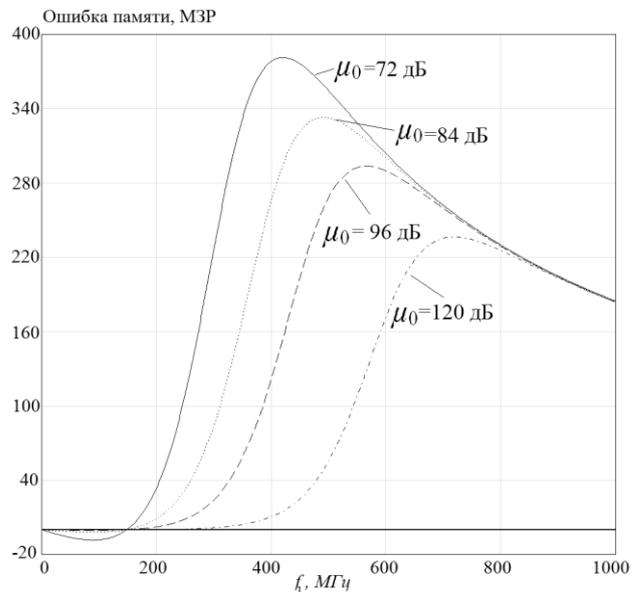


Рис. 4. Ошибка памяти при различных параметрах  $f_1$  и  $\mu_0$  ОУ

### III. МОДЕЛИРОВАНИЕ КОНВЕЙЕРНОГО АЦП В ПРОГРАММЕ MATLAB/SIMULINK

На основе проведенного анализа полторабитной СК построена модель конвейерного АЦП в MATLAB/Simulink, которая состоит из идеального входного устройства выборки-хранения (УВХ) и 13 полторабитных СК, передаточная функция которых, кроме последней, описана с учетом конечности характеристик  $\mu_0$  и  $f_1$  ОУ. Дополнительно для учета неидеальности СК в передаточную функцию введены слагаемые, учитывающие разброс номиналов конденсаторов. В качестве 13-й (последней) СК традиционно используется 2-разрядный параллельный АЦП с компараторами на основе ОУ, однако в данном случае использовался полторабитный АЦП с компараторами на основе КМОП-инверторов. Таким образом, потребляемая мощность АЦП уменьшена на величину потребления ОУ. Предложенная архитектура АЦП, производящая суммирование со сдвигом, показана на рис. 5. На рис. 6 показаны зависимости динамических и статических параметров модели в MATLAB/Simulink от величин  $\mu_0$  и  $f_1$  ОУ для полторабитной СК. Результаты моделирования совпадают с рис. 2. Отметим, что возможно дополнительно снизить потребляемую мощность АЦП путем выбора ОУ со значением  $\mu_0$  меньше, чем требуемое по рис 2, ориентируясь на значение SNDR. Например, согласно нижнему графику на рис. 6 при  $\mu_0 = 84$  дБ отношение сигнал-шум снижается не более

чем на 3 дБ, но при этом удается снизить потребляемую мощность ОУ.

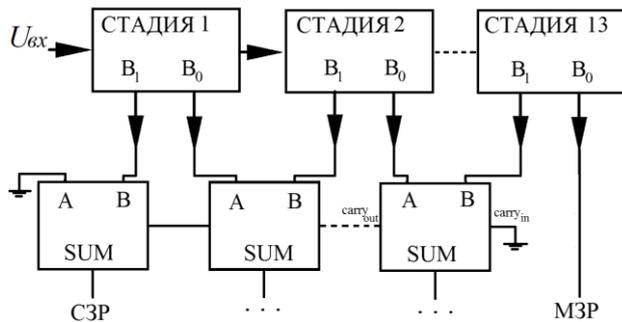


Рис. 5. Предложенная архитектура АЦП

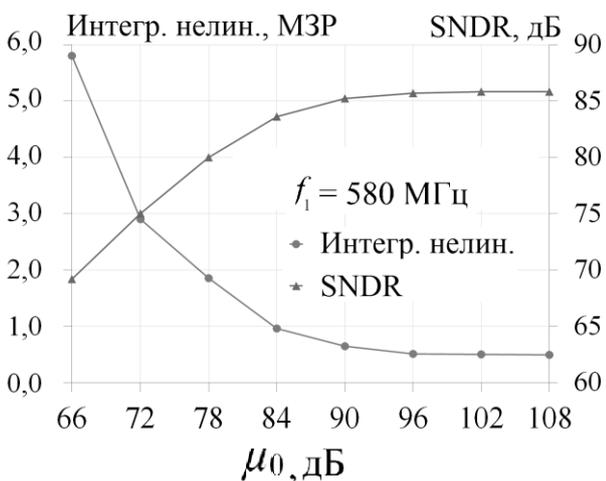
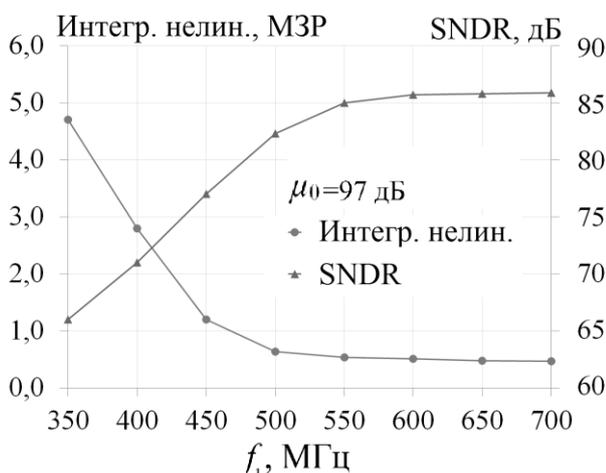


Рис. 6. Зависимость статических и динамических параметров модели АЦП от  $f_1$  и  $\mu_0$  ОУ полуторбитной СК

Результаты моделирования разброса значений конденсаторов  $C_s$  и  $C_f$  МЦАП стадии конвейера, показанной на рис. 3, (паразитный конденсатор  $C_p$  положим равным нулю) приведены на рис. 7, где  $dC_i$  – нормированные на  $C_f$  значения разброса конденсаторов СК. При разбросе номиналов не более 0,18% обеспечиваются SNDR около 70 дБ и SFDR около

71 дБ. Для снижения разброса необходимо применять специальные топологические решения, заключающиеся в разбиении конденсаторов на единичные элементы и построении из них конденсаторов требуемого номинала с использованием центрально-симметричных структур.

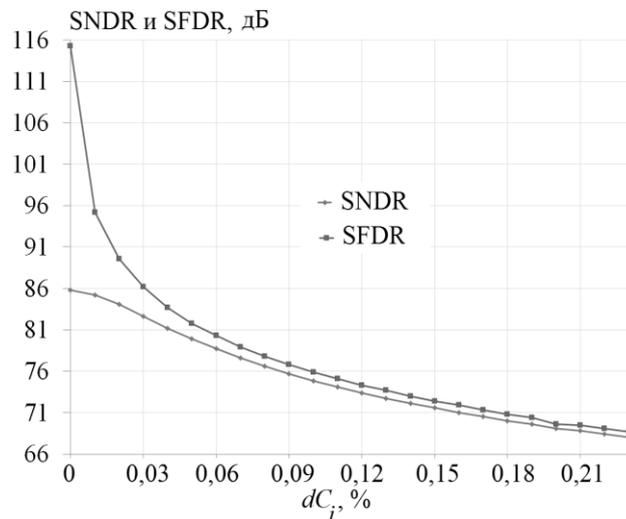


Рис. 7. Результаты моделирования SNDR и SFDR АЦП при отклонении значений конденсаторов СК

#### IV. АЛГОРИТМ КОРРЕКЦИИ ВЫХОДНОГО КОДА АЦП

Для дополнительного снижения потребляемой мощности конвейерных АЦП используются калибровка и коррекция, которые могут проводиться как в аналоговой части устройства, так и в цифровой, либо в обеих его частях. Однако в настоящее время аналоговая калибровка и коррекция не распространены ввиду меньшей энергоэффективности при снижении минимальных технологических норм производства в сравнении с цифровой калибровкой и коррекцией [6].

В настоящей работе цифровая коррекция реализована следующим образом. Цифровой код с выходов полуторбитных СК подается на цифровое устройство, осуществляющее математическое преобразование вида:

$$D_{\text{корр}} = k \cdot (D_{\text{исх}} + \alpha \cdot \text{corr1} + \beta \cdot \text{corr2}),$$

где  $D_{\text{корр}}$  и  $D_{\text{исх}}$  – скорректированный и нескорректированный код с выходов АЦП,  $\text{corr1}$ ,  $\text{corr2}$  – цифровой код с выходов определенных полуторбитных СК;  $\alpha$  и  $\beta$  – корректирующие коэффициенты для компенсации ошибки усиления и ошибки памяти соответственно. Коэффициенты рассчитываются для реализации максимального значения SNDR в АЦП при максимальной частоте дискретизации 100 МГц. Масштабирующий множитель  $k$  используется для предотвращения переполнения регистров при аппаратной реализации алгоритма коррекции. Код  $\text{corr1}$  представляет суммированные с весовыми коэффициентами данные с выходов полуторбитных СК, исключая первую и

вторую; код *corr2* представляет задержанные на такт коды с выходов первых 4 стадий конвейера. Для аппаратной реализации алгоритма коррекции требуется 3 умножителя и 4 сумматора. Модель схемы коррекции реализована в целочисленной арифметике в среде MATLAB. По результатам схемного моделирования, загруженным в модель схемы коррекции, были определены корректирующие коэффициенты  $\alpha$  и  $\beta$ . Спектр сигнала до и после коррекции, восстановленный по результатам схемного моделирования, показан на рис. 8. Предложенная коррекция позволила увеличить SNDR с 72 дБ до 79 дБ и SFDR с 75 дБ до 87 дБ.

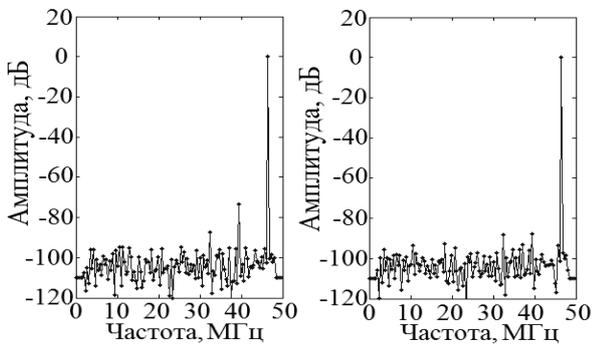


Рис. 8. Спектр выходного сигнала АЦП до и после коррекции

#### V. РЕАЛИЗАЦИЯ КОНВЕЙЕРНОГО АЦП НА СХЕМНОМ УРОВНЕ

Конвейерный АЦП реализован по технологии КМОП фирмы UMC с разрешением 180 нм и напряжением питания 1,8 В. Структура конвейера представлена на рис. 9. Схема выполнена на основе дифференциальных СК с временным мультиплексированием ОУ. Для снижения потребляемой мощности используется принцип масштабирования размеров транзисторов ОУ стадий конвейера за счет снижения величин нагрузочных емкостей по мере удаления от входа АЦП, как показано на рис. 9. Значения характеристик ОУ в составе УВХ и СК составляют  $\mu_0 = 85$  дБ и  $f_1 = 600$  МГц. Схема ОУ показана на рис. 10. Потребление ОУ в составе УВХ и 4 первых СК не более 30 мВт, в составе следующих 4 стадий конвейера – не более 20 мВт, в последних 4 стадиях конвейера – не более 10 мВт. Диапазон входного дифференциального сигнала составляет 1,6 В.



Рис. 9. Структурная схема конвейерного АЦП разрядностью 14 бит

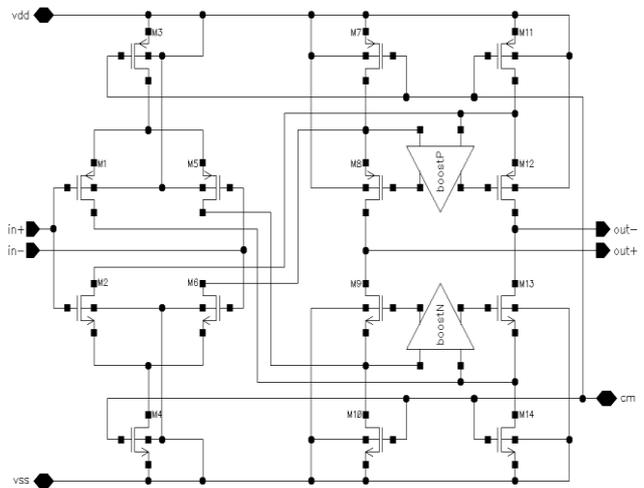


Рис. 10. Операционный усилитель в составе УВХ и СК

В качестве компараторов аналогично [7, 8] использованы КМОП-инверторы с требуемыми значениями порогов переключения 0,8 В и 1,0 В. Для снижения рассогласования фаз тактирующих сигналов применяется схемное решение для формирования непрерывных тактовых последовательностей, позволяющее обеспечить уровень паразитной гармоники на частоте  $f_s/2 - f_{in}$ , не ограничивающий SFDR АЦП. Все вышеперечисленные характеристики приведены для наихудшего случая при моделировании технологического разброса при изготовлении (т.н. «corner»-анализ) в диапазоне температур от  $-40^\circ\text{C}$  до  $+85^\circ\text{C}$ .

Топология кристалла интегральной схемы АЦП и микрофотография экспериментального образца в измерительной оснастке представлены на рис. 11 и рис. 12, соответственно. Габаритные размеры кристалла с учетом кольца электростатической защиты 2,5 мм на 1,1 мм. Согласно результатам моделирования схемы АЦП в среде Cadence Virtuoso, значение параметра энергоэффективности  $FoM$  не превышает 0,37 пДж на преобразование, потребляемая мощность при максимальной тактовой частоте не более 270 мВт. В настоящее время проводятся измерения экспериментального образца интегральной схемы. Предложенный алгоритм коррекции выходного кода АЦП реализован на основе отладочной платы Digilent Nexys 3 Spartan-6, при этом были использованы найденные в MATLAB корректирующие коэффициенты  $\alpha$  и  $\beta$ .

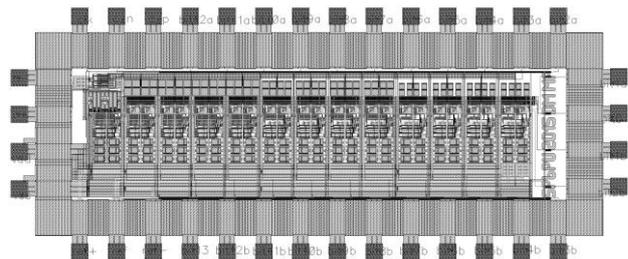
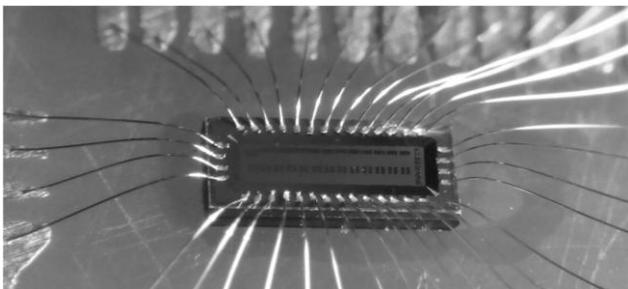


Рис. 11. Топология кристалла конвейерного АЦП



**Рис. 12. Микрофотография кристалла конвейерного АЦП в измерительной оснастке**

## VI. ЗАКЛЮЧЕНИЕ

В настоящей работе представлен 14-разрядный конвейерный АЦП на основе схем на переключаемых конденсаторах. Анализ МЦАП полуторазбитной СК позволил определить необходимые значения характеристик ОУ  $\mu_0 = 85$  дБ и  $f_1 = 600$  МГц. Использование временного мультиплексирования ОУ позволило увеличить быстродействие АЦП до 100 МВыб/с. Предложен алгоритм коррекции выходного кода АЦП для компенсации ошибки усиления и ошибки памяти, позволивший повысить SNDR с 72 дБ до 79 дБ, SFDR с 75 дБ до 87 дБ. Снизить потребляемую мощность удалось за счет уменьшения номиналов конденсаторов от первой к последующим полуторазбитным СК. Потребление ОУ в составе УВХ и 4 первых СК не более 30 мВт, в составе следующих 4 стадий конвейера – не более 20 мВт, в последних 4 стадиях конвейера – не более 10 мВт.

На основе результатов моделирования по 180 нм КМОП технологии с напряжением питания 1,8 В фирмы UMC разработан кристалл тестовой интегральной схемы. Габаритные размеры кристалла 2,5 мм на 1,1 мм. Размах входного дифференциального напряжения АЦП составляет 1,6 В. Значение параметра энергоэффективности  $FoM$  не превышает 0,37 пДж на преобразование, потребляемая мощность не более 270 мВт. В соответствии с результатами обзора в [9], представленный конвейерный АЦП имеет типичное значение  $FoM$  для быстродействия

100 МВыб/с. В настоящее время проводятся измерения экспериментального образца интегральной схемы.

## ЛИТЕРАТУРА

- [1] Агрич Ю.В., Лифшиц В.Б. Архитектура быстродействующих конвейерных АЦП, оптимизированная под субмикронные технологии // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2010. Сборник трудов / под общ. ред. академика А. Л. Стемпковского. М.:ИППМ РАН, 2010. С. 497-502.
- [2] Агрич Ю.В., Лифшиц В.Б. Быстродействующий АЦП с малым энергопотреблением // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2012. Сборник трудов / под общ. ред. академика РАН А. Л. Стемпковского. М.: ИППМ РАН, 2012. С. 362-367.
- [3] S. H. Lewis, Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications // IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, 1992. V. 39, № 8, P. 516-523.
- [4] Ракитин В.В. Конвейерные аналогово-цифровые преобразователи с цифровой калибровкой // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2010. Сборник трудов / под общ. ред. академика А. Л. Стемпковского. М.:ИППМ РАН, 2010. С. 493-496.
- [5] A. S. Korotkov , I. M. Piatak, The Effect from Finite DC Gain and Gain-Bandwidth of an Op-amp on Pipelined Analog-to-Digital Converter Errors // Indian Journal of Science and Technology, 2016. V. 9, № 4, P. 1-4.
- [6] V. Murmann, Digitally assisted analog circuits // IEEE Micro, 2006. V. 26, P. 38-47.
- [7] Морозов Д.В., Пилипко М.М., Пятак И.М. Двухразрядный параллельный преобразователь для конвейерного АЦП // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2012. Сборник трудов / под общ. ред. академика РАН А. Л. Стемпковского. М.: ИППМ РАН, 2012. С. 350-355.
- [8] Морозов Д.В., Пилипко М.М., Пятак И.М. Псевдопараллельный АЦП со сниженной потребляемой мощностью на основе КМОП инверторов // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2014. Сборник трудов / под общ. ред. академика РАН А. Л. Стемпковского. М.: ИППМ РАН, 2014. Часть III. С. 25-28.
- [9] URL: <http://web.stanford.edu/~murmman/adcsurvey.html>, (дата обращения 08.04.2016).

# A 14-bit 100 MS/s Pipelined ADC

I.M. Piatak, D.V. Morozov, M.M. Pilipko

Peter the Great Saint-Petersburg Polytechnic University,

i.m.piatak@gmail.com

**Keywords** — Pipelined ADC, time-interleaving, digital correction, 1.5 bit stage, operational amplifier, switched-capacitor circuits.

## ABSTRACT

A 14-bit 100 MS/s time-interleaved pipelined analog-to-digital converter (ADC) based on switched-capacitor circuits with digital error correction has been proposed. Analysis of the multiplying digital-to-analog converter (MDAC) made of 1.5-bit conversion stage has allowed to define required gain-bandwidth (GB) and DC gain characteristics of the op-amp, namely  $\mu_0 = 85$  dB and  $f_1 = 600$  MHz. Op-amp time-interleaving has been used to increase the conversion rate of the ADC up to 100 MS/s. A digital error correction algorithm has been proposed to compensate for gain and memory errors. It allowed increasing SNDR from 72 dB to 79 dB and SFDR from 75 dB to 87 dB. Reduction of capacitor values from the first to the following 1.5-bit conversion stages has made it possible to decrease power consumption of the pipeline ADC. The op-amp power consumption in the sample-and-hold circuit and in first 4 stages of the pipeline does not exceed 30 mW, in next 4 stages 20 mW, and in last 4 stages 10 mW.

A test chip of the pipeline ADC has been worked out based on simulation results for 180nm 1.8V CMOS technology of UMC Corporation. The total area of the chip is 2.5 mm x 1.1 mm. The differential input voltage range of the ADC is 1.6V. The energy efficiency figure of merit is no more than 0.37 pJ/c and ADC power consumption is no more than 270 mW. Currently test chip measurements are carried out.

## REFERENCES

- [1] Agrich Ju.V., Lifshic V.B. Arhitektura bystrodejstvujushhih konvejnnyh ACP, optimizirovannaja pod submikronnye tehnologii // Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem - 2010. Sbornik trudov / pod obshh. red. akademika A. L. Stempkovskogo, Moscow, 2010. pp. 497-502. (in Russian).
- [2] Agrich Ju.V., Lifshic V.B. Bystrodejstvujushij ACP s malym jenergopotreblenijem // Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem - 2012. Sbornik trudov / pod obshh. red. akademika RAN A. L. Stempkovskogo, Moscow, 2012. pp. 362-367. (in Russian).
- [3] S. H. Lewis, Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications // IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, 1992. V. 39, No. 8, P. 516-523.
- [4] Rakitin V.V. Konvejnnye analogovo-cifrovye preobrazovateli s cifrovoy kalibrovkoj // Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem - 2010. Sbornik trudov / pod obshh. red. akademika A. L. Stempkovskogo, Moscow, 2010. pp. 493-496. (in Russian).
- [5] A. S. Korotkov, I. M. Piatak, The Effect from Finite DC Gain and Gain-Bandwidth of an Op-amp on Pipelined Analog-to-Digital Converter Errors // Indian Journal of Science and Technology, 2016. V. 9, No. 4, P. 1-4.
- [6] B. Murmann, Digitally assisted analog circuits // IEEE Micro, 2006. V. 26, P. 38-47.
- [7] Morozov D.V., Pilipko M.M., Pjatak I.M. Dvuhrazjadnyj parallel'nyj preobrazovatel' dlja konvejnogo ACP // Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem - 2012. Sbornik trudov / pod obshh. red. akademika RAN A. L. Stempkovskogo, Moscow, 2012. pp. 350-355. (in Russian)
- [8] Morozov D.V., Pilipko M.M., Pjatak I.M. Pseudoparallel'nyj ACP so snizhennoj potrebljaemoj moshhnost'ju na osnove KMOP invertorov // Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem - 2014. Sbornik trudov / pod obshh. red. akademika RAN A. L. Stempkovskogo, Chast' III, Moscow, 2014. pp. 25-28. (in Russian)
- [9] B. Murmann, ADC Performance Survey 1997-2015, Available at <http://web.stanford.edu/~murmman/adcsurvey.html> (accessed 08.04.2016).