

Интегральный цифровой 6-битный аттенюатор для диапазона 8-12 ГГц

Д.А. Андреев, Д.А Копцев

АО НИИМЭ, dandreev@mikron.ru, dkoptsev@mikron.ru

Аннотация — Статья посвящена проектированию 6-битного интегрального аттенюатора, выполненного по КНИ КМОП технологии 180 нм на основе техпроцесса, имеющегося в ОАО «НИИМЭ и Микрон». Особенностью предложенной схемы аттенюатора является отсутствие традиционных переключателей сигналов. Ключи, предназначенные для изменения состояния сигнала аттенюатора, интегрированы в аттенюирующие ячейки. Такая схема позволяет минимизировать амплитудные потери аттенюатора за счёт меньшего количества последовательно включенных транзисторов. Спроектированное для диапазона 8-12 ГГц устройство имеет размеры 190×137 мкм² (без учета контактных площадок), уровень вносимых потерь составляет не более 3 дБ.

Ключевые слова — КНИ 180 нм, аттенюатор, SPDT, кремний на изоляторе.

I. ВИДЫ АТТЕНЮАТОРОВ

Пассивные аттенюаторы находят широкое применение в радиоизмерительных, радиолокационных и приемо-передающих трактах. Совершенствование таких систем определяет необходимость создания аттенюаторов на базе интегральной технологии, что позволяет значительно расширить функциональные возможности и быстроту работы данных систем, уменьшая при этом массогабаритные параметры и стоимость [1]. Главным преимуществом пассивных аттенюаторов является широкая полоса пропускания. Для активных аттенюаторов характерны широкий диапазон перестройки и компактность размеров, но такие устройства требуют сложных схем формирования опорного напряжения питания и ЦАП для управления.

Наибольшее распространение при построении звеньев пассивных резистивных аттенюаторов получили три основных типа схем, а именно: П-образный или Т-образный четырехполюсник, а также Т-образная перекрытая (мостовая перекрытая) схема. На основе этих схем возможно создание регулируемых аттенюаторов с переменным коэффициентом ослабления и постоянным характеристическим сопротивлением. [2]

На рисунке 1 представлена структурная схема 6-битного аттенюатора, состоящего из 6 последовательно включенных аттенюирующих ячеек, разделенных SPDT-переключателями.

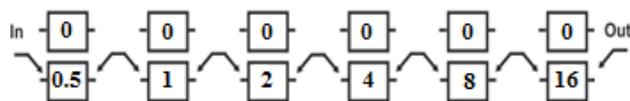


Рис. 1. Блок-схема аттенюатора

Большая часть вносимых потерь приходится на переключатели сигналов. Общее количество переключателей в такой схеме равно $2 \times N$, где N – разрядность аттенюатора.

II. МОДЕЛИРОВАНИЕ SPDT-ПЕРЕКЛЮЧАТЕЛЯ

На рисунке 2 представлена электрическая схема SPDT-переключателя. Основными параметрами являются уровень вносимых потерь и развязка в выключенном состоянии.

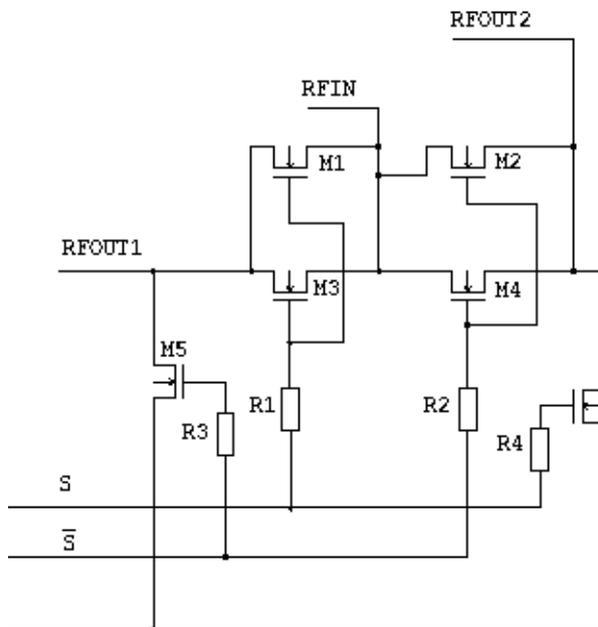


Рис. 2. Электрическая схема SPDT-ключа

Для оценки уровня вносимых потерь аттенюатора, представленного на рисунке 1, проанализируем SPDT-переключатель. Для каждого частотного диапазона следует подбирать оптимальные размеры транзисторов, которые будут обеспечивать минимальный уровень вносимых потерь при достаточном уровне развязки. [3] Анализ показал, что для частоты 10 ГГц оптимально использовать проходной транзистор шириной 150 мкм, а

шунтирующий – 100 мкм. При этом вносимые потери на частоте 10 ГГц составляют 2,15 дБ (рис. 3).

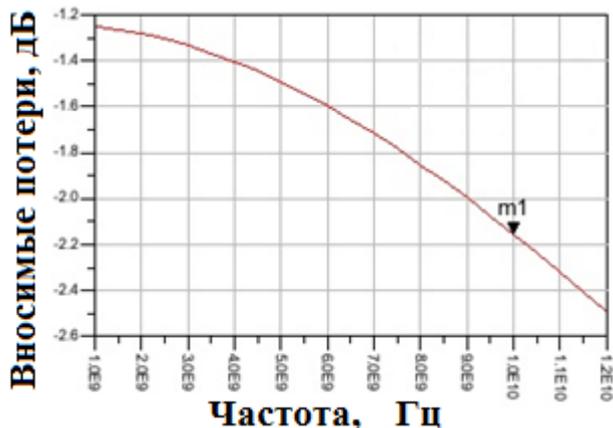


Рис. 3. Вносимые потери SPDT-переклю­чателя

Другим важным малосигнальным параметром SPDT-переклю­чателя в закрытом состоянии является изоляция. Результаты моделирования приведены на рисунке 4.

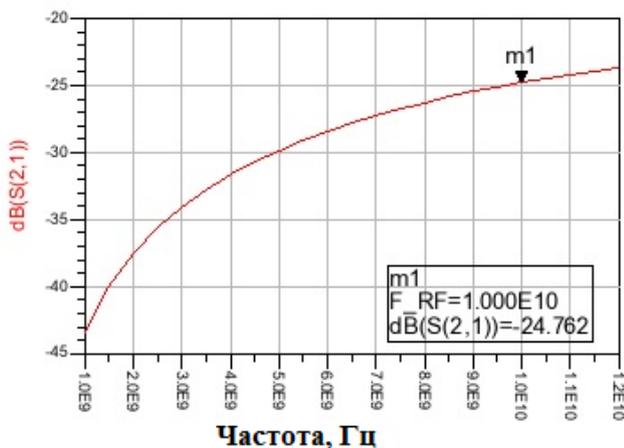


Рис. 4. Изоляция SPDT-переклю­чателя

Для построения 6-битного аттенюатора по структурной схеме, приведенной на рис. 1, необходимо 12 последовательно включенных SPDT-переклю­чателей, суммарная потеря сигнала на которых составит не менее 26 дБ.

III. РАЗРАБОТКА 6-БИТНОГО АТТЕНЮАТОРА

Результаты, полученные в предыдущем пункте, показывают, что в X-диапазоне нецелесообразно использовать структуру аттенюатора, построенного на основе последовательно включенных пассивных ячеек, разделенных SPDT-переклю­чателями. Одним из решений данной проблемы является использование схемы, приведенной на рис. 5 [4]. Особенностью данной схемы является то, что переключатели в виде транзисторов уже включены в состав аттенюирующей ячейки.

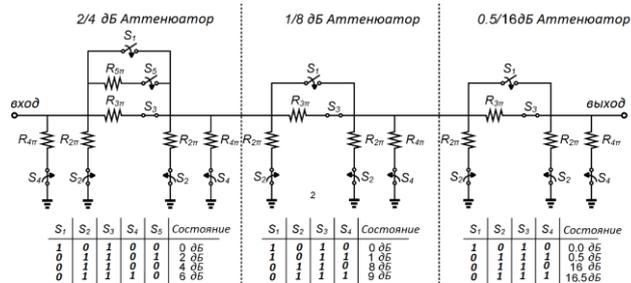


Рис. 5. Схема 6-битного аттенюатора [3]

Рис. 6 показывает схемы П/Т аттенюаторов со встроенным ключами для управления уровнем ослабления сигнала, которое достигается за счет переключения между проходным (S₁ = вкл, S₂ = выкл) и ослабляющим состоянием (S₁ = выкл, S₂ = вкл). При расчете подобных П/Т цепочек необходимо учитывать сопротивление канала транзистора во включенном состоянии и утечки в выключенном.

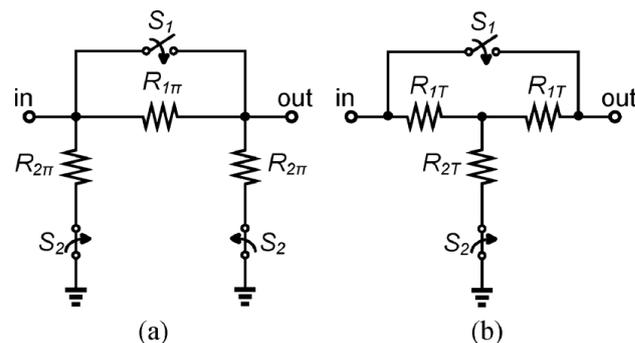


Рис. 6. Переключаемые П/Т-аттенюаторы

На основе приведенных выше схем разработан 6-битный аттенюатор, характеризующийся диапазоном ослабления 0,5 – 31,5 дБ с шагом ослабления 0,5 дБ для диапазона частот 8-12 ГГц (X-диапазон). Его структурная схема приведена на рис. 7.

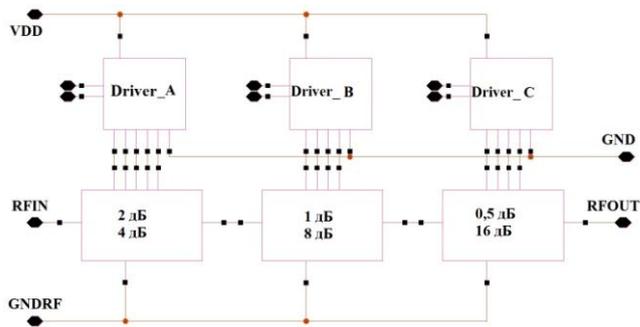


Рис. 7. Структурная схема 6-битного аттенюатора

Для моделирования 6-битного разработанного аттенюатора использовались САПР Virtuoso фирмы Cadence и САПР GoldenGate фирмы Agilent.

На рис. 8 представлен результат моделирования аттенюатора в опорном режиме. Как видно из графика, на частоте 10 ГГц уровень потерь, вносимых транзисторами, составляет 2,94 дБ. Рис. 9 содержит

графики моделирования аттенюатора в различных режимах ослабления относительно опорного режима.

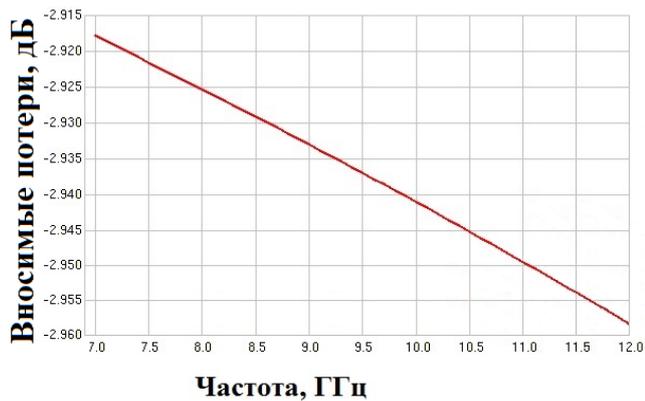


Рис. 8. Вносимые потери аттенюатора в опорном режиме

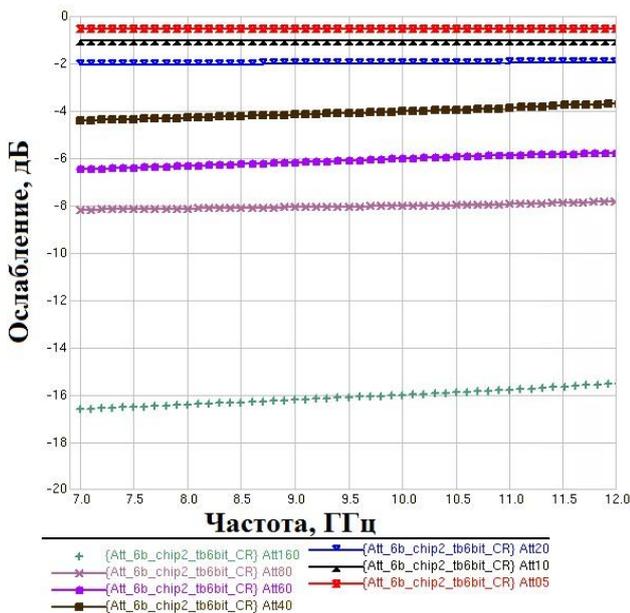


Рис. 9. Уровень вносимых потерь аттенюатора в различных режимах ослабления относительно опорного режима

Аттенюатор имеет размеры 190×137 мкм² (без учета контактных площадок). На рис. 10 представлена топология устройства.

IV. ВЫВОД

В работе представлена схема интегрального аттенюатора, выполненного по технологии КНИ КМОП 180 нм. Сравнение результатов моделирования данного аттенюатора с показателями традиционных схем, основанных на переключателях, показывает, что выбранная схема имеет ряд преимуществ: меньшие амплитудные потери на переключателях, компактность схемы. Разработанная топология передана на изготовление, размер топологии составляет

190×137 мкм² (без учета контактных площадок). Уровень вносимых потерь составляет 2.94 дБ в отличие от традиционной схемы, построенной на SPDT-переключателях.

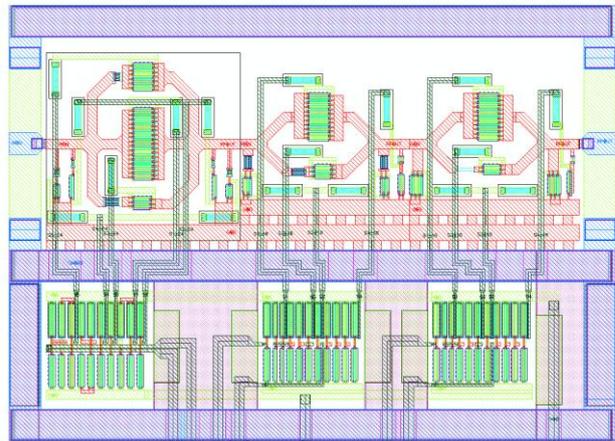


Рис. 10. Топология 6-битного аттенюатора

V. ПОДДЕРЖКА

Работа выполнена при поддержке Министерства образования и науки Российской Федерации в рамках федеральной целевой программы «Исследования и разработки по приоритетным направлениям развития научно-технического комплекса России на 2014 – 2020 годы» по соглашению № 14.579.21.0072 от 24 ноября 2014 года (уникальный идентификатор прикладных научных исследований RFMEFI57914X0072).

ЛИТЕРАТУРА

- [1] Елесин В.В., Назарова Г.Н., Усачев Н.А., Сотсков Д.И., Чуков Г.В., Репин В.В., Мухин И.И. Построение монолитных ИС многоуровневых фазовращателей СВЧ-диапазона с улучшенными точностными характеристиками // Известия высших учебных заведений. Электроника. 2012. № 5 (97). С.31-38.
- [2] И.И. Мухин, В.В. Репин. Оптимизация структурной схемы и разработка на ее основе МИС активного аттенюатора по SiGe технологии. Проблемы разработки перспективных микро- и наноэлектронных систем - 2014. Сборник трудов / под общ. ред. академика РАН А.Л. Стемповского. М.: ИППМ РАН, 2014. Часть III. С. 39-42.
- [3] Красников Г.Я. Конструктивно-технологические особенности субмикронных МОП-транзисторов. М.: Техносфера, 2011. 800 с.
- [4] Kiarash Gharibdoust, Naser Mousavi, Student Member, IEEE, Milad Kalantari, Mohsen Moezzi. Student Member, IEEE, and Ali Medi, Member, IEEE. Fully Integrated 0.18- m CMOS Transceiver Chip for X-Band Phased-Array Systems. IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 60, NO. 7, JULY 2012, p 2196.

Integrated digital 6-bit attenuator for 8-12 GHz band

D.A. Andreev, D.A. Koptsev

JSC MERI, Moscow

dandreev@mikron.ru, dkoptsev@mikron.ru

Keywords — SOI 180 nm, attenuator, SPDT, silicon-on-isolator.

ABSTRACT

The article is devoted to the design of integrated 6-bit attenuator implemented in SOI CMOS 180 nm technology, based on process available at JSC "Mikron". The peculiarity of the proposed attenuator circuits is the lack of traditional signal switches. The keys are designed to change status of the signal attenuator integrated into the attenuated cell. This arrangement minimizes the loss of amplitude attenuation due to the smaller number of series-connected transistors. Designed for 8-12 GHz, device has dimensions of 190 x 137 mm² (without pads); insertion loss is not more than 3 dB.

REFERENCES

[1] Elesin V.V., Nazarova G.N., Usachev N.A., Sotskov D.I., Chukov G.V., Repin V.V., Muhin I.I. Construction of

monolithic ICs multi-bit phase shifters microwave with improved accuracy Characteristics // Proceedings of the higher educational institutions. Electronics. 2012. No. 5 (97). pp.31-38.

- [2] I.I. Muhin, V.V. Repin. Optimization of the block diagram and working out on its basis IIA active attenuator on SiGe technology. Problems of development of advanced micro- and nanoelectronic systems. 2014. Proceedings / under total. Ed. Academician AL Stempkovsky. Moscow, IPPM RAS , 2014. Part III. pp. 39-42 .
- [3] Krasnikov G.Ja. Konstruktivno-tehnologicheskie osobennosti submikronnyh MOP-tranzistorov. M.: Tehnosfera, 2011. 800 s. (In Russian).
- [4] Kiarash Gharibdoust, Naser Mousavi, Student Member, IEEE, Milad Kalantari, Mohsen Moezzi. Student Member, IEEE, and Ali Medi, Member, IEEEA Fully Integrated 0.18- m CMOS Transceiver Chip for X-Band Phased-Array Systems. IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 60, No. 7, JULY 2012, p 2196.