УДК 621.382 DOI 10.31114/2078-7707-2018-4-82-87

Оптимизация расположения конденсаторов в ЦАП

А.А. Рыбаков, Н.Ф. Шляхова

АО ПКК Миландр, rybakov.a@ic-design.ru

***Аннотация* — Предложен алгоритм оптимизации расположения конденсаторов в матрицах ЦАП. Критерием оптимальности является целевая функция *Ф*, учитывающая влияние двух типов неидеальностей (систематической и случайной ошибок), при одновременном уменьшении количества металлов, используемых для разводки между парами соседних вертикальных столбцов матрицы. По результатам моделирования величина коэффициента рассогласования *M* улучшена по сравнению с типовой топологией матрицы на 30%, а величина общего коэффициента корреляции *R* на 0.25%. Количество металлов, используемых для разводки между парами соседних вертикальных столбцов матрицы, уменьшено с 8 до 6. Предложенный алгоритм обеспечивает упрощенный поиск наилучшего расположения элементов матрицы конденсаторов при котором суммарная ошибка минимальна.**

***Ключевые слова* — ЦАП на переключаемых конденсаторах, градиент толщины оксида, коэффициент корреляции.**

I. Введение

Обеспечение высокой точности SAR АЦП, реализованных на основе ЦАП на переключаемых конденсаторах, является важной задачей для прецизионных систем с низким энергопотреблением [1]. Значительный вклад в погрешность преобразования таких АЦП вносят неидеальности матрицы конденсаторов [2], [3]. Чтобы их описать рассмотрим схему АЦП, представленную на рис. 1. В состав АЦП входит ЦАП, который, в свою очередь, состоит из массива конденсаторов, каждый из которых разбивается на одинаковые по размерам элементы, которые мы в дальнейшем будем называть юнитами. Из-за наличия неидеальностей реальная емкость (*i*,*j*)-го юнита в матрице будет отличаться от номинальной и может быть представлена следующим образом:

$$C_{ij} = C_u(1+\varepsilon_{ij}^s+\varepsilon_{ij}^r+\varepsilon_{ij}^p), \qquad (1)$$

где C_u – номинальная емкость юнита, ε_{ij}^s – систематическая ошибка, обусловленная градиентом толщины окисла [4]; ε_{ij}^r – случайная ошибка, обусловленная локальными и глобальными вариациями краев конденсатора, толщины оксида и его диэлектрической проницаемости [5]; ε_{ij}^p – ошибка, обусловленная паразитными емкостями C_s^{tb} [6], указанными на рис. 1. Обозначения *s,r,p* в формуле (1) указывают на тип ошибки. На рис. 1 представлены следующие обозначения:

- C_s^{tb} – паразитные емкости, возникающие между верней и нижней обкладкой конденсаторов ЦАП;
- C_s^{bs} – эффективные паразитные емкости, возникающие между нижней обкладкой конденсаторов ЦАП и всеми другими узлами с постоянным потенциалом, например, с подложкой;
- C_s^{ts} – эффективная паразитная емкость между узлом, к которому подключены все верхние обкладки конденсаторов, и всеми другими узлами с постоянным потенциалом;
- C_{st}^{bb} – паразитные емкости между нижними обкладками конденсаторов ЦАП;
- $s \in \{1,...,k\}$ – номер конденсатора в массиве ЦАП;
- *tb, bs, ts, bb* – обозначения типа емкости;
- *VH, VL* – узлы с высоким и низким опорным напряжением, соответственно;
- *K1* – ключ.

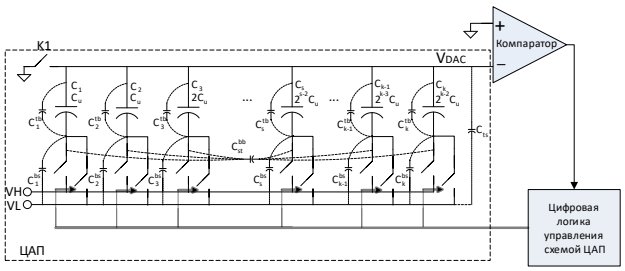


Рис. 1. ЦАП на переключаемых конденсаторах

В первом приближении ошибки $\varepsilon_{ij}^s, \varepsilon_{ij}^r, \varepsilon_{ij}^p$ независимы и поэтому в формуле (1) они складываются. Уменьшение влияния этих ошибок на точность преобразования достигается за счет оптимизации размеров и расположения элементов матрицы на кристалле. В большинстве случаев такая оптимизация осуществляется при использовании сложных итерационных процессов [6]. В данной работе рассматривается алгоритм, позволяющий получить оптимальное расположение элементов матрицы автоматически и без усложнения маршрута проектирования.

II. Систематическая ошибка

Для того, чтобы оценить только систематическую ошибку, предположим, что случайная ошибка отсутствует. Тогда остается только систематическая ошибка юнита

$$\varepsilon_{ij}^{s} = \frac{1}{s}\int_{s} \varepsilon(x,y)ds, \qquad (2)$$

которая зависит от его расположения (x_i, y_j) и геометрии *S*. Функция $\varepsilon(x,y)$ в формуле (2) – это локальное значение ошибки в точке (x,y) матрицы. Разложим эту ошибку в ряд Тейлора следующим образом:

$$\varepsilon(x,y) = a_0 + a_1 x + a_2 y +$$
$$+ a_3 x^2 + a_4 y^2 + a_5 xy + \ldots$$

Как правило, для ее вычисления достаточно учесть только линейный (первый порядок) [7] и, желательно, квадратичный (второй порядок) [8] члены ряда, отвечающих за такие параметры как толщина оксида и его диэлектрическая проницаемость. Линейная ε_l и квадратичная ε_q составляющие этой ошибки в точке (x,y) матрицы могут быть представлены следующим образом [9]:

$$\varepsilon_l(x,y) = g_{lx}\cos\theta \cdot x + g_{ly}\sin\theta \cdot y,$$

$$\varepsilon_q(x,y) = g_{qx}x^2 + g_{qy}y^2 - b_0,$$

где g_{lx}, g_{ly} – наклон линейной составляющей ошибки, вызванной градиентом толщины оксида, к осям *x* и *y*, соответственно, а θ – направление, под которым измеряется эта ошибка, g_{qx}, g_{qy}, b_0 – технологические параметры.

Пример распределения линейной составляющей ошибки, вызванной градиентом толщины оксида (Oxide Gradient Induced Mismatch – OGIM), представлен на рис. 2. В этом случае идентичные элементы расположены симметрично относительно геометрического центра и, следовательно, их суммарная ошибка равна нулю.

7	6	5	8
3	1	2	4
4	2	1	3
8	5	6	7

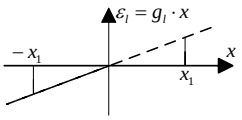


Рис. 2. Зависимость линейного градиента по оси *x* от расположения элементов матрицы относительно её центра симметрии

Для оценки систематической ошибки, вызванной линейной составляющей градиента толщины оксида, используется следующий подход.

A. Оценка систематической ошибки

Величину систематической ошибки достаточно легко оценить, используя простую интегральную модель [4]. На основе этой модели рассчитывается максимальный коэффициент рассогласования между каждой парой конденсаторов M, который и является критерием устойчивости матрицы к систематической ошибке в юнитах [8]. Вычисление такой ошибки в матрице размером $n \times m$ включает в себя следующие этапы:

1) Расчет усредненной толщины оксида каждого юнита в точках $(x,y) = (x_i, y_j)$, где $i \in \{1,\ldots,n\}$ $j \in \{1,\ldots,m\}$ по формулам:

$$x_i = (2i - 1 - n)(L + S_x),$$

$$y_j = (2j - 1 - m)(L + S_y),$$

$$t_{ij} = t_0 + g_m[x_i(L + S_x)\cos\theta +$$
$$+ y_j(L + S_y)\sin\theta]$$

где t_0 – среднее значение толщины оксида для данной технологии, g_m – максимальный наклон линейной составляющей ошибки, вызванной градиентом толщины оксида, L – длина стороны квадратного юнита, S_x, S_y – горизонтальный и вертикальный отступы между конденсаторами, θ – направление, под которым измеряется эта ошибка.

2) Вычисление емкостей конденсаторов $\{C_1, C_2, \ldots, C_k\}$ по формуле

$$C_s = C_u \sum_{ij} \frac{1}{t_{ij}/t_0} = C_u t_0 \sum_{ij} \frac{1}{t_{ij}},$$

где – индексы *i* и *j* в матрице конденсаторов соответствуют юнитам, которые принадлежат конденсатору C_s.

3) Вычисление максимального коэффициента рассогласования между каждой парой конденсаторов по всем направлениям $\theta(360°)$:

$$M = \max\left(\frac{\frac{r_s}{r_t} - \frac{w_s}{w_t}}{\frac{w_s}{w_t}} - 1\right) = \max\left(\frac{r_s w_t}{r_t w_s} - 1\right),$$

где $r_s, r_t \in \{r_1, \ldots, r_k\}$ – веса конденсаторов с учетом систематической ошибки, т.е. $r_s = C_s / C_u$, а $w_s, w_t \in \{w_1, \ldots, w_k\}$ – исходные веса конденсаторов без учета какой-либо ошибки. Перебор *s* и *t* происходит по всем доступным значениям за исключением случаев $s = t$. Например, для матрицы, состоящей из двух конденсаторов $C_1 = 2C_u$, $C_2 = 2C_u$, представленной на рис. 3а, максимальная величина рассогласования между конденсаторами составляет $M = 0.36\%$ и приходится на направление θ равное 45°, 135°, 225° и 315° (рис. 3б). При вычислении использовались следующие параметры: t_0 = 24 *нм*, g_m = 100 *ppm*, L = 12 *мкм*, S_x = S_y = 8.3 *мкм*.

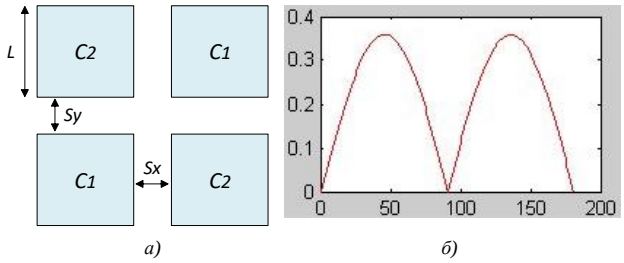


Рис. 3. а) Матрица A_{2x2}; б) Оценка рассогласования между конденсаторами в зависимости от направления линейной составляющей градиента толщины оксида

B. Минимизация систематической ошибки

Для минимизации линейной составляющей градиента необходимо разбить все элементы матрицы на согласованные пары и каждую пару располагать симметрично относительно геометрического центра матрицы, как описано в [10].

III. Случайная ошибка

Выше мы оценили систематическую ошибку. Теперь, для того, чтобы оценить только случайную ошибку, предположим, что систематическая ошибка отсутствует. Тогда остается только случайная ошибка $\varepsilon(x, y)$, зависящая от расположения юнита (x_i, y_j) и его геометрии *S*.

Минимальные размеры юнита вычисляются на основе данных о его среднеквадратичном отклонении. Типичное рассогласование для MIM (Metal-Insulator-Metal) конденсатора в технологии 0.18 мкм составляет примерно $\sigma = 0.4[\% \cdot мкм] \big/ \sqrt{S[мкм^2]}$ [3]. Таким образом, для обеспечения 12-битной точности ($\sigma = 0.1\%$) потребуется юнит площадью не менее 4×4 $мкм^2$.

Величину случайной ошибки можно оценить с использованием модели пространственной корреляции [11]. На основе этой модели рассчитывается общий коэффициент корреляции R (Overall Correlation Coefficient), который и является критерием устойчивости матрицы к случайным ошибкам в юнитах [11]. Для уменьшения случайной ошибки необходимо обеспечить максимальное значение общего коэффициента корреляции.

A. Оценка случайной ошибки

Коэффициент корреляции любых двух юнитов C_i и C_j с координатами (i_1, j_1) и (i_2, j_2) определяется как $\rho_{ij} = \rho^D$, где $0 < \rho < 1$ – коэффициент корреляции между ближайшими юнитами, примерно равный 0.5 [12], а D – расстояние между ближайшими юнитами, равное

$$D = \sqrt{(i_2 - i_1)^2 + (j_2 - j_1)^2}\, L, \qquad (13)$$

где L – постоянная, зависящая от техпроцесса и размера юнита. Для простоты примем $L = 1$.

Рассмотрим отношение двух емкостей $C_s = C_{s_1} + ... + C_{s_p}$, состоящей из p юнитов и $C_t = C_{t_1} + ... + C_{t_q}$, состоящей из q юнитов. Пусть $\rho_{s_{ij}}, \rho_{t_{ij}}, \rho_{st_{ij}}$ обозначают коэффициенты корреляции между C_{s_i} и C_{s_j}, между C_{t_i} и C_{t_j}, и между C_{s_i} и C_{t_j}, соответственно. Для этих двух конденсаторов коэффициент корреляции может быть найден по следующей формуле [13]:

$$\rho_{st} = \frac{\operatorname{cov}(C_s, C_t)}{\sqrt{\operatorname{var}(C_s)\operatorname{var}(C_t)}} = \frac{S_{st}}{(p + 2S_s)(q + 2S_t)},$$

где

$$S_s = \sum_{i=1}^{p-1} \sum_{j=i+1}^{p} \rho_{s_{ij}}, S_t = \sum_{i=1}^{q-1} \sum_{j=i+1}^{q} \rho_{t_{ij}},$$

$$S_{st} = \sum_{i=1}^{p} \sum_{j=1}^{q} \rho_{st_{ij}}.$$

Если ρ_{st} – коэффициент корреляции пары конденсаторов C_s и C_t из массива конденсаторов $\Gamma = \{C_1, C_2, ..., C_k\}$, то общий коэффициент корреляции такого массива составляет [14]

$$R = \{\sum \rho_{st}, \text{ где } s, t = 1, 2, ..., k; s \neq t\} \qquad (3)$$

Например, для матриц представленных на рис. 4а и рис. 4б, коэффициенты корреляции при $\rho = 0.5$, рассчитанные по формуле (3), приведены в таблице 1.

3	3	3	2
3	3	1	2
3	3	1	2
3	3	3	2

а)

2	3	3	3
3	1	2	3
3	2	1	3
3	3	3	2

б)

Рис. 4. Матрицы, отличающиеся коэффициентами корреляции конденсаторов

Таблица 1

Коэффициент корреляции массивов конденсаторов

	ρ_{12}	ρ_{13}	ρ_{23}	R
Рис. 4а	0.588	0575	0.401	1.565
Рис. 4б	0.714	0.671	0.747	2.131

B. Минимизация случайной ошибки

Максимальный коэффициент корреляции находится путем простого перебора всех возможных комбинаций расположения юнитов в матрице.

IV. Оптимизация расположения металлических соединений

Помимо оптимизации расположения юнитов, необходима оптимизация разводки металлических соединений в матрице с целью уменьшения влияния пара-

зитных емкостей C_s^{tb} на точность преобразования ЦАП [6] (рис. 1), а также с целью уменьшения общей площади матрицы.

Применение для матрицы конденсаторов правила “межпальцевой” металлизации [15] предотвращает возникновение дополнительных перекрещивающихся емкостей C_s^{tb} между верхней и нижней обкладкой любого юнита. Таким образом, отделяя друг от друга металлы, соединяющие нижние обкладки юнитов, от металлов, соединяющих верхние обкладки (рис. 5), можно существенно уменьшить погрешность преобразования, вызванную паразитными емкостями C_s^{tb}.

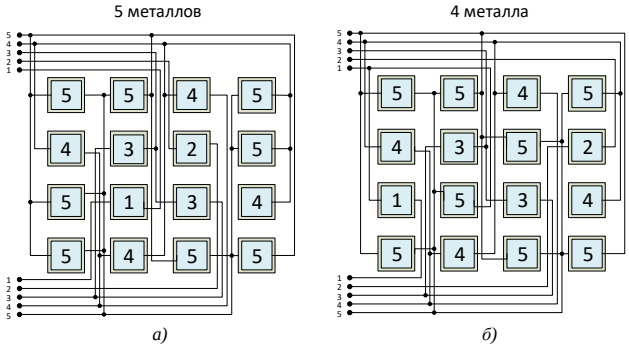


Рис. 5. Пример разводки металлических соединений, требующий в худшем случае: (а) пять металлов, (б) четыре металла

Уменьшение площади матрицы возможно путем уменьшения количества металлов в вертикальных каналах между юнитами (рис. 5). Для этого необходимо уменьшать максимальное количество уникальных юнитов в парах соседних вертикальных столбцов матрицы. На рис. 5а представлен пример матрицы, в которой разводка обеспечивается пятью металлами, а на рис. 5б за счет перестановок юнитов количество металлов уменьшено до четырех. В случае с ЦАП все верхние обкладки конденсаторов замыкаются на один металл, что упрощает задачу оптимизации разводки межсоединений в матрице. Таким образом, количество металлов *K* для разводки между парами соседних вертикальных столбцов матрицы может быть уменьшено.

V. Алгоритм поиска оптимального расположения юнитов в матрице

Наиболее оптимальное расположение юнитов в матрице обеспечивается при максимальном значении целевой функции *Ф* (формула (4)), в которой учитываются все рассмотренные выше ошибки, ухудшающие точность ЦАП на переключаемых конденсаторах

$$\Phi = \alpha\left(1-\frac{M}{M_{avg}}\right)+\beta\left(1-\frac{K}{K_{avg}}\right)+ +\left(1-\alpha-\beta\right)\left(\frac{R}{R_{avg}}-1\right), \quad (4)$$

где $0<\alpha<1$ и $0<\beta<1$ – специфические параметры пользователя, $M_{avg}, R_{avg}, K_{avg}$ – средние значения параметров *M, R, K*, рассчитанные для изначальной топологии матрицы с общим центром.

Отсюда возникает задача по максимизации функции *Ф*, которая включает в себя следующие этапы:

1) Составление исходной матрицы $A_{n\times m}$ по алгоритму из пункта II-B [10].
2) Расчет максимального значения линейной составляющей градиента толщины оксида в матрице $A_{n\times m}$ по алгоритму из пункта II-A.
3) Расчет общего коэффициента корреляции матрицы $A_{n\times m}$ по алгоритму из пункта III-A.
4) Расчет количества металлов *K* для разводки между парами соседних вертикальных столбцов матрицы по алгоритму из пункта IV.
5) Вычисление целевой функции *Ф* по формуле (4) и сравнение ее с предыдущим значением (за исключением первой итерации). Если новое значение меньше предыдущего, то функция обновляется.
6) Перестановка юнитов в матрице (пункт III-B).
7) Повторение пунктов 2-6 по всем возможным комбинациям.

В результате проведенных операций получится матрица с минимальной площадью и оптимальным расположением юнитов, в которой минимизированы систематическая и случайная ошибки, а также ошибки, вызванные паразитными емкостями C_s^{tb} (рис. 1).

VI. Результаты

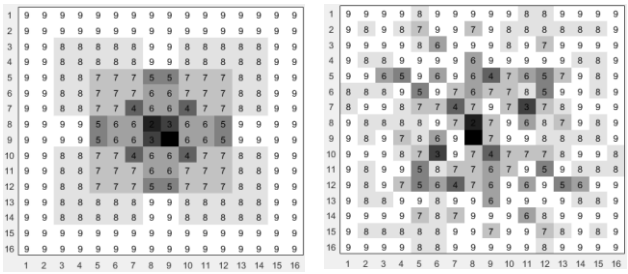
Для определения оптимального расположения была выбрана матрица размером 16×16 с «common centroid» расположением юнитов, представленная на рис. 6(а). Такие матрицы часто используются при проектировании быстродействующих ЦАП [6]. В результате оптимизации получена матрица, представленная на рис. 6(б). Сравнение этих матриц приведено в таблице 2, из которой видно, что величина коэффициента рассогласования *M* улучшена по сравнению с типовой топологией матрицы на 30%, а величина общего коэффициента корреляции *R* на 0.25%. Количество металлов, используемых для разводки между парами соседних вертикальных столбцов матрицы, уменьшено с 8 до 6.

Из полученных результатов следует, что предложенный алгоритм обеспечивает лучшие характеристики по сравнению с типовой топологией матрицы и, таким образом, решает задачу автоматической оптимизации матрицы и упрощения процесса проектирования.

Таблица 2

Сравнение коэффициентов M, K, R для матриц конденсаторов, полученных до и после оптимизации

Матрица	M_{max}(%)	*R*	*K*
Рис. 6а	1.517	31.67	8
Рис. 6б	1.063	31.75	6



а) *б)*

Рис. 6. Расположения юнитов в матрице: (а) до оптимизации, (б) после оптимизации

VII. Выводы

Уменьшение влияния неидеальностей на точность преобразования достигается за счет оптимального расположения элементов матрицы на кристалле. Поиск оптимального расположения осуществляется автоматически по алгоритму, реализованному на языке программирования C++. Критерием оптимальности является целевая функция Φ, учитывающая влияние двух типов неидеальностей (систематической и случайной ошибок), при одновременном уменьшении количества металлов, используемых для разводки. По результатам моделирования величина коэффициента рассогласования M улучшена по сравнению с типовой топологией матрицы на 30%, а величина общего коэффициента корреляции R на 0.25%. Количество металлов, используемых для разводки между парами соседних вертикальных столбцов матрицы, уменьшено с 8 до 6. Предложенный метод обеспечивает упрощенный поиск наилучшего расположения элементов матрицы конденсаторов при котором суммарная ошибка минимальна.

Литература

[1] Шурыгина В. АЦП Всякие важны. АЦП всякие нужны // ЭЛЕКТРОНИКА: НАУКА, ТЕХНОЛОГИЯ, БИЗНЕС. 2013. № 1(123). С. 046–054.

[2] Chang A.H., Lee H.-S., Boning D. A 12b 50MS/s 2.1mW SAR ADC with Redundancy and Digital Background Calibration // 2013 Proceedings of the ESSCIRC, 16–20 Sept. 2013: Proceedings. Bucharest, 2013. P. 109–112.

[3] Kwon Y.-C., Kwon O. K. A Precision Mismatch Measurement Technique for Integrated Capacitor Array Using a Switched Capacitor Amplifier // IEEE Transactions on Semiconductor Manufacturing. 2013. V. 26, № 2. P. 226–232.

[4] Sayed D., Dessouky M. Automatic generation of common-centroid capacitor arrays with arbitrary capacitor ratio // Design, Automation and Test in Europe Conference and Exhibition, 4–8 March 2002: Proceedings. Paris, 2002. P. 576–580.

[5] Shyu J.-B., Temes G. C., Krummenacher F., Random error effects in matched MOS capacitors and current sources // IEEE Journal of Solid-State Circuits. 1984. V. 19, N 6. P. 948–956.

[6] Hsiao V. W.-H., He Y.-T., Lin Mark P.-H., Chang R.-G., Lee S.-Y. Automatic common-centroid layout generation for binary-weighted capacitors in charge-scaling DAC // 2012 International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design, 19–21 Sept. 2012: Proceedings. Seville, 2012. P. 173–176.

[7] Felt E., Narayan A., Sangiovanni-Vlncentelli A. Measurement And Modeling Of MOS Transistor Current Mismatch In Analog ICs // IEEE/ACM International Conference on Computer-Aided Design, 6–10 Nov. 1994: Proceeding. — San Jose, 1994. P. 272–277.

[8] Lin C.-W., Lee C.-L., Lin J.-M., Chang S.-J. Analytical-Based Approach for Capacitor Placement with Gradient Error Compensation and Device Correlation Enhancement in Analog Integrated Circuits // IEEE/ACM International Conference on Computer-Aided Design, 5-8 Nov. 2012: Proceedings. San Jose, 2012. P. 635-642.

[9] Cong Y., Geiger R. L. Switching sequence optimization for gradient error compensation in thermometer-decoded DAC arrays // IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing. 2000. V. 47, № 7. P. 585–595.

[10] Lin C.-W., Lin J.-M., Chiu Y.-C., Huang C.-P., Chang S.-J. Common-Centroid Capacitor Placement Considering Systematic and Random Mismatches in Analog Integrated Circuits, 2011 48th ACM/EDAC/IEEE Design Automation Conference, 5-9 June 2011: Proceeding. New York, 2011. P. 528–533.

[11] Conroy C. S. G., Lane W. A., Moran M. A. Statistical design techniques for D/A converters // IEEE Journal of Solid-State Circuits. 1989. V. 24, № 4. P. 1118–1128.

[12] Huang C.-C., Wey C.-L., Chen J.-E., Luo P.-W. Optimal Common-Centroid-Based Unit Capacitor Placements for Yield Enhancement of Switched-Capacitor Circuits // ACM Transactions on Design Automation of Electronic Systems. 2013. V. 19, № 1.

[13] Luo P.-W., Chen J.-E, Wey C.-L., Cheng L.-C., Chen J.-J., Wu W.-C Impact of capacitance correlation on yield enhancement of mixedsignal/analog integrated circuits // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2008. V. 27, № 11. P. 2097–2101.

[14] Chen J.-E, Luo P.-W., and Wey C.-L. Placement optimization for yield improvement of switched-capacitor analog integrated circuits // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2010. V. 29, № 2. P. 313–318.

[15] Khalil D., Dessouky M., Bourguet V., Louerat M.-M., Cathelin A., Ragai H. Compensated layout for automated accurate common-centroid capacitor arrays // 2004 International Conference on Electrical, Electronic and Computer Engineering, 5–7 Sept. 2004: Proceedings. Cairo, 2004. P. 481–484.

Optimization of Capacitor Based DAC

A.A. Rybakov, N.F. Shliakhova

JSC «ICC Milandr», rybakov.a@ic-design.ru

***Abstract* — The capacitor matrix makes a significant contribution to the SAR ADC conversion error realized by capacitor based DAC. Reducing the influence of imperfections on the accuracy of conversion is achieved by the optimal arrangement of the matrix elements on the chip. The criterion of optimality is the objective function Φ, which takes into account the influence of two types of non-idealities (systematic and random errors), while the number of metals used for wiring between pairs of adjacent vertical columns of the matrix is reduced. The search for optimal locations is carried out automatically according to the algorithm implemented in the C++ programming language. The optimal criterion is the objective function Φ, which takes into account the influence of two types of non-idealities (systematic and random errors), while the number of metals used for wiring between pairs of neighboring vertical columns of the matrix is reduced. The systematic error is due to the presence of oxide thickness gradients and is minimized using a simple integrated model. A random error caused by local and global variations in the edges of the capacitor, the oxide thickness and its dielectric constant. It is minimized by increasing the overall correlation coefficient. Also, the error caused by the parasitic capacitances arising between the upper and lower plates of the DAC capacitors is minimized due to using the "interdigital" metallization rule. Based on the simulation results, the value of the discrepancy factor M is improved by 30% and overall correlation coefficient R is improved by 0.25% compared with the typical topology of the matrix. The proposed method provides a simplified search for the best arrangement of the elements of the capacitor matrix in which the total error is minimal.**

***Keywords* — SAR ADC, capacitor based DAC, oxide-gradient-induced mismatch, overall correlation coefficient.**

References

[1] Shurigina V. All ADC types are Important All ADC types are Required // ELECTRONICS: SCIENCE, TECHNOLOGY, BUSINESS. 2013. No. 1 (123). P. 046-054.

[2] Chang A.H., Lee H.-S., Boning D. A 12b 50MS/s 2.1mW SAR ADC with Redundancy and Digital Background Calibration // 2013 Proceedings of the ESSCIRC, 16–20 Sept. 2013: Proceedings. Bucharest, 2013. P. 109–112.

[3] Kwon Y.-C., Kwon O. K. A Precision Mismatch Measurement Technique for Integrated Capacitor Array Using a Switched Capacitor Amplifier // IEEE Transactions on Semiconductor Manufacturing. 2013. V. 26, № 2. P. 226–232.

[4] Sayed D., Dessouky M. Automatic generation of common-centroid capacitor arrays with arbitrary capacitor ratio // Design, Automation and Test in Europe Conference and Exhibition, 4–8 March 2002: Proceedings. Paris, 2002. P. 576–580.

[5] Shyu J.-B., Temes G. C., Krummenacher F., Random error effects in matched MOS capacitors and current sources // IEEE Journal of Solid-State Circuits. 1984. V. 19, N 6. P. 948–956.

[6] Hsiao V. W.-H., He Y.-T., Lin Mark P.-H., Chang R.-G., Lee S.-Y. Automatic common-centroid layout generation for binary-weighted capacitors in charge-scaling DAC // 2012 International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design, 19–21 Sept. 2012: Proceedings. Seville, 2012. P. 173–176.

[7] Felt E., Narayan A., Sangiovanni-Vlncentelli A. Measurement And Modeling Of MOS Transistor Current Mismatch In Analog ICs // IEEE/ACM International Conference on Computer-Aided Design, 6–10 Nov. 1994: Proceeding. — San Jose, 1994. P. 272–277.

[8] Lin C.-W., Lee C.-L., Lin J.-M., Chang S.-J. Analytical-Based Approach for Capacitor Placement with Gradient Error Compensation and Device Correlation Enhancement in Analog Integrated Circuits // IEEE/ACM International Conference on Computer-Aided Design, 5-8 Nov. 2012: Proceedings. San Jose, 2012. P. 635-642.

[9] Cong Y., Geiger R. L. Switching sequence optimization for gradient error compensation in thermometer-decoded DAC arrays // IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing. 2000. V. 47, № 7. P. 585–595.

[10] Lin C.-W., Lin J.-M., Chiu Y.-C., Huang C.-P., Chang S.-J. Common-Centroid Capacitor Placement Considering Systematic and Random Mismatches in Analog Integrated Circuits, 2011 48th ACM/EDAC/IEEE Design Automation Conference, 5-9 June 2011: Proceeding. New York, 2011. P. 528–533.

[11] Conroy C. S. G., Lane W. A., Moran M. A. Statistical design techniques for D/A converters // IEEE Journal of Solid-State Circuits. 1989. V. 24, № 4. P. 1118–1128.

[12] Huang C.-C., Wey C.-L., Chen J.-E., Luo P.-W. Optimal Common-Centroid-Based Unit Capacitor Placements for Yield Enhancement of Switched-Capacitor Circuits // ACM Transactions on Design Automation of Electronic Systems. 2013. V. 19, № 1.

[13] Luo P.-W., Chen J.-E, Wey C.-L., Cheng L.-C., Chen J.-J., Wu W.-C Impact of capacitance correlation on yield enhancement of mixedsignal/analog integrated circuits // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2008. V. 27, № 11. P. 2097–2101.

[14] Chen J.-E, Luo P.-W., and Wey C.-L. Placement optimization for yield improvement of switched-capacitor analog integrated circuits // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 2010. V. 29, № 2. P. 313–318.

[15] Khalil D., Dessouky M., Bourguet V., Louerat M.-M., Cathelin A., Ragai H. Compensated layout for automated accurate common-centroid capacitor arrays // 2004 International Conference on Electrical, Electronic and Computer Engineering, 5–7 Sept. 2004: Proceedings. Cairo, 2004. P. 481–484.