# Оценка на основе TCAD моделирования устойчивости к сбоям элементов на базе ячеек STG DICE для 65-нм КМОП блоков ассоциативной памяти

Ю.В. Катунин<sup>1</sup>, В.Я. Стенин<sup>1, 2</sup>

## <sup>1</sup>НИИ системных исследований РАН, г. Москва

<sup>2</sup>Национальный исследовательский ядерный университет "МИФИ", г. Москва

### katunin@cs.niisi.ras.ru; vystenin@mephi.ru

Аннотация — Приводятся результаты моделирования средствами ТСАД КМОП элементов по объёмной 65-нм КМОП технологии на основе ячейки памяти STG DICE во время сбора заряда с треков одиночных ядерных частиц, направленных по нормали к поверхности кристалла. Логические элементы предназначены для ассоциативных запоминающих устройств и буферов преобразования адресов. Сбор заряда с треков с линейными потерями энергии частицами на них в диапазоне до 60 МэВ×см<sup>2</sup>/мг не приводят к сбоям ячеек STG DICE и элементов на их основе. В выходной комбинационной логике элементов совпадения при сборе заряда генерируются импульсы помех длительностью менее 0.6 нс в диапазоне линейных потерь энергии на треках 30-60 МэВ×см<sup>2</sup>/мг.

Ключевые слова — логический элемент, моделирование, ядерная частица, устойчивость, компенсация импульсов помех, трек, ячейка памяти.

## I. Введение

Топология ячейки памяти STG DICE (Spaced Transistor Groups DICE) [1, 2] отличается от ячейки DICE (Double Interlocked Cell) [3] тем, что её транзисторы разделены на две группы так, что сбор заряда с трека одиночной ядерной частицы транзисторами одной из групп не приводит к сбою состояния ячейки. Чередование одинаковых групп транзисторов разных ячеек [4] увеличивает расстояния между взаимно чувствительными узлами двух групп, что повышает устойчивость к сбоям. Лазерные имитационные исследования показали высокую устойчивость 65-нм КМОП ячеек STG DICE [1]. ТСАД моделирование подтвердило [5], что ячейки памяти STG DICE могут обеспечить сохранение логического состояния при воздействии одиночных ядерных частиц с линейными потерями энергии до 60 МэВ×см<sup>2</sup>/мг на треке при сборе заряда одной из групп транзисторов ячейки, лишь переходя во временное нестационарное состояние длительностью от 45 пс до 0.6 нс.

Функция сопоставления (matching) в блоках ассоциативной памяти осуществляется в настоящее время элементами на основе 6-транзисторных КМОП ячеек памяти и комбинационной логики. Надежность 6-транзисторных ячеек памяти в условиях воздействия одиночных ядерных частиц существенно ухудшилась при снижении проектных норм микросхем до 65-28 нм КМОП объемной технологии [6]. Ячейки троичной ассоциативной памяти, предложенные в работах [7, 8] с целью повышения устойчивости к нашли заметного практического сбоям, не применения. На основе ячейки STG DICE разработаны логические элементы соответствия (matching) данных [9], элементы памяти для маскирования данных [10] в блоках ассоциативной памяти и проведено моделирование их помехоустойчивости на основе SPICE моделей.

Целью данной работы является моделирование с использованием 3-D TCAD логического элементов на основе ячейки STG DICE для обоснования их повышенной устойчивости к сбоям для применения в блоках ассоциативной памяти, работающих в условиях одиночных воздействий ядерных частиц.

#### II. Схемотехника ячейки памяти STG DICE

На рис. 1а приведена схема ячейки памяти STG DICE [1], в которой соседние пары транзисторов соединены одним проводом. Каждая пара комплементарных транзисторов на рис. 1а -- это простейший D триггер, где оба транзистора в паре закрыты или открыты. Воздействия одиночных ядерных частиц на транзисторы одной из этих закрытых пар не ведут к сбою ячейки памяти STG DICE. Это воздействие вызывает переход ячейки в нестационарное состояние с возвратом в исходное стационарное устойчивое состояние после завершения переходного процесса [1]. Это свойство STG DICE позволяет разделить транзисторы этой ячейки на две группы так, что каждая группа содержит одну пару транзисторов в закрытом состоянии. Для узлов ячейки STG DICE в состоянии ABCD = 0101 (рис. 1a) транзисторы первой пары обеих групп N<sub>D</sub>P<sub>A</sub> и N<sub>B</sub>P<sub>C</sub> закрыты, а транзисторы второй пары обеих групп N<sub>A</sub>P<sub>B</sub> и N<sub>C</sub>P<sub>D</sub> открыты. Для узлов логики ABCD = 1010 состояние всех пар изменяется. На рис. 16 [4, 5] приведен эскиз варианта топологии ячейки STG DICE.



Рис. 1. Ячейка памяти STG DICE с выходным блоком комбинационной логики: (a) схема ячейки с транзисторами, разделенными на две группы, и комбинационной логикой; (б) эскиз топологии ячейки, звездочками отмечены точки входа треков частицы; (в) 3D TCAD приборная модель ячейки памяти; треки направлены по нормали к поверхности; расстояние между транзисторами N<sub>D</sub> и N<sub>B</sub> составляет 1.2 мкм



Рис. 2. Элемент сопоставления на основе ячейки памяти STG DICE: (а) схема комбинационного элемента XOR на основе инверторов TRInv 1 and TRInv 2 с третьим состоянием как выходная часть элемента сопоставления; (б) эскиз топологии элемента сопоставления; (в) 3D TCAD приборная модель элемента сопоставления; расстояние между транзисторами N<sub>D</sub> и N<sub>B</sub> составляет 1.35 мкм; звездочками на рис. 26 отмечены точки входа треков частицы

Топология STG DICE приведена в виде двух транзисторных групп. Эти группы могут быть интегрированы в базовые блоки памяти [1, 5] с использованием чередования групп других ячеек STG DICE для увеличения расстояния между взаимно чувствительными к сбоям узлами ячеек. Это является основой повышения устойчивости к воздействию ядерных частиц. Сбой STG DICE олиночных возможен, если пары "запертых" транзисторов из двух групп были одновременно подвергнуты воздействию одиночной ядерной частицы [2, 5] и при этом были превышены пороги сбоя в обоих группах ячейки. STG DICE сохраняет те же быстродействие и энергопотребление, как у стандартной ячейки DICE с обычной топологией без разделения на группы. Площадь одной 65-нм STG DICE в составе базового блока [4] с чередованием групп на 15% больше, чем площадь стандартной 65нм ячейки DICE без чередования. При этом только два провода соединяют две группы в ячейке STG DICE, что снижает площадь слоя металлизации при чередовании.

Основой проектирования блоков ОЗУ на ячейках с чередованием групп смежных ячеек памяти является обеспечение того, чтобы площадь слоя металлизации не превышала площади слоя активных элементов транзисторов. Разделение ячейки STG DICE на две группы и чередование этих групп позволяет обеспечить это требование, выбирая соответствующее количество ячеек в одном базовом блоке. Вот почему расстояния между взаимно чувствительными узлами каждой ячейки в ОЗУ на STG DICE находятся в диапазоне 2–2.5 мкм для ОЗУ с проектными нормами 28–180 нм объемной КМОП-технологии [4].

#### III. Элемент сопоставления на ячейке STG DICE для ассоциативной памяти

На рис. 2а приведена схема комбинационной логики ассоциативной памяти [9, 10]. Этот элемент состоит из ячейки памяти STG DICE и логического элемента "XOR" на инверторах с третьим состоянием TRInv 1 и TRInv 2.

Транзисторы STG DICE ячейки разделены на две группы  $N_DP_A$ ,  $N_AP_B$  и  $N_BP_C$ ,  $N_CP_D$  с чередованием пар открытых и закрытых транзисторов в каждой из групп [9, 10]. Запись одной логической переменной осуществляется в STG DICE. Определяется сопоставление (одинаковость) данных в ячейке с сигналами на входах элемента XOR. Сигнал на входе Input 1 – нормальный уровень сигнала, а на входе Input 2 – инверсия сигнала на входе Input 1. Выходной бит сопоставления (Output of matching) описывается следующей логической функцией в стационарном состоянии ячейки STG DICE:

$$Y_{\text{MATCH}} = X_{\text{IN1}} \cdot X_{\text{AC}} + X_{\text{IN2}} \cdot X_{\text{BD}}, \qquad (1)$$

где  $X_{AC}$  отображает одинаковые логические уровни узлов A и C, а  $X_{BD}$  отображает одинаковые логические уровни узлов B и D в стационарном состоянии ячейки STG DICE. В стационарном состоянии STG DICE логические уровни узлов A и C идентичны, как и логические уровни узлов B и D. Воздействие одиночной ядерной частицы на одну из групп транзисторов STG DICE не приводит к сбою ячейки. В нестационарном состоянии ячейки два узла изменяют значения логических уровней, соотношение (1) не выполняется и соответственно на выходе элемента XOR могут быть как ложные, так и неопределённые результаты соответствия.

На рис. 26 приведен эскиз топологии, в которой элемент сопоставления состоит из двух идентичных групп Joint Group, каждая из которых содержит одну группу (Group 1 или Group 2) транзисторов STG DICE и один инвертор с тремя состояниями TRInv 1 или TRInv 2. Две группы каждого элемента сопоставления соединены между собой тремя проводами, что помогает снизить затраты по площади регистра, если используется чередование таких групп Joint Group смежных элементов сопоставления. Минимальное расстояние между взаимно чувствительными узлами одной ячейки 4.15 мкм.

# IV. Ячейка памяти с логикой чтения в нестационарном состоянии ячейки STG DICE

На рис. За приведена схема комбинационной логики чтения, которая совместно с ячейкой STG DICE образует элемент памяти для надежного чтения в нестационарных и стационарных состояниях STG DICE. Ячейка предназначена для использования в элементе маскирования (masking) ассоциативной памяти [10]. Логика чтения включает два инвертора с тремя состояниями TRInv 1, TRInv 2 и два обычных инвертора Inv 1, Inv 2. Логика чтения предназначена для повышения надежности чтения данных маскирования в нестационарных состояниях ячейки

STG DICE. В нестационарных состояниях ячейки STG DICE, возникающих при воздействии на неё одиночных ядерных частиц, уровни напряжений на двух смежных узлах из четырех узлов ячейки сохраняются неизменными. В кольце узлов (рис. 1а) эти два уровня сохраняются на смежных узлах, но конкретная пара узлов зависит от записанных данных и конкретного воздействия на одну из групп ячейки. Выход логики чтения описывается функцией:

$$Y_{OUT} = X_A \cdot n X_B + X_C \cdot n X_D, \qquad (2)$$

где  $X_A$ ,  $X_B$ ,  $X_C$ ,  $X_D$  - логические уровни на узлах A, B, C, D в стационарных и нестационарных состояниях STG DICE.

На рис. Зб приведен эскиз топологии ячейки памяти с логикой чтения. Для надежного чтения транзисторы инверторов TRInv 1 и Inv 1 должны располагаться рядом с группой Group 1 транзисторов ( $N_DN_AP_AP_B$  на рис. Зб) ячейки. Это первая совместная группа (Joint Group 1) транзисторов ячейки памяти. Вторая совместная группа (Joint Group 2) состоит из транзисторов инверторов TRInv 2 и Inv 2 (рис. Зб) и группы Group 2 транзисторов  $N_BN_CP_CP_D$  ячейки STG DICE. Совместные группы транзисторов смежных ячеек чередуются в регистре ячеек памяти, при этом расстояние между группами каждой из ячеек составляет L = 3.0 мкм, а минимальные расстояния между чувствительными узлами внутри каждой из ячеек  $D_{MIN} = 4.5$  мкм.

# V. Комбинационная логика с компенсацией одиночных переходных эффектов

На рис. 4а приведена схема объединения выходов элементов сопоставления (Outputs of matching) через блок комбинационной логики 8NAND [10, 11]. В соответствия (blocks of matching) блоках ассоциативной памяти, когда на входах КМОП комбинационной логики "все входные сигналы равны 1", выходной сигнал комбинационной логики совпадение или подтверждает несовпаление сравниваемых данных в ассоциативной памяти.

В комбинационной логике на основе элементов 2NOR или 2NAND возможно логическое маскирование по одному из двух входов этих элементов. Например, в случае 2NOR при уровне "1" на одном из входов второй вход не влияет на изменение выходного уровня "0", то есть второй вход блокируется от действия импульсов помех.

Логическое маскирование импульсов помех по второму входу невозможно, если на первом входе логический уровень "0". В таком состоянии элемента 2NOR передача импульсных помех, возникающих на втором входе, может быть ослаблена с помощью организации одновременного воздействия заряда с трека ядерной частицы на обратно смещенные *pn*переходы запертых МОП транзисторов элемента. Результатом такого компенсационного воздействия является возвращение выхода 2NOR в исходное состояние, то есть коррекция импульса помехи, возникающего на выходе логического элемента.



Рис. 3. Элемент памяти со схемой чтения хранимых данных с узлов ячейки STG DICE в нестационарных состояниях: (а) схема комбинационной логики чтения на двух инверторах TRInv 1, TRInv 2 с третьим состоянием и двух обычных инверторах Inv 1, Inv 2; (б) эскиз топологии элемента памяти; (в) 3D TCAD приборная модель элемента; использованы треки, направленные по нормали к поверхности в области р-подложки и п-кармана



Рис. 4. Элемент 8NAND с транзисторами, объединенными в группы G1–G6, и дополнительными транзисторами для компенсации импульсов помехи: (а) схема элемента 8NAND; (б) топология группы транзисторов G5; (в) топология группы транзисторов G1; (г) 3D приборная модель группы транзисторов G1; трек направлен по нормали к поверхности; ширина NMOII транзисторов 450 нм; звездочками на рис. 46, в показаны точки входа треков частицы

Транзисторы комбинационного блока 8NAND на рис. 4а сгруппированы в шесть базовых групп G1–G6 из транзисторов соседних соединенных в цепочки элементов 2NAND (D1–D4), 2NOR (D5, D6) и 2NAND (D7). В каждую из этих групп G1–G6 включено по одному компенсационному транзистору с индексом С. Так в базовой группе G1 имеются транзисторы N1.1, N1.2, N5.1 из элементов 2NAND (элемент D1) и 2NOR (элемент D5) и компенсационный транзистор NC5.1. На входы "Inputs" D1-D4 поступают сигналы "Outputs of matching" с выходов элементов сопоставления; на выходе элемента D7 "Output D7" формируется сигнал "Output bits of matching".

Эскиз топологии транзисторов базовой группы G5 приведён на рис. 4б. Дополнительный транзистор

РС7.1 располагается зеркально симметрично относительно транзистора Р7.1 на минимальном по технологическим нормам расстоянии от соседнего транзистора группы, что обеспечивает необходимую зарядовую связь компенсирующего транзистора при совместном сборе группой G5 заряда с трека одиночной частицы.

Эскиз топологии транзисторов базовой группы G1 приведён на рис. 4в. Дополнительный транзистор NC5.1 располагается зеркально симметрично относительно транзистора N5.1 на минимальном по технологическим нормам расстоянии от соседнего транзистора группы, что обеспечивает его зарядовую связь при совместном сборе группой G1 заряда с трека одиночной ядерной частицы.

#### VI. ОЦЕНКА УСТОЙЧИВОСТИ ЭЛЕМЕНТОВ К СБОЯМ НА ОСНОВЕ **ТСАD** МОДЕЛИРОВАНИЯ

#### А. Структура приборной части 3D-TCAD моделей элементов

Структура приборной части 3D-TCAD модели STG DICE изображена на ячейки рис. 1в. Моделирование проводилось с использованием 3Dмоделей, представленных в [12] для транзисторов по 65-нм КМОП объемной технологии (с длиной каналов 65 нм). Все треки ядерных частиц моделировались вдоль нормали к поверхности кристалла в р-области (как Трек 1 на рис. 1в). Толстый слой оксидной изоляции транзисторов (глубиной 400 нм) не показан (удален) на рис. 1в для того, чтобы сделать более изображение модели. наглядным Результаты 3-D TCAD получены при моделировании С использованием Sentaurus Device simulator при 25 °C, напряжении питания 1.0 В.

Приборная часть 3D-TCAD модели элемента сопоставления (matching) на основе ячейки STG DICE изображена на рис. 2в. Транзисторы на рис. 2в соответствуют двум транзисторным группам (Group 1 и Group 2) ячейки STG DICE (см. рис. 1а и 1в) и двум инверторам с тремя состояниями TRInv 1 и TRInv 2 на рис. 2а (ширина каналов транзисторов 150 нм). Трек 2 и Трек 3 ориентированы в нормальном направлении к поверхности кристалла.

На рис. 3в представлена 3-D TCAD модель элемента памяти с выходной логикой для считывания данных в нестационарных состояниях ячейки STG DICE. Треки ядерных частиц моделировались вдоль нормали к поверхности кристалла в р-области (Трек 2) и п-кармана (Трек 3).

На рис. 4г представлена 3-D TCAD модель базовой группы транзисторов на примере группы G1 блока комбинационной логики, объединяющей выходы элементов сопоставления (output of matching) с логикой 8NAND. Треки одиночных ядерных частиц ориентированы при моделировании вдоль нормали к поверхности кристалла.

#### Б. Характеристики ячейки памяти STG DICE

На рис. 5 приведены зависимости пороговых значений линейного переноса энергии (LET), превышение которых приводит к сбою (single event upset - SEU) логического состояния ячейки STG DICE для случаев, когда трек входит в микросхему по нормали к поверхности. Зависимости даны для двух расстояний между группами транзисторов в ячейке, между стоками транзисторов N<sub>D</sub> и N<sub>B</sub> расстояния составляют  $L_{DB1} = 1.2$  мкм и  $L_{DB2} = 2.4$  мкм. Согласно рис. 5 минимальные значения порогов сбоя для двух вариантов расстояния между группами составляют:  $LET_{\Pi OP1,MIN} = 49.5 - 53.0 \text{ M} \Rightarrow B \times cm^2/MF$  and  $LET_{\Pi OP2,MIN} =$ 60.5-63.0 МэВ×см<sup>2</sup>/мг. Вывод заряда через охранные полосы и омические контакты к ним (рис. 1в, 2в, 3в) за время 10 нс существенно (в 20-50 раз) превышает заряд, собранный с трека в ячейке STG DICE или в комбинационной логике.



Рис. 5. Пороговые значения линейных потерь энергии LET<sub>ПОР</sub> в зависимости от координаты точки входа трека для ячейки STG DICE с расстояниями между стоками транзисторов  $N_D$  и  $N_B$ : L<sub>DB1</sub> = 1.2 мкм или L<sub>DB2</sub> = 2.4 мкм



Рис. 6. Амплитуда  $U_{M.PULSE}$  и длительность  $t_{PULSE}$  помехи на выходе элемента сопоставления как функции координаты точки входа трека частицы (для точек 1n– 5n), LET = 60 МэВ×см<sup>2</sup>/мг; исходное состояние ячейки STG DICE ABCD = 0101, Input 1 = "0", Input 2 = "1".



Рис. 7. Амплитуда  $U_{M.PULSE}$  и длительность  $t_{PULSE}$  помехи на выходе элемента сопоставления в зависимости от положения точек входа трека частицы 1n–5n, LET = 60 МэВ×см<sup>2</sup>/мг; исходное состояние узлов ячейки STG DICE ABCD = 1010, Input 1 = "1", Input 2 = "0"

#### В. Характеристики элемента сопоставления

На рис. 6 и рис. 7 приведены зависимости амплитуд длительности импульсов помех на выходе и комбинационной логики элемента сопоставления (matching) ассоциативной памяти при линейном переносе энергии частицей на трек LET = 60 МэВ×см<sup>2</sup>/мг. Зависимости даны как функции координат точек входа 1n-5n трека частицы в робласть кристалла в соответствии с их расположением на рис. 26 при воздействии на *N*МОП транзисторы.

На рис. 6 зависимости даны для исходного состояния узлов STG DICE ABCD = 0101, и сигналах на входах логики Input 1 = "0", Input 2 = "1". На рис. 7 зависимости даны для состояния узлов STG DICE ABCD = 1010, и сигналах на входах логики Input 1 = "1", Input 2 = "0". Оба случая соответствуют выходному сигналу сопоставления Output of matching = "1" при нормальных стационарных условиях работы.

В обоих случаях (рис. 6 и рис. 7) при Output of matching = "1" максимум амплитуд импульсов помех составляет 1.3 В при максимуме длительности импульса 0.6 нс. Чувствительными к образованию импульсов помех на выходе являются режимы сопоставления, когда выходной сигнал сопоставления равен "1", в других случаях, когда отсутствует совпадение данных, т.е. при Output of matching = "0", амплитуды импульсов помех всегда меньше 0.3 В.

Зависимости на рис. 7 приведены в последовательности номеров входов треков 3n; 4n; 1n; 2n; 5n. Это сделано для сравнения с монотонным снижением значений амплитуд и длительности импульсов помех на рис. 6. Реальная немонотонная зависимость в последовательности точек входов 1n–5n объясняется изменением чувствительных точек при смене исходного логического состояния узлов ячейки STG DICE с ABCD = 0101 на ABCD = 1010.

#### Г. Характеристики ячейки памяти на основе ячейки STG DICE с логикой чтения

На рис. 8 приведены зависимости амплитуд и длительности импульсов помех, образующихся на выходе ячейки памяти на основе STG DICE с дополнительной логикой чтения (рис. 3а) в нестационарном состоянии узлов ячейки. Зависимости даны как функции координат точек входа 1n–5n трека частицы в р-область кристалла в соответствии с их расположением на рис. 3б при воздействии на *N*MOП транзисторы.

Зависимости приведены для исходного состояния узлов ячейки STG DICE ABCD = 1010 при линейном переносе энергии частицей на трек LET  $60 \text{ МэВ×см}^2/\text{мг.}$ При практически неизменном логическом состоянии узлов STG DICE ячейки ABCD = 1010 амплитулы импульсов помех изменяются в диапазоне от 0 до 0.4 В при длительности импульса в диапазоне от 0 до 200 пс. Эти значения не оказывают практически никакого влияния на алгоритмическое функционирование логики маскирования элемента.



Рис. 8. Амплитуда  $U_{M,PULSE}$  и длительность  $t_{PULSE}$  помехи на выходе схемы чтения состояния ячейки STG DICE в зависимости от координаты точки входа трека 1n–5n, состояние узлов ячейки STG DICE ABCD = 1010, LET = 60 MэB×см<sup>2</sup>/мг;  $D_{MIN} = D_{DB} = = 1.53$  мкм



Рис. 9. Амплитуда импульса помехи на выходе элемента D5 (рис. 4а) блока 8NAND в зависимости от координаты точки входа трека частицы при наличии компенсационных транзисторов и без них, сбор заряда осуществляется NMOII транзисторами группы G1 (рис. 4в), линейной потере энергии 60 МэВ×см<sup>2</sup>/мг



Рис. 10. Амплитуда импульса помехи на выходе элемента D7 (рис. 4a) блока 8NAND в зависимости от координаты точки входа трека частицы при наличии компенсационных транзисторов и без них, сбор заряда осуществляется РМОП транзисторами группы G5 (рис. 46) при линейной потере энергии 60 МэВ×см<sup>2</sup>/мг

# Д. Характеристики компенсации импульсов помех в комбинационной логике

Эффективность компенсации импульсов помех, возникающих при воздействии одиночных ядерных частин на комбинационную логику 8NAND объелинения сигналов элементов выхолных результатам сопоставления. оценивалась по моделирования характеристик базовых групп транзисторов (типа G1 на рис. 4в) с дополнительным компенсирующим транзистором NC.

На рис. 9 приведены зависимости моделирования амплитуд импульсов помех при воздействии одиночной частицы на группу транзисторов G1 (см. рис. 4в). Импульсы помех определены на выходе элемента D5 как функции координат точек входа трека частицы от точки 1n до 7n для двух случаев: при использовании компенсационных транзисторов и без них, коррекция помех *N*MOП транзисторами в группе транзисторов G1 при LET = 60 MэВ×см2/мг. Когда импульс помехи максимален с амплитудой 1 В (точки 3n, 4n и 5n на рис. 9) компенсация снижает помеху до значения менее 0.17 В (точка входа трека 5n) или помеха полностью компенсируется.

На рис. 10 приведены зависимости амплитуд импульсов помех при воздействии одиночной частицы на группу транзисторов G5 (см. рис. 46). Импульсы помех определены на выходе элемента D7 как функции координат точек входа трека частицы от точки 1р до 7р для двух случаев: при использовании компенсационных транзисторов и без них, коррекция помех *Р*МОП транзисторами в группе транзисторов G5 при LET = 60 МэВ×см2/мг.

Без компенсации импульсы помехи (рис. 10) имеют амплитуды в диапазоне 0.4–1.0 В для точек входа трека 3р, 4р и 5р. При импульсе помехи с амплитудой 1 В (точки 4р и 5р на рис. 10) компенсация снижает помеху до 0.2 В (точка входа 4р) и до значения 0.65 В (точка входа 5р). В отличие от высокой эффективности компенсации в базовых группах, где используются NMOП транзисторы, компенсации в группах, где можно использовать для компенсации помех только *Р*МОП транзисторы, оказывается менее эффективна.

#### VII. ЗАКЛЮЧЕНИЕ

Ячейки памяти STG DICE с проектными нормами 65 нм КМОП по объемной технологии могут обеспечить сохранение записанных в них данных при воздействии одиночных ядерных частиц с линейными потерями энергии на треке 60 МэВ×см<sup>2</sup>/мг при треках, входящих в приборную часть элемента по нормали к поверхности кристалла. Высокая устойчивость к сбоям логических элементов на основе ячейки памяти STG DICE, таких как элемент сопоставления (matching), элемент маскирования (masking), позволяет улучшить характеристики устойчивости ассоциативной памяти буферов блоков И ассоциативной трансляции.

Импульсы помех, которые могут возникать на выходе комбинационной логики элементов на основе

ячеек STG DICE при сборе заряда с треков одиночных ядерных частиц, по результатам TCAD моделирования не превышают по длительности 0.6 нс с максимумом амплитуд 1.3 В для частиц с линейными потерями энергии на треке 60 МэВ×см<sup>2</sup>/мг для элементов сопоставления и длительности 0.2 нс с максимумом амплитуд 0.4 В для элементов маскирования.

Возможна частичная и полная компенсация импульсов помех в комбинационной логике, объединяющей выходы элементов сопоставления и маскирования, при использовании компенсирующих транзисторов, корректирующих логические состояния элементов NOR и NAND при сборе ими заряда с треков одиночных частиц.

#### ЛИТЕРАТУРА

- [1] Стенин В.Я., Катунин Ю.В., Степанов П.В. Сбоеустойчивые ОЗУ на основе STG DICE элементов памяти с разделенными на две группы транзисторами // Микроэлектроника. 2016. Т. 45. № 6. С. 456–470.
- [2] Стенин В.Я. Моделирование характеристик КМОП 28нм ячеек DICE в нестационарных состояниях, вызванных воздействием одиночных ядерных частиц // Микроэлектроника. 2015. Т. 44. № 5. С. 368–379.
- [3] Calin T., Nicolaidis M., Velazco R. Upset hardened memory design for submicron CMOS technology // IEEE Transactions on Nuclear Science. 1996. V. 43. № 6. P. 2874–2878.
- [4] Стенин В.Я., Степанов П.В. Базовые элементы памяти на основе ячеек DICE для сбоеустойчивых КМОП 28 нм ОЗУ // Микроэлектроника. 2015. Т. 44. № 6. С. 416–427.
- [5] Катунин Ю.В., Стенин В.Я. ТСАD моделирование эффектов воздействия одиночных ядерных частиц на ячейки памяти STG DICE // Микроэлектроника. 2018. Т. 47. № 1. С. 23–37.
- [6] Loveless T.D., Jagannathan S., Reece T., Chetia J., Bhuva B.L., McCurdy M.W., Massengill L.W., Wen S.-J., Wong R., Rennie D. Neutron– and proton-induced single event upsets for D- and DICE-flip/flop designs at a 40 nm technology node // IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 1008–1014.
- [7] Azizi N., Najm F. A family of cells to reduce the soft-errorrate in ternary-CAM // Proceedings of Design Automation Conference. 2006. P. 779–784.
- [8] Eftaxiopoulos N., Axelos N., Pekmestzi K. Low leakage radiation tolerant CAM/TCAM cell // IEEE International On-Line Testing Symposium (IOLTS). 2015. P. 206–211.
- [9] Stenin V.Ya., Antonyuk A.A. Design of the CMOS comparison elements on STG DICE for a contentaddressable memory and simulation of single-event transients // Telfor Journal. 2017. V. 9. № 1. P. 61–66.
- [10] Stenin V.Ya., Antonyuk A.A., Katunin Yu.V., Stepanov P.V. Design of logical elements for the 65-nm CMOS translation lookaside buffer with compensation of single events effects // Proceedings of International Siberian Conference on Control and Communications. 2017. P. 1–6.
- [11] Katunin Yu.V., Stenin V.Ya. TCAD Simulation of the 65nm CMOS logical elements of the decoders with singleevent transients compensation // Proceedings of 2018 Workshop on Electronic and Networking Technologies (MWENT). 14–16 Mar. 2018. P. 1–4.
- [12] Garg R., Khatri S.P. Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York: Springer, 2010. P. 194–205.

## Evaluation Based on TCAD Simulation of Failure Tolerance of the Elements on the Cells STG DICE for 65-nm CMOS Blocks of Associative Memory

Yu.V. Katunin<sup>1</sup>, V.Ya. Stenin<sup>1, 2</sup>

<sup>1</sup>Scientific Research Institute of System Analysis of RAS, Moscow

<sup>2</sup>National Research Nuclear University MEPhI (Moscow Engineering Physics Institute), Moscow

katunin@cs.niisi.ras.ru; vystenin@mephi.ru

Abstract — The paper presents the TCAD simulation of the 65-nm bulk CMOS logical element of matching, and element of masking based on STG DICE cell with the combinational logic. These items are used for the content addressable memory (associative memory) and the translation lookaside buffers for 65-nm CMOS bulk technology. The combinational logic consists of two tristate inverters (for elements of matching) and additionally contains two normal inverters (for elements of masking). The STG DICE cell (Spaced Transistor Groups DICE) is different from the standard DICE (Double Interlocked Cell) in that the transistors are separated into two special groups. That is why the charge collection with the tracks of single nuclear particles impacted on one of these groups does not lead to upset of logical state of this memory cell. Failure tolerance of the elements of matching and elements of masking based on the STG DICE cell increases by the separation of its transistors (including the combination logic) into two blocks. Each block consists of the one group of transistors of the STG DICE cell and transistors of the one of two tristate inverters (for elements of matching) and two additional normal inverters (for elements of masking). The charge collection with tracks of nuclear particles was modeled using tracks along the normal to the chip surface. Linear energy transfers on tracks were in range 10-60 MeV×cm2/mg. The charge collection with tracks onto the linear energy transfer up to 60 MeV×cm<sup>2</sup>/mg does not upset data in STG DICE cells with tracks along the normal to the chip surface. In the combinational logic noise pulses can occur up to 0.6 ns in the range of the energy transfer 30-60 MeV×cm<sup>2</sup>/mg. The effects of single-event transients under impacts of single nuclear particles on CMOS combinational logical elements are minimized by separation transistors into special groups and co-location the compensation transistors in the each group together with the transistors, which can be affected by single nuclear particle. The combinational logical elements with the proposed layout of the topological single-event compensation are designed for the blocks of matching of the translation lookaside buffers and the associative memories.

*Keywords* — logical element, simulation, error impulse correction, nuclear particle, failure tolerance, track, memory cell.

#### REFERENCES

[1] Stenin V.Ya., Katunin Yu.V., Stepanov P.V. Upset-resilient RAM on STG DICE memory elements with the spaced transistors into two groups // Russian Microelectronics. 2016. V. 45. № 6. P. 419-432.

- [2] Stenin V.Ya. Simulation of the characteristics of the DICE 28-nm CMOS cells in unsteady states caused by the effect of single nuclear particles // Russian Microelectronics. 2015. V. 44, № 5. P. 324–334.
- [3] Calin T., Nicolaidis M., Velazco R. Upset hardened memory design for submicron CMOS technology // IEEE Transactions on Nuclear Science. 1996. V. 43. № 6. P. 2874–2878.
- [4] Stenin V.Ya., Stepanov P.V. Basic memory elements using DICE cells for fault-tolerant 28 nm CMOS RAM // Russian Microelectronics. 2015. V. 44. № 6. P. 368–379.
- [5] Katunin Yu.V., Stenin V.Ya. Simulation of single event effects in STG DICE memory cells // Russian Microelectronics. 2018. V. 47. № 1. P. 20–33.
- [6] Loveless T.D., Jagannathan S., Reece T., Chetia J., Bhuva B.L., McCurdy M.W., Massengill L.W., Wen S.-J., Wong R., Rennie D. Neutron– and proton-induced single event upsets for D- and DICE-flip/flop designs at a 40 nm technology node // IEEE Transactions on Nuclear Science. 2011. V. 58. № 3. P. 1008–1014.
- [7] Azizi N., Najm F. A family of cells to reduce the soft-errorrate in ternary-CAM // Proceedings of Design Automation Conference. 2006. P. 779–784.
- [8] Eftaxiopoulos N., Axelos N., Pekmestzi K. Low leakage radiation tolerant CAM/TCAM cell // IEEE International On-Line Testing Symposium (IOLTS). 2015. P. 206–211.
- [9] Stenin V.Ya., Antonyuk A.A. Design of the CMOS Comparison Elements on STG DICE for a Content-Addressable Memory and Simulation of Single-Event Transients // Telfor Journal. 2017. V. 9. № 1. P. 61–66.
- [10] Stenin V.Ya., Antonyuk A.A., Katunin Yu.V., Stepanov P.V. Design of logical elements for the 65-nm CMOS translation lookaside buffer with compensation of single events effects // Proceedings of International Siberian Conference on Control and Communications. 2017. P. 1–6.
- [11] Katunin Yu.V., Stenin V.Ya. TCAD Simulation of the 65nm CMOS Logical Elements of the Decoders with Single-Event Transients Compensation // Proceedings of 2018 Workshop on Electronic and Networking Technologies (MWENT). 14–16 Mar. 2018. P. 1–4.
- [12] Garg R., Khatri S.P. Analysis and design of resilient VLSI circuits: mitigating soft errors and process variations. New York: Springer, 2010. P. 194–205.