

Алгоритмическое проектирование цифровых операционных устройств с пониженным энергопотреблением

Н.А. Авдеев, П.Н. Бибило

Объединенный институт проблем информатики НАН Беларуси,

avdeev_n@newman.bas-net.by, bibilo@newman.bas-net.by

Аннотация — Предлагаются способы описания на языке VHDL синтезируемых моделей цифровых операционных устройств, состоящих из управляющего и операционного автоматов. После выполнения синтеза логических схем в библиотеке проектирования заказных цифровых КМОП СБИС и моделирования результаты сравниваются по площади и энергопотреблению полученных схем. Существенного снижения энергопотребления логических схем можно добиться, используя соответствующее описание функционирования цифровых устройств на алгоритмическом уровне.

Ключевые слова — операционное цифровое устройство, синтез логической схемы, моделирование, VHDL, СБИС, КМОП-технология.

I. ВВЕДЕНИЕ

Снижение энергопотребления цифровых систем, реализуемых на элементной базе заказных сверхбольших интегральных КМОП-схем, является одной из важнейших проблем, стоящих в настоящее время как перед разработчиками интегральных схем, так и систем автоматизированного проектирования (САПР) [1 - 2]. Для снижения потребляемой мощности выбирают соответствующую синхронизацию, создают специальные библиотеки логических элементов, предлагают новые конструктивные и схемотехнические решения [3], например, доменные системы питания, для описания которых используют [4] специальный формат Unified Power Format (UPF). Современные синтезаторы осуществляют высокоуровневый синтез логических схем заменой описания каждой VHDL-конструкции функционально-структурным описанием соответствующей логической подсхемы. Результаты синтеза – логические схемы из библиотечных КМОП-элементов, их площадь и энергопотребление в значительной мере зависят от вида исходного VHDL описания, подаваемого на вход синтезатора [5]. Одним из эффективных подходов к снижению динамического энергопотребления является создание такого алгоритмического описания VHDL-проекта, в котором предусматривается уменьшение числа переключений сигналов в тех блоках, функционирование которых не требуется в какие-то моменты времени. В данной работе изучаются именно такие способы алгоритмического описания операционных устройств. Проводится

экспериментальное сравнение эффективности предложенных способов с традиционным способом VHDL-описания поведения цифрового устройства, который не учитывает аспект энергопотребления и ориентирован только на правильную функциональность проектируемой логической схемы. Предлагается методика алгоритмического описания операционных устройств. Для оценки энергопотребления логических схем используется подход, предложенный в работе [5] и позволяющий использовать быстродействующее логическое VHDL-моделирование структурных описаний (netlists) логических схем вместо трудоемкого схемотехнического моделирования Spice-описаний схем.

II. ПРИМЕР ОПЕРАЦИОННОГО УСТРОЙСТВА

Рассматривается класс цифровых операционных устройств, заданных синтезируемыми VHDL-описаниями. Операционное цифровое устройство, пример которого приведен на рис. 1, состоит из композиции управляющего и операционного блоков [5 - 7]. Штриховые связи на рис. 1 показывают, что не для всех далее рассматриваемых способов алгоритмического описания операционных устройств данные связи будут нужны.

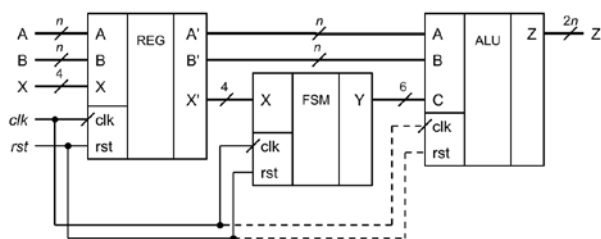


Рис. 1. Операционное устройство – композиция управляющего FSM и операционного ALU блоков

Управляющий автомат (FSM) в рассматриваемом примере цифрового устройства задан графом G переходов (рис. 2), функции переходов даны в табл. 1, где s_i – текущее состояние, s_j – следующее состояние автомата. На рис. 2 не показаны асинхронные переходы из любого состояния s_i в начальное состояние s_1 при единичном значении сигнала сброса rst . Двоичные входные векторы (порты) A , B назовем операндами операционного блока. В рассматриваемом примере

число n разрядов каждого из операндов A, B равно 16 либо 32. Функции ALU заданы в табл. 2.

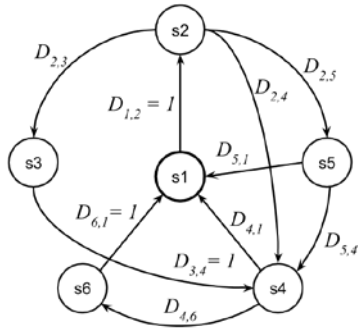


Рис. 2. Граф G переходов управляющего автомата FSM

Таблица 1

Таблица переходов управляющего автомата FSM

s_i	s_j	Условия перехода	Признак операции, y_i
s_1	s_2	$D_{1,2}=1$;	y_2
s_2	s_3	$D_{2,3} = x_1 \overline{x_2} \overline{x_3} \vee x_1 x_2$	y_3
	s_4	$D_{2,4} = x_1 \overline{x_2} x_3$	y_4
	s_5	$D_{2,5} = \overline{x_1}$	y_5
s_3	s_4	$D_{3,4} = 1$	y_4
s_4	s_1	$D_{4,1} = \overline{x_2}$	y_1
	s_6	$D_{4,6} = x_2$	y_6
s_5	s_1	$D_{5,1} = \overline{x_1} x_4$	y_1
	s_4	$D_{5,4} = \overline{x_4} \vee x_1 x_4$	y_4
s_6	s_1	$D_{6,1} = 1$	y_1

Таблица 2

Операции ALU

y_i	VHDL-операция	Тип операции
y_1	$Z = A \text{ and } B$	Логическая
y_2	$Z = A \text{ or } B$	
y_3	$Z = A \text{ xor } B$	
y_4	$Z = A \text{ xnor } B$	
y_5	$Z = A + B$	Арифметическая
y_6	$Z = A * B$	

Признаки шести операций y_i поступают на входной порт C блока ALU. В зависимости от признака операции (единичного значения сигнала y_i) функция операционного автомата может быть либо арифметической (сложение или умножение операндов A, B понимаемых как двоичные коды чисел без знака), либо

логической, в этом случае логическая операция выполняется над соответствующими разрядами двоичных векторов A, B .

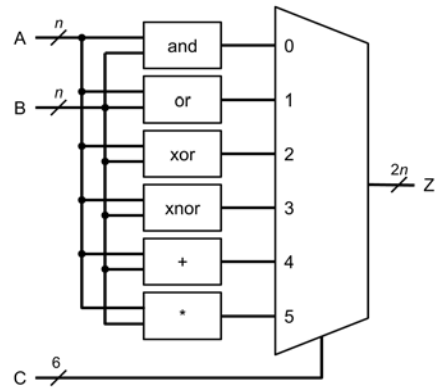


Рис. 3. Операционное устройство (ALU)

Функционирование VHDL-модели и реализующей ее синхронной логической схемы осуществляется по тактам. Смена состояния управляющего автомата выполняется по переднему фронту синхросигнала clk . В текущем такте вырабатывается признак операции и для операндов A, B блок ALU выполняет только одну из шести операций y_i . Управляющий автомат начинает функционирование из начального состояния s_1 , меняет свои состояния и всегда возвращается в начальное состояние. В процессе функционирования цепочки состояний управляющего автомата образуют на графе G различные циклы. В данном примере каждый переход из одного состояния в другое вызывает смену выполнения соответствующей операции в операционном блоке. Заметим, что на практике переход между состояниями FSM может вызывать выполнение нескольких операций ALU.

III. VHDL-МОДЕЛИ ОПЕРАЦИОННЫХ УСТРОЙСТВ

Способ 1 - традиционный. Алгоритмическое описание (без учета энергопотребления) известно для таких устройств [6, 7] и заключается в том, что каждая из операций выполняется в операционном блоке, однако на выход устройства подается лишь результат той операции, выполнение которой требуется в данном такте (рис. 3). Заметим, что основные аппаратные затраты приходится на схему, реализующую операцию арифметического умножения.

Для способов 2 - 6 структура ALU изображена на рис. 4, дополнительные блоки BLK для каждого из способов 2 - 6 имеют различную структуру и выполняют различные функции. Общий подход к сокращению энергопотребления состоит в том, чтобы уменьшить число переключений сигналов в логической схеме.

Способ 2 - обнуление операндов. Общая структура ALU для второго способа приведена на рис. 4, каждый из блоков BLK выполняет функцию обнуления значений операндов A, B для каждой из неиспользуемых

операций в текущем такте функционирования устройства.

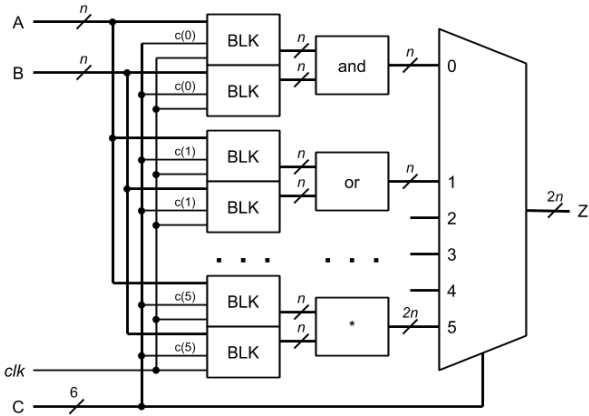


Рис. 4. Структура ALU (способы 2 - 6), BLK – дополнительные блоки

Говоря более точно, сокращение энергопотребления в способе 2 основывается на том, что для операций, у которых $y_i=0$, значения операндов A, B обнуляются и не меняются до тех пор, пока y_i не примет единичное значение. Таким образом, в соответствующей под схеме, реализующей операцию y_i , не будет переключений транзисторов, пока на входах нулевые значения сигналов не изменятся. Для каждой операции используется своя пара внутренних сигналов – операндов A, B . Блоки BLK (рис. 5) управляют передачей A, B к исполняемой операции и осуществляют обнуление операндов для неисполняемых в данном такте операций. Блок мультиплексоров передает на выход устройства результат Z выполненной логической либо арифметической операции.

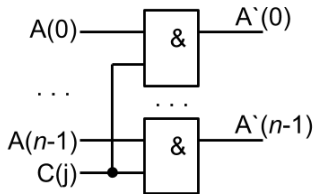


Рис. 5. Обнуление разрядов операнда A

Способ 3 - единичные значения всех разрядов операндов для невыполняемых операций. Данный способ мало отличается от способа 2. По сути, будет проверяться следующее: что выгоднее с точки зрения энергопотребления – подавать на входы под схем для невыполняемых операций нулевые, либо единичные значения операндов.

Способ 4 - сохранение значений операндов для невыполняемых операций. Общая структура ALU для четвертого способа VHDL-описания приведена на рис. 4, структура каждого из блоков BLK приведена на рис. 6. Для каждого из разрядов операнда B употребляются такие же схемы. В отличие от способов 2 и 3 такой подход минимизирует число переключений сиг-

налов, так как первоначальное обнуление (установка в единичное значение) вызывает также переключения сигналов.

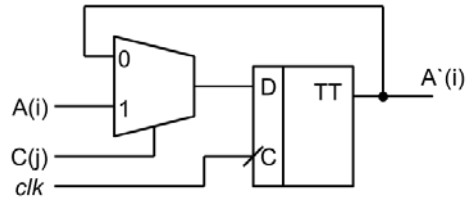


Рис. 6. Сохранение одного разряда $A(i)$ операнда A

Заметим, что данный способ требует значительного числа дополнительных регистров, в которых сохраняются значения операндов.

Способ 5 – сохранение значений операндов только для под схемы, реализующей операцию арифметического умножения (рис. 6) и обнуление для невыполняемых операций (рис. 5). Это связано с тем, что нецелесообразно использовать способ 4 для простых логических операций, так как энергопотребление дополнительных регистров будет превышать энергопотребление схем, реализующих логические операции.

Способ 6 – использование приема *clock gating* [8, 9] для сохранения значений операндов и уменьшения числа переключений синхросигнала clk . Схема BLK для каждой из шести операций ALU приведена на рис. 7.

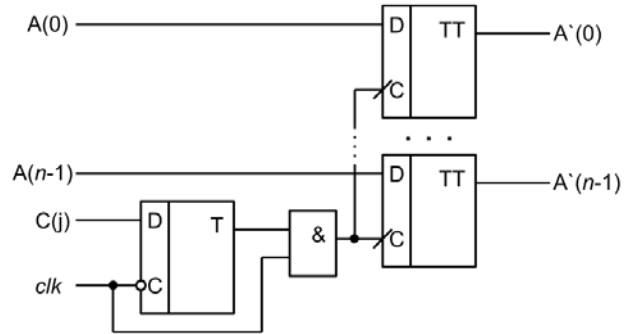


Рис. 7. Схема *clock gating* для способа 6

IV. ЭКСПЕРИМЕНТАЛЬНЫЕ ИССЛЕДОВАНИЯ

В этом разделе приводятся результаты трех экспериментов по схемной реализации и оценке энергопотребления логических схем, синтезированных по различным VHDL-моделям алгоритмического описания операционных устройств. Эксперименты проводились для значений $n=16$ и $n=32$ – числа разрядов операндов A, B . В каждом из экспериментов синтез схем осуществлялся в синтезаторе *LeonardoSpectrum* с одними и теми же опциями управления синтезом и построением дерева «*clock tree*» для синхросигнала, подаваемого на большое число регистров. В качестве таких опций (режимов синтеза) была выбрана опция *flatten* – синтез с устранением иерархии описания проекта, и опция *preserve* – синтез с учетом иерархии. Синтезатор *LeonardoSpectrum* может быть настроен на пользова-

тельскую библиотеку логических элементов. Целевой в экспериментах являлась библиотека проектирования заказных цифровых КМОП СБИС, состав библиотеки приведен в работе [10]. Что касается целевой библиотеки, то предложенные способы алгоритмического описания цифровых устройств, ориентированные на снижение энергопотребления, проверены на указанной библиотеке КМОП-элементов, для которых основную долю потребляемой мощности составляет мощность при переключении сигналов схемы (динамическая мощность).

Тестовыми последовательностями являлись псевдослучайные наборы, задающие операнды A , B и входные сигналы x_1 , x_2 , x_3 , x_4 управляющего автомата. Оценка энергопотребления (потребляемого тока) проводилась с помощью средств логического моделирования, имеющихся в системе CMOSLD [10]. Используемая методика оценки энергопотребления основана на характеристике библиотечных логических элементов по потребляемому току с помощью Spice-моделирования и составлении VHDL-моделей элементов, позволяющих подсчитывать значения потребляемых токов при логическом моделировании с учетом временных задержек распространения сигналов, полученных при синтезе в *LeonardoSpectrum*. Временные задержки, в свою очередь, учитывают нагрузки элементов схемы. Также учитывается не только различие значений задержки распространения сигнала, но и различия в энергопотреблении при переходах значений входных и выходных сигналов элементов из нулевых состояний в единичные, и наоборот – из единичных в нулевые. Информация о задержках элементов схемы записывается при синтезе в специальный текстовый SDF-файл (*SDF – Standard Delay Format*), в котором для каждого элемента указываются задержки распространения сигналов от входных полюсов к выходному полюсу. SDF-файл используется при последующем логическом моделировании. Площадь схем оценивалась в суммарном числе транзисторов в логических элементах, составляющих схему. Энергопотребление схемы оценивалось по среднему потребляемому схемой току в миллиамперах (мА).

Эксперимент 1. Операции ALU разные (табл. 2), $n=16$, синтез с устранением иерархии (режим *flatten*) и с учетом иерархии (режим *preserve*), длина теста $L=16000$ псевдослучайных тестовых наборов. Результаты эксперимента 1 приведены в табл. 3. Использование разных режимов синтеза (*flatten* и *preserve*) в эксперименте обусловлено тем, что при устранении исходной иерархии проводится совместная минимизация схемы, в результате которой подсхемы, реализующие отдельные операции ALU могут объединиться в схемы меньшие по площади, чем при раздельной минимизации, что может дать результат лучше с точки зрения энергопотребления.

Эксперимент 2. В данном эксперименте по сравнению с первым была увеличена разрядность операций ALU и сокращена длина теста $L=2000$, на котором проводилась оценка энергопотребления схемы. Резуль-

таты эксперимента 2 приведены в табл. 4. Особенность исследуемой схемы ALU состоит в том, что реализуемые операции (табл. 2) не равнозначны по площади, а соответственно и по доле, вносимой в общее энергопотребление блоком. Поэтому был проведен следующий эксперимент, в котором выбраны одинаковые по площади и энергопотреблению операции.

Эксперимент 3. Операции ALU одинаковые (арифметическое умножение), $n=16$, $n=32$, синтез с учетом иерархии (режим *preserve*), длина теста $L=2000$ наборов для $n=16$ и $L=200$ для $n=32$. Режим синтеза без сохранения иерархии в данном эксперименте не имеет смысла, т.к. синтезатор, оптимизируя схему оставит только один умножитель, вместо шести, что не позволит адекватно провести эксперимент. Результаты эксперимента 3 приведены в табл. 5 и позволяют оценить эффективность использования способов сокращения энергопотребления для нескольких сложных операций, в качестве которых была выбрана операция арифметического умножения.

Обсудим результаты экспериментов. Как и следовало ожидать, традиционный способ 1 алгоритмического описания приводит к наименьшей площади схемы, однако является самым неэффективным по потребляемому току – соответствующие схемы потребляют больший ток по сравнению со схемами, в которых используются приемы сокращения энергопотребления. Увеличение разрядности операндов операционного блока в два раза (32 разряда операндов A , B вместо 16) приводит к тому, что средний потребляемый ток 6.296 мА вырос в 7.4 раза (46.507 мА), в то время как площадь выросла только в 3.5 раза. Способ 2 обнуления операндов для невыполняемых операций оказался (по снижению потребляемого тока) в полтора раза более эффективной процедурой по сравнению с установкой единичных значений сигналов (способ 3). Следует учесть, что это справедливо для рассматриваемой библиотеки логических КМОП-элементов, и для других технологических библиотек может не выполняться. Второй и третий способы не требуют дополнительных триггеров. Сохранение значений операндов (способ 4) требует значительного увеличения числа дополнительных триггеров, однако его применение становится более эффективным с увеличением разрядности схемы операционного блока. Можно сделать вывод о том, что способ 4 алгоритмического описания может быть эффективен для тех операций, для которых сложность соответствующей подсхемы значительно превышает сложность вводимого регистра. Для простых логических операций сохранение значений операндов неэффективно, так как число транзисторов в регистрах значительно превышает сложность аппаратной реализации подсхем, реализующих простые логические операции. Поэтому наиболее эффективным оказался способ 5 – сохранение значений операндов только для операции арифметического умножения. Применение процедуры *clock gating* (способ 6) позволяет выигрывать в энергопотреблении тогда, когда синтез проведен по иерархии описания (каждая операция реализуется независимо своей подсхемой) и сложность схемной

реализации операции ALU значительно превосходит суммарную сложность вводимых дополнительных триггеров. Эксперименты показали также то, что для кодирования состояний управляющего автомата для минимизации энергопотребления целесообразно выбирать опцию *onehot* – кодирование каждого состояния автомата своей переменной. Использование опции *Gray* в синтезаторе *LeonardoSpectrum* приводит к кодированию состояний автомата кодом Грэя [11]. Основные выводы по проведенным экспериментальным исследованиям: *clock gating* и сохранение значений операндов для сложных операций, а также обнуление операндов для простых операций являются эффективными процедурами для алгоритмического проектирования операционных устройств с пониженным энерго-

потреблением, реализуемых в базе КМОП-элементов. При этом эффект применения таких приемов алгоритмического описания возрастает с увеличением сложности схем, реализующих вычислительные операции. Предложенные алгоритмические приемы снижения энергопотребления схем из КМОП-элементов целесообразно применять в тех случаях, когда имеются сложные вычислительные операции. Так как алгоритмические описания синтезатор *LeonardoSpectrum* превращает в логические схемы с определенной структурой, то для реализации каждой операции в виде независимой подсхемы ее алгоритмическое описание должно быть представлено в виде отдельного модуля проекта (*entity*) и синтез должен быть выполнен с опцией *preserve* [12].

Таблица 3

Результаты эксперимента 1 ($n=16$, операции различные, $L=16000$ тестовых векторов)

Алгоритмическое описание	Число триггеров	Площадь триггеров	Режим синтеза: <i>flatten, Gray</i>			Режим синтеза: <i>preserve, Gray</i>		
			Средний ток, мА	Задержка, нс	Общая площадь схемы	Средний ток, мА	Задержка, нс	Общая площадь схемы
Способ 1	39	1716	6.296	23.00	14943	6.512	23.01	14728
Способ 2	39	1716	2.139	33.29	17301	2.042	32.11	16912
Способ 3	39	1716	3.356	35.55	18181	3.733	33.59	17954
Способ 4	237	8052	4.395	21.87	24115	3.322	21.87	24198
Способ 5	71	2740	2.718	34.66	17389	2.498	32.97	17606
Способ 6	243	8172	2.179	21.90	22069	2.160	21.90	22068

Таблица 4

Результаты эксперимента 2 ($n=32$, операции различные, $L=2000$ тестовых векторов)

Алгоритмическое описание	Число триггеров	Площадь триггеров	Режим синтеза: <i>flatten, Gray</i>			Режим синтеза: <i>preserve, Gray</i>		
			Средний ток, мА	Задержка, нс	Общая площадь схемы	Средний ток, мА	Задержка, нс	Общая площадь схемы
Способ 1	74	3256	46.507	44.76	52353	48.018	44.99	54401
Способ 2	74	3256	8.683	56.24	58593	8.454	55.91	55861
Способ 4	458	15484	13.680	56.73	74355	16.544	56.59	75445
Способ 5	138	5304	11.428	56.19	57771	13.397	56.59	59139
Способ 6	470	15856	6.864	43.72	66455	7.986	43.93	67017

Таблица 5

Результаты эксперимента 3 (операции одинаковые - арифметическое умножение)

Алгоритмическое описание	$n=16; L=2000;$ <i>режим синтеза: preserve, onehot</i>				$n=32; L=200;$ <i>режим синтеза: preserve, onehot</i>			
	Средний ток, мА	Число триггеров	Площадь триггеров	Общая площадь схемы	Средний ток, мА	Число триггеров	Площадь триггеров	Общая площадь схемы
Способ 1	34.395	42	1848	69790	280.598	74	3256	277522
Способ 2	11.079	42	1848	69728	73.042	74	3256	278702
Способ 4	19.321	234	7992	79514	121.765	458	15544	298286
Способ 5	11.957	74	2872	71380	77.723	138	5304	281980
Способ 6	8.530	240	8304	75440	52.629	470	15586	289896

V. МЕТОДИКА АЛГОРИТМИЧЕСКОГО ПРОЕКТИРОВАНИЯ ОПЕРАЦИОННЫХ УСТРОЙСТВ

Проведенные экспериментальные исследования по алгоритмическому описанию операционных устройств и анализ результатов экспериментов позволяют предложить следующую методику получения их алгоритмических описаний, по которым синтезируются КМОП-схемы с пониженным энергопотреблением. Пусть исходными являются: (1) таблица (либо граф) переходов управляющего автомата; (2) состав и очередность логических либо арифметических операций, которые должны быть представлены синтезируемыми конструкциями языка VHDL; (3) целевая библиотека КМОП-элементов.

- 1) Провести отдельно синтез и определить сложность схемной реализации (в заданной целевой библиотеке КМОП-элементов) каждой из операций ALU либо каждой совокупности параллельно выполняемых операций ALU.
- 2) Для управляющего автомата подобрать способ кодирования внутренних состояний по критерию минимизации энергопотребления логической схемы, реализующей автомат. Как правило, для этого в *LeonardoSpectrum* используется опция *onehot*, однако в [10] имеются и другие способы кодирования внутренних состояний управляющих автоматов.
- 3) Подсчитать число добавляемых триггеров для сохранения значений операндов операций ALU.
- 4) Выбрать способ снижения энергопотребления для операций ALU: обнуление (для простых операций), сохранение значений либо *clock gating* (для сложных операций).
- 5) Провести схемный синтез всего VHDL-описания устройства, используя выбранный способ кодирования состояний управляющего автомата для каждой из опций *preserve*, *flatten* синтеза, получить оценки сложности (площади) и быстродействия полученных схем.
- 6) Провести моделирование на псевдослучайных тестах и определить среднее энергопотребление схем.
- 7) Выбрать приемлемый вариант схемы (алгоритмическое VHDL-описание) по параметрам площади, быстродействия и энергопотребления.

VI. ЗАКЛЮЧЕНИЕ

Используя различные способы алгоритмических VHDL-описаний цифровых устройств, состоящих из управляющего и операционного блоков, можно получать логические схемы различной площади, быстродействия и энергопотребления и выбирать, в зависимости от требований, приемлемый вариант. Существенного снижения энергопотребления синхронных цифровых устройств, рассматриваемого класса можно добиться, используя соответствующее описание их функционирования на алгоритмическом уровне. Изменение алгоритмического описания и изменение опций синтеза может значительно изменить сложность, быстродействие и характеристики энергопотребления схемы. Выполнять синтез для каждой операции ALU при

минимизации энергопотребления можно независимо, чтобы была возможность отключения функционирования соответствующей подсхемы, когда это требуется. С другой стороны, минимизация числа элементов схемы, связанная с глобальной оптимизацией логического описания всей схемы и выполнением синтеза без учета иерархии, также во многих случаях позволяет уменьшать энергопотребление. Поэтому сочетание выбранного способа алгоритмического описания, ориентированного на снижение энергопотребления, и режима синтеза схемы являются определяющими для характеристик получаемой логической схемы. Важным в выполненном исследовании явилось также то, что замена трудоемкого схемотехнического моделирования быстродействующим логическим VHDL-моделированием позволила быстро оценивать энергопотребление сложных логических схем КМОП-схем и существенно сокращать время проведения экспериментов.

ЛИТЕРАТУРА

- [1] Рабаи Ж. М., Чандракасан А., Николич Б. Цифровые интегральные схемы, 2-е изд.: Пер. с англ. М.: ООО «И.Д. Вильямс», 2007. – 912 с.
- [2] Немудров В., Мартин Г. Системы-на-кристалле. Проектирование и развитие. – М.: Техносфера, 2004. – 216 с.
- [3] Белоус А. И. Солодуха В. А., Шведов С. В. Космическая электроника – Кн. 1. – М.: Техносфера, 2015. – 696 с.
- [4] Шашков А.С. Проектирование цифровых систем с пониженным энергопотреблением с применением технологии UPF-описания подсистемы питания. // Информатика. – 2015. – № 3. – С. 90-104.
- [5] Бибило П.Н. Оценка энергопотребления цифровых устройств, представленных в виде композиции управляющего и операционного автоматов // Известия РАН. Теория и системы управления. – 2017. – № 3. – С. 97–117.
- [6] Skliarova I., Sklyarov V., Sudnison A. Design of FPGA-based Circuits using Hierarchical Finite State Machines – Tallinn: TUT Press, 2012. – 242 p.
- [7] Иванюк А. А. Проектирование встраиваемых цифровых устройств и систем. – Минск: Бестпринт, 2012. – 337 с.
- [8] Hai L., Bhunia S., Yiran C., Roy K., Vijaykumar T.N. DCG: Deterministic clock-gating for low-power microprocessor design // IEEE Trans. VLSI Systems, Vol. 12, № 3, 2004. P. 245–254.
- [9] Kaxiras S., Martonosi M. Idle unit switching activity: clock gating // Architectural Techniques for Low Power. – Morgan & Claypool Publishers, 2008. – Vol. 4. – 207 p.
- [10] Бибило П.Н., Авдеев Н.А., Кардаш С.Н., Кириенко Н.А., Ланкевич Ю.Ю., Логинова И.П., Романов В.И., Черемисинов Д.И., Черемисинова Л.Д. Система логического проектирования функциональных блоков заказных КМОП СБИС с пониженным энергопотреблением // Микроэлектроника. – 2017. – Т. 46. – № 1. – С.72–88.
- [11] Ashenden P. J., Lewis J. The Designer's Guide to VHDL. Third Edition. – Burlington, MA, USA. – Morgan Kaufmann Publishers. – 2008. – 909 p.
- [12] Бибило П.Н. Системы проектирования интегральных схем на основе языка VHDL. StateCAD, ModelSim, LeonardoSpectrum. – М.: СОЛОН-Пресс, 2005. – 384 с.

Algorithmic Design of Digital Operational Units with Low Power Consumption

N.A. Avdeev, P.N. Bibilo

United Institute of Informatics Problems of NAS of Belarus

avdeev_n@newman.bas-net.by, bibilo@newman.bas-net.by

Abstract — The lowering of power consumption in CMOS VLSI digital systems is one of the most important problems that appear now before developers of CAD systems [1 - 3]. One of the effective approaches to lowering the dynamic power consumption is creation of an algorithmic description of the VHDL project, which provides for the deactivation of some functional blocks which are not necessary in particular moments. Contemporary synthesizers fulfill the high level synthesis of logic circuits by substitution of description of each VHDL construction with functionally structural description of a proper logic subcircuit. The results of digital logic circuit synthesis (the number of logic elements and power consumption) depend significantly on initial VHDL code [4, 5]. During initial VHDL code development it is possible to use different approaches to improve some parameters of synthesized logic circuit. At the algorithmic level of the digital design, it is necessary to provide for disconnection of the units, which cause the higher power consumption [5]. In this paper such methods of algorithmic VHDL description of logic circuit are studied. The efficiency of the proposed methods is compared with the traditional method of VHDL-description which does not take into account the aspect of power consumption [6, 7] and is oriented only to the correct functionality of the developed logic circuit. To estimate the power consumption of logic circuits the approach [5] is used which allows applying high-speed logical VHDL-simulation of structural descriptions (netlists) of logic circuits instead of slow SPICE simulation. The main conclusion of the provided study is the following. The clock gating [8, 9] and the storage of operand values for complex operations as well as zero value setting for simple ones are effective methods for the VHDL description [10-13] of operational units with low power consumption implemented in the CMOS basis.

Keywords — digital design, digital logic synthesis, digital logic simulation, power consumption, VHDL, VLSI, CMOS.

REFERENCES

- [1] Rabai M., Chandrakasan A., Nicolich B. Digital Integrated Circuits: A Design Perspective. 2nd Edition. - Prentice Hall, 2003. - 491 p. (Russ. ed.: Rabai M., Chandrakasan A., Nicolich B. Cifrovye integral'nye shemy, Moscow: OOO «I.D. Vil'jams», 2007. 912 p.).
- [2] Nemudrov V., Martin G. Sistemy-na-kristalle. Design and development. - M.: Technosphere, 2004. 216 p. (in Russian).
- [3] Belous A. I., Solodukha V. A., Swedov S. V. Space electronics. Part 1. M.: Technosphere, 2015. 696 p. (in Russian)
- [4] Shashkov A.S. Design of low-power electronic systems using UPF power intent specification technology. // Informatics. 2015, no 3. pp. 90-104. (in Russian).
- [5] Bibilo P. N. Estimation of the Energy Consumption of Digital Devices Represented by a Composition of a Control FSM and an Arithmetic and Logic Unit // Izvestija RAN. Teorija i sistemy upravlenija. - 2017. - no 3. - pp. 97 - 117. (in Russian)
- [6] Skliarova I., Sklyarov V., Sudnison A. Design of FPGA-based Circuits using Hierarchical Finite State Machines - Tallinn: TUT Press, 2012. - 242 p.
- [7] Ivanyuk A. A. Design of the built-in digital devices and systems. - Minsk: Belsprint, 2012. - 337 p. (in Russian)
- [8] Hai L., Bhunia S., Yiran C., Roy K., Vijaykumar T.N. DCG: Deterministic clock-gating for low-power microprocessor design // IEEE Trans. VLSI Systems, Vol. 12, no 3, 2004. pp. 245 - 254.
- [9] Kaxiras S., Martonosi M. Idle unit switching activity: clock gating // Architectural Techniques for Low Power. - Morgan & Claypool Publishers, 2008. - Vol. 4. - 207 p.
- [10] Bibilo P. N. at all. The system of logical design of functional blocks of custom CMOS VLSI with the lowered energy consumption // Microelectronics. - 2017. - Vol. 46. - no 1. - pp.72-88. (in Russian).
- [11] Ashenden P. J., Lewis J. The Designer's Guide to VHDL. Third Edition. - Burlington, MA, USA. - Morgan Kaufmann Publishers. - 2008. - 909 p.
- [12] Bibilo P. N. Systems of Design of Integrated Circuits on the Basis of the VHDL. StateCAD, ModelSim, LeonardoSpectrum. - M.: SOLON Press, 2005. - 384 p. (in Russian).