

Развитие структуры и алгоритма работы устройства встроенного саморемонта статической оперативной памяти

Л.А. Щигорев

ЗАО НТЦ «Модуль»

Национальный исследовательский ядерный университет «МИФИ», l.shchigorev@module.ru

Аннотация — Предложена новая структура устройства встроенного саморемонта памяти с резервными элементами и алгоритм проведения операции поиска корректной конфигурации резервных элементов. Используется резервирование запасными столбцами. Показано преимущество разбиения информационного слова, благодаря которому уменьшается время проведения саморемонта для различных способов организации замены поврежденных элементов. Проведено функциональное моделирование и логический синтез предложенных моделей. Приведены оценки дополнительных затрат на аппаратуру и задержек прохождения сигнала для различных вариантов реализации блока памяти.

Ключевые слова — ремонт памяти, анализатор ремонта, самотестирование памяти, система на кристалле (СнК), резервирование, запасные столбцы, статическая оперативная память (СОЗУ).

I. ВВЕДЕНИЕ

Элементы памяти современных систем на кристалле (СнК) занимают значительную площадь. Эксперты группы Semico Research Corp дают оценку, что в ближайшем будущем до 75% площади современных СнК будут заняты элементами статических оперативных запоминающих устройств (СОЗУ) [1]. В различных реализациях реальных устройств эта величина может варьироваться от 50% до 95% площади микросхемы. Они становятся основными источниками дефектов, определяющими выход годных (ВГД) микросхем. Поэтому в процессе разработки подсистем памяти, в частности для блоков объемом от единиц килобайт, необходимо прибавлять к основным элементам памяти резервные. Неиспользованные после производства резервные элементы могут заменить поврежденные ячейки памяти во время эксплуатации микросхемы [2]. Также для интегральных микросхем, изготовленных по суб-100-нм технологическим процессам, наличие резервных элементов помогает нивелировать резкий рост отказывающихся ячеек СОЗУ при падении напряжения питания. На рис. 1 [3] приведена зависимость вероятности повреждения ячейки памяти P от напряжения питания V_{dd} , из которой авторами сделан вывод о 10-кратном росте вероятности отказа ячейки памяти при 50 мВ падении напряжения питания.

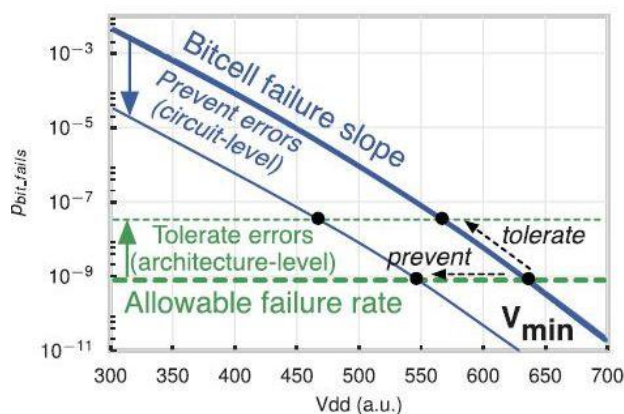


Рис. 1. Зависимость вероятности отказа ячейки памяти от напряжения питания

Снижение влияния понижения напряжения питания при помощи резервных элементов памяти использовано, в частности, при проектировании L3-кэш памяти объемом 20 МБ в процессоре Intel Xeon[4]. Поэтому резервные элементы могут как повышать ВГД микросхем, так и служить фактором, улучшающим отказоустойчивость.

II. САМОРЕМОНТ ПАМЯТИ

A. Способы хранения конфигурации резервных элементов

От способа хранения конфигурации резервных элементов зависит возможность многократной реконфигурации памяти. Программный способ выполнения замены поврежденных элементов памяти резервными (soft repair) отличается от аппаратного (hard repair) возможностью многократно генерировать конфигурацию резервных элементов. При реализации аппаратного способа конфигурация резервных элементов генерируется однократно, обычно в процессе производственного контроля, и записывается в энергонезависимую память при помощи плавких предохранителей или перемычек, электронных или лазерных. Программный же способ предполагает хранение информации о конфигурации резервных элементов в энергозависимом регистре. Информация о реконфигурации памяти попадает туда после выполнения операции самотестирования в результате

исполнения алгоритма, расположенного в энергонезависимом ПЗУ, или работы встроенного блока саморемонта памяти. После выключения или перезагрузки микросхемы информация о конфигурации резервных элементов исчезает из энергозависимых регистров.

В. Устройства встроенного самотестирования

Устройства встроенного самотестирования (УВСТ) призваны диагностировать нуждающиеся в ремонте блоки памяти. Они могут отличаться набором производимых тестов памяти, но в задаче саморемонта главным аспектом является не это. Существенные отличия в построении структуры и алгоритма работы устройства встроенного саморемонта (УВСТ) вносит способ, при помощи которого УВСТ информирует о результате проведенного тестирования. Если УВСТ снабжен выходным вектором ошибки, то УВСТ может по результатам первого тестирования сделать вывод о присутствии дефектов в основных элементах. При наличии дефектов можно сделать вывод о достаточности резервных элементов для замены. Если число дефектов не превышает количество резервных элементов, то память будет сконфигурирована для замены поврежденных элементов, а повторное тестирование подтвердит работоспособность комбинации основных и резервных ячеек. Однако УВСТ может не обладать таким диагностическим выходным портом, а выдавать только однобитный статус тестирования: «Без ошибок / С ошибками». В этом случае поиск неисправных основных элементов памяти придется осуществлять методом перебора [5]. Описываемое в данной работе УВСТ будет ориентировано на УВСТ с бинарной индикацией результата самотестирования.

С. Время, необходимое для поиска конфигурации резервных элементов

Отсутствие выходного вектора ошибки УВСТ увеличивает время поиска в зависимости от размера информационного слова [6]. Однако время будет также зависеть от типов и количества резервных элементов. В данном случае рассматриваются резервные столбцы.

Количество возможных комбинаций резервных элементов, а, следовательно, и максимальное количество операций самотестирования будет зависеть от способа замены. Рассматриваются два способа замены: сдвиг [7] и мультиплексирование [8]. При использовании сдвига блок памяти делится на области, элементы которых могут быть заменены одним резервным. Т.е. по количеству резервных элементов организуются внутренние части с одним резервным элементом. Например, для двух резервных столбцов блок будет разделен на младшую и старшую части информационного слова. В каждой из частей можно заменить один основной элемент. Максимальное число операций самотестирования для сдвига Z_{sh} определяется по формуле 1:

$$Z_{sh} = \left(\frac{N}{r}\right)^r + 1, \quad (1)$$

где N – размерность информационного слова, а r – количество резервных элементов.

При использовании мультиплексирования замена происходит по принципу «любой на любой», т.е. любой основной элемент может быть заменен любым резервным. Максимальное число операций самотестирования для мультиплексирования Z_{mux} будет равно числу сочетаний из основных элементов по количеству резервных. Значение вычисляется по формуле 2:

$$Z_{mux} = \frac{N!}{r!(N-r)!} + 1, \quad (2)$$

где N – размерность информационного слова, а r – количество резервных элементов.

Чем больше размерность информационного слова, тем больше возможных конфигураций резервных элементов. Разбиение блока памяти на блоки, содержащие меньшие по размеру информационные слова, приводит к общему сокращению максимального числа операций самотестирования и, как следствие, времени поиска поврежденных основных элементов.

Пусть Y_{sh} – величина, равная отношению Z_{sh} при реализации блока памяти из одного массива к Z_{sh} при реализации блока памяти той же размерности из нескольких массивов меньшей размерности. Эту величину можно вычислить по формуле 3:

$$Y_{sh} = \frac{\left(\frac{kN}{r}\right)^r + 1}{\left(\frac{N}{r}\right)^r + 1} \approx k^r, \quad (3)$$

где N – размерность информационного слова, k – количество блоков меньшей размерности, из которых собран блок памяти, а r – количество резервных элементов.

Пусть Y_{mux} – величина, равная отношению Z_{mux} при реализации блока памяти из одного массива к Z_{mux} при реализации блока памяти той же размерности из нескольких массивов меньшей размерности. Эту величину можно вычислить по следующей формуле:

$$Y_{mux} = \frac{\frac{(kN)!}{r!(kN-r)!} + 1}{\frac{N!}{r!(N-r)!} + 1} \approx \prod_{i=0}^{r-1} \frac{kN-i}{N-i}. \quad (4)$$

Таблица 1

Z, Y при различных N и r

N	8		32		128	
r	2	4	2	4	2	4
Сдвиг						
Z_{sh}	17	17	257	4097	4097	1048577
Y_{sh}	1	1	16	256	256	65536
Мультиплексирование						
Z_{mux}	29	71	497	35961	8129	10668001
Y_{mux}	1	1	17	513	290	152400

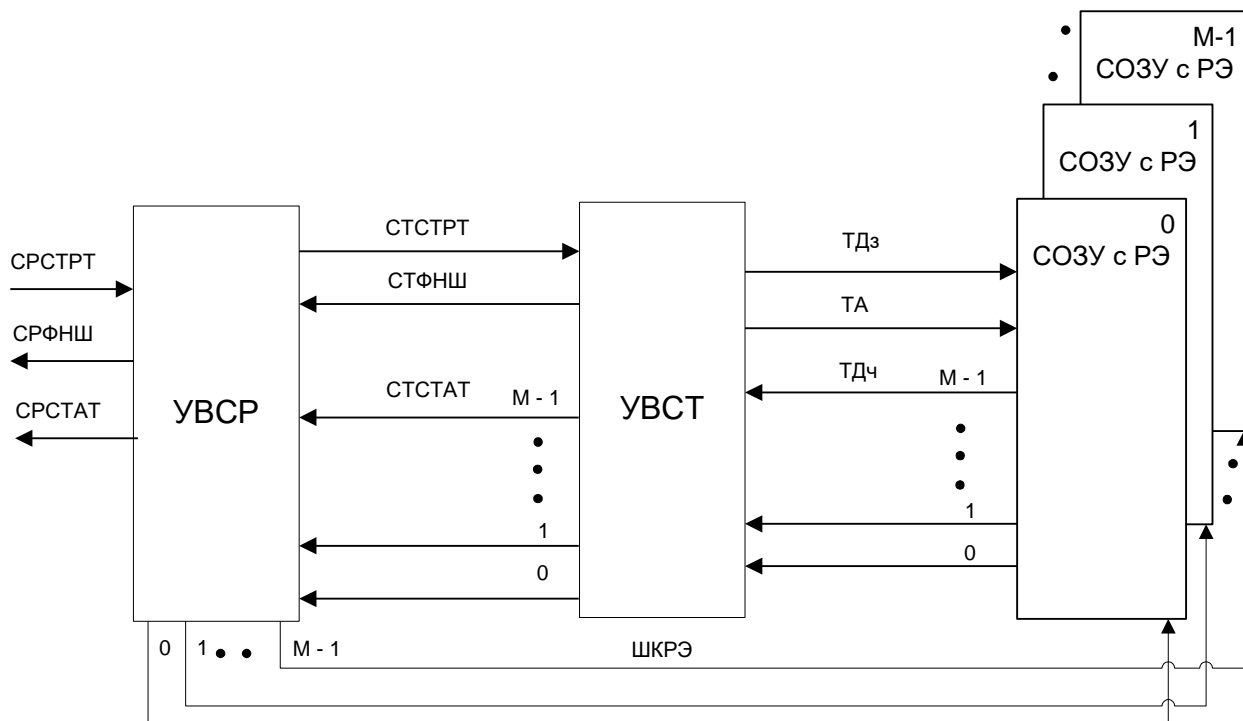


Рис. 2. Схема соединения УВСП, УВСТ и М массивов памяти с резервными элементами

В табл. 1 представлены величины Z и Y для различных N (8, 32 и 128 бит) и r (2 и 4 резервных столбцов). По эти данным можно сделать вывод, что разбиение блока памяти на несколько массивов меньшей разрядности может уменьшить максимальное число операций самотестирования для поиска корректной конфигурации резервных элементов в десятки тысяч раз для сдвига и сотни тысяч раз для мультиплексирования.

III. ЦЕЛЬ ИССЛЕДОВАНИЯ

Разрабатываемое УВСП должно осуществлять саморемонт памяти, имея информацию только об успешном/неуспешном прохождении операции самотестирования при заранее установленной конфигурации основных и резервных элементов памяти с помощью шины конфигурации резервных элементов (ШКРЭ). Поиск расположения поврежденных элементов производится путем перебора.

В соответствии с формулами 3 и 4 разбиение блока памяти на несколько блоков, содержащих меньшие по разрядности информационные слова, сократит максимальное количество операций саморемонта. В связи с этим актуальна разработка УВСП, предназначенных для групп массивов. В ходе работы будут получены данные по аппаратурным затратам и максимальным задержкам прохождения сигнала.

Целью данного исследования является развитие структуры и алгоритма работы УВСП, изложенных в [9].

IV. УСТРОЙСТВО ВСТРОЕННОГО САМОРЕМОНТА ПАМЯТИ

В составе СнК УВСП соединено с УВСТ и блоками СОЗУ с резервными элементами по схеме, изображенной на рис. 2. В качестве интерфейса с управляющим устройством (УУ) выступают входной сигнал старта операции саморемонта (CPCTPT), выходные сигналы окончания операции саморемонта (CPFNSH) и статуса (CPSTAT). УВСП соединен с УВСТ сигналами старта (STCTPT) и окончания (STFNSH) операции самотестирования, а также статуса каждого массива памяти (STCTAT[i]). УВСП соединено с каждым из массивов памяти (ШКРЭ[i]). УВСТ соединено с каждым из массивов шиной записи тестовых данных (ТДз), шиной тестового адреса (ТА) и шинами чтения тестовых данных (ТДч).

Предлагаемая структура УВСП показана на рис. 3. Управление операцией саморемонта осуществляется при помощи автомата состояний (АС). Для анализа статуса операции самотестирования введен M-входовый элемент И. Для генерации новой конфигурации резервных элементов необходимы счетчик операций самотестирования (СОСТ), дешифратор (ДШ СОСТ-КРЭ), счетчик обработанных блоков (СОБ), M регистров хранения конфигурации резервных элементов (РКРЭ). Для разрешения записи новой конфигурации резервных элементов введены демультиплексор из 1 в M (DMUX), M элементов 2-входовое-И.

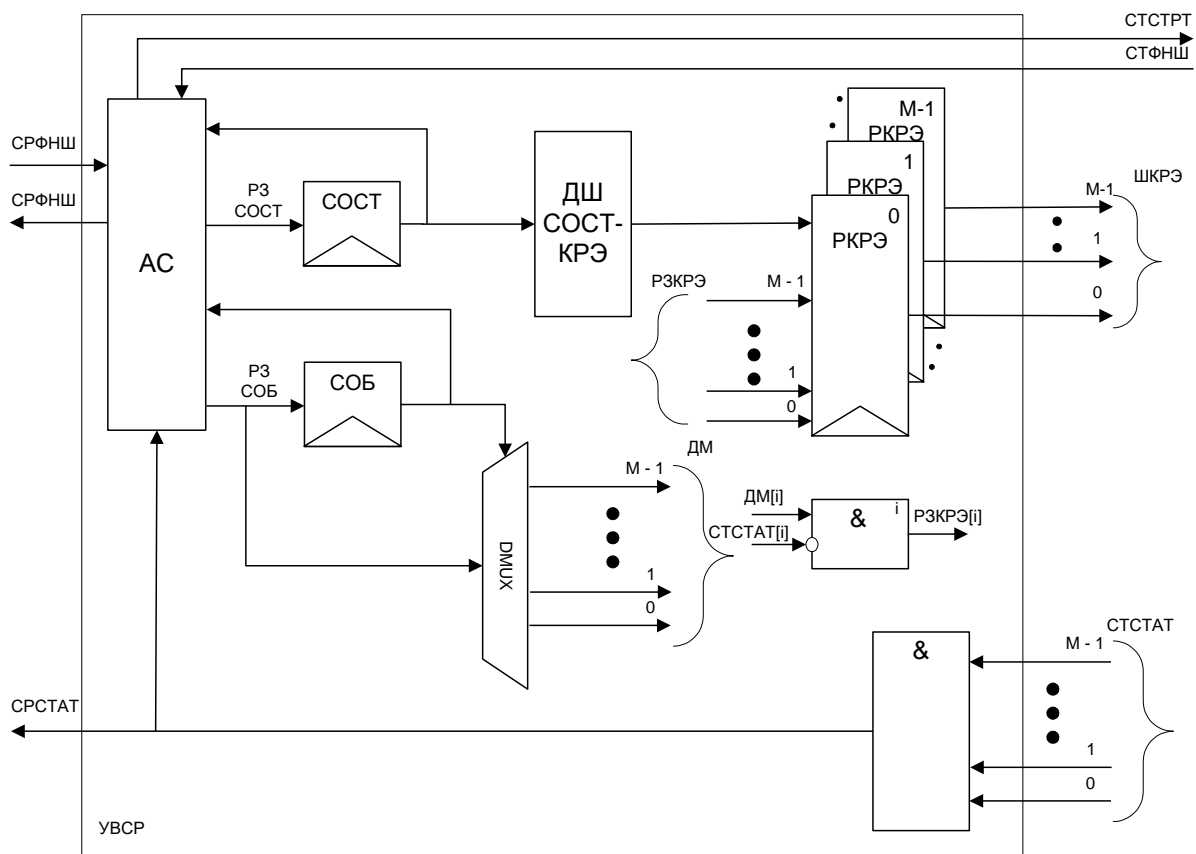


Рис. 3. Структура UVSP

Новая структура UVSP отличается от предлагаемой ранее отсутствием регистров хранения статус операции самотестирования (теперь они содержатся в UVST), наличием М-входового элемента И, а также отсутствием счетчика исправных блоков (СИБ).

Алгоритм работы предлагаемого UVSP изображен на рис. 4. АС принимает сигнал от УУ о необходимости провести саморемонт. СОСТ устанавливается в 0. После завершения первой (и любой последующей) операции самотестирования АС устанавливает СОБ в 0 и анализирует выход М-входового элемента И. Если он равен 1, то саморемонт завершился успешно (СРФНШ = 1, СРСТАТ = 1). После первой операции самотестирования это означает, что все основные ячейки памяти работают корректно и замену производить не надо. После любой последующей это означает идентификацию и замену всех неисправных элементов. Если выход М-входового элемента И равен 0, то это означает наличие ошибок в памяти. АС начинает инкрементировать СОБ. Для массивов с отрицательным статусом прохождения теста в соответствующие РКРЭ будут записаны новые конфигурации резервных элементов. Если тест завершился успешно, то РКРЭ не будет перезаписан. Для этого введена схема разрешения записи в РКРЭ, состоящая из DMUX и М элементов 2-входовое-И. По достижении СОБ максимального количества блоков (МКБ) будет инкрементирован СОСТ. Затем будет

осуществлена проверка достижения СОСТ максимального числа операций самотестирования (МОСТ). Если все возможные комбинации резервных элементов протестированы, то АС сигнализирует о неуспешной операции саморемонта (СРФНШ = 1, СРСТАТ = 0). В противном случае будет инициирована новая операция самотестирования.

V. МОДЕЛИРОВАНИЕ И АНАЛИЗ РЕЗУЛЬТАТОВ

Для исследования был выбран блок памяти, хранящий 4К 128-разрядных информационных слов. Этот блок был собран пятью способами: (А) из 16-и 8-разрядных блоков, (Б) 8-и 16-разрядных, (В) 4-х 32-разрядных, (Г) 2-х 64-разрядных и (Д) 1-го 128-разрядного массивов. Каждый из блоков содержит два резервных столбца, замена осуществляется сдвигом.

Был проведен синтез моделей UVSP, разработанных на языке Verilog HDL, для оценки аппаратных затрат и максимальных задержек прохождения сигнала. Результаты получены в САПР Cadence Encounter RTL Compiler для проектно-технологической нормы 28 нм КМОП при нормальных условиях ($V_{пит} = 1,0$ В; $T = 25$ °С). Результаты приведены в табл. 2. Данные предоставлены с учетом аппаратных затрат на UVST, реализующего алгоритм тестирования памяти March-LR [10].

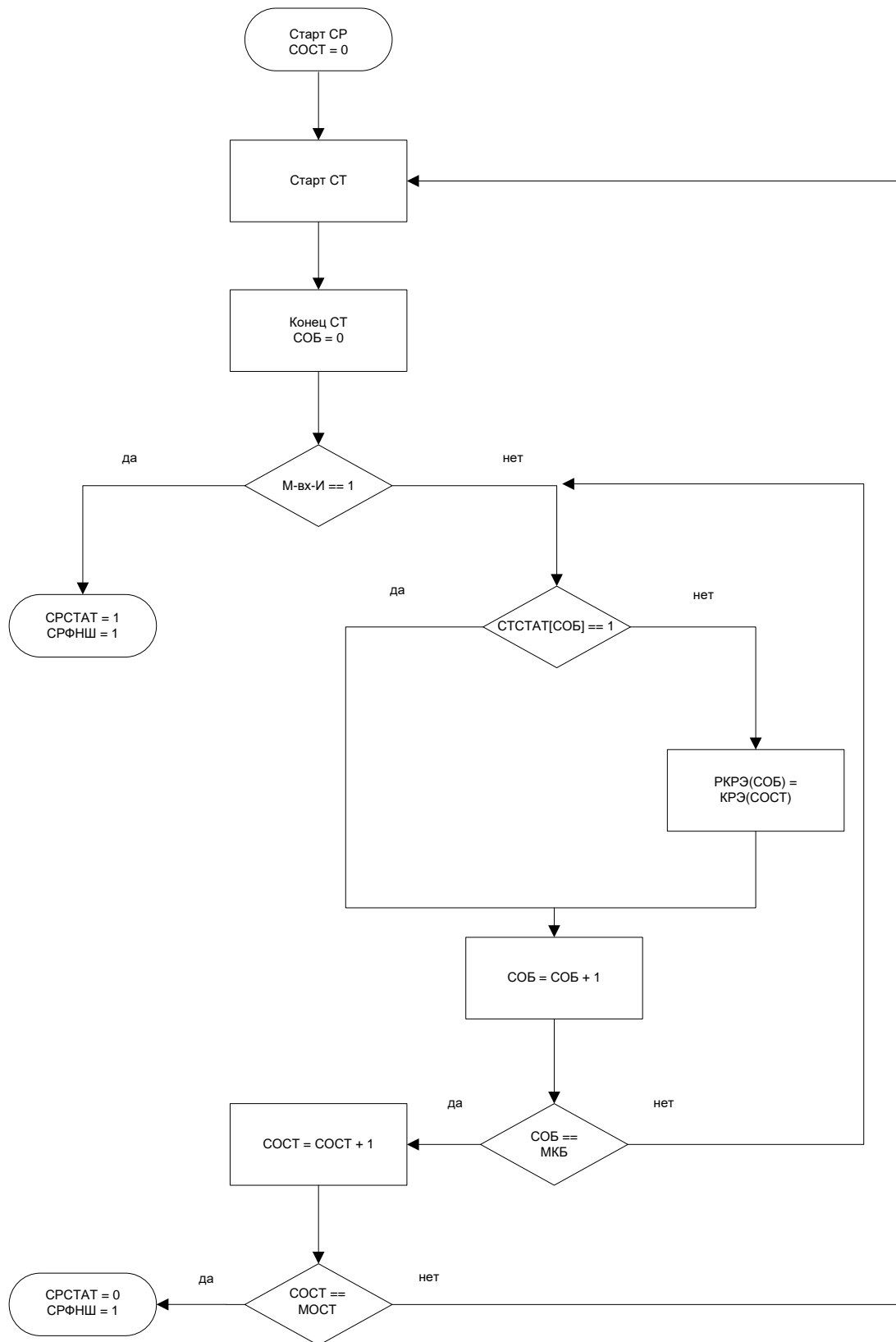


Рис. 4. Алгоритм работы УВСР

Таблица 2

Экспериментальные результаты

Способ реализации и блока 4К*128	$S_{\text{увср+ув}}$ ст, мкм ²	t_3 , пс	$S_{\text{увср+увст+рэ}}/S_{\text{память}}$, %	$S_{\text{увср+увст}}/S_{\text{память}}$, %
А	2291	385	17,92	1,22
Б	2164	319	13,14	1,55
В	1858	300	9,32	1,60
Г	1729	292	6,93	1,67
Д	1622	290	5,07	1,52

В таблице 2 представлены две относительные величины. Первая – отношение площади всей дополнительной аппаратуры, необходимой для реализации резервирования с учетом дополнительных столбцов, к площади незащищенной памяти. Наибольшие аппаратурные затраты на резервирование – 18% – для способа А в связи с тем, что при этой реализации число резервных столбцов максимальное – 32. Наименьшие – 5% – для способа Д – всего 2 резервных столбца. Вторая относительная величина – отношение площади блоков УВСР и УВСТ к площади, занимаемой матрицей памяти с учетом резервных столбцов. В этом случае величина не превышает 1,7% для любой реализации. Наименьшее значение – 1,22% – у способа А, т.к. площадь блока памяти при реализации из 16-и 8-разрядных массивов наибольшая [11].

В ходе синтеза показано, что площадь дополнительной аппаратуры при реализации способом А наибольшая – 2291 мкм². Это связано с наибольшим количеством массивов – 16, образующих блок 4000 x 128. Наибольший критический путь, вносящий задержку прохождения сигнала, также наблюдается для реализации способом А. Однако именно этот вариант реализации требует наименьшего максимального количества операций самотестирования для поиска поврежденных основных элементов и корректной конфигурации резервных – 17.

VI. ВЫВОДЫ

В данной статье рассмотрены новая структура и алгоритм работы УВСР, ориентированного на бинарную индикацию результата операции самотестирования.

Новая структура УВСР отличается от предлагаемой ранее наличием М-входного элемента И. Благодаря ему определение исправности всех блоков происходит непосредственно после окончания тестирования. Поэтому УВСР не нужны регистры хранения статуса операции самотестирования, а также счетчик исправных блоков.

Предложенные УВСР описаны на языке Verilog HDL. Проведено функциональное моделирование и синтез для проектно-технологической нормы 28 нм КМОП. Представлены абсолютные величины площадей, занимаемые УВСР и УВСТ, а также максимальные величины задержек на критических путях. Показано, что дополнительные затраты на резервные элементы памяти и блоки УВСР и УВСТ не превышают 18%.

ЛИТЕРАТУРА

- [1] URL: <http://www.semico.com/content/worldwide-soc-market-forecast-approach-200-billion-2019-says-semico-research> (дата обращения: 01.03.2018)
- [2] Краснюк А.А., Петров К.А. Особенности применения методов помехоустойчивого кодирования в суб-100нм микросхемах памяти для космических систем // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2012. Сб. тр. / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2012. №1. С. 638-641.
- [3] B. Zimmer, P.-F. Chiu, B. Nikolić and Krste Asanović Reprogrammable redundancy for SRAM-based cache V_{\min} reduction in a 28-nm RISC-V processor // IEEE Journal of Solid-State Circuits. 2017. V. 52. № 10. P. 2589–2600.
- [4] M. Huang, M. Mehalel, R. Arvapalli and S. He An Energy Efficient 32-nm 20-MB Shared On-Die L3 Cache for Intel® Xeon® Processor E5 Family // IEEE Journal of Solid-State Circuits. 2013. V. 48. № 8. P. 1954–1962.
- [5] Nordholz P., Otterstedt J., Niggemeyer D. A Defect-Tolerant Word-Oriented Static RAM with Built-In Self-Test and Self-Reconfiguration // 8th Annual IEEE International Conference of Innovative Systems In Silicon. 1996. P. 124-132.
- [6] Щигорев Л.А. Применение шины диагностики в задаче саморемонта блоков статической оперативной памяти // Нано- и микросистемная техника 2018. Т.20. №2. С. 98-106.
- [7] Щигорев Л.А. Методы исправления последствий отказов в блоках статической оперативной памяти // Тр. НИИСИ РАН. 2017. Т.2, № 2. С. 110-114.
- [8] Nicolaidis M., Achouri N., Boutobza S. Optimal reconfiguration functions for column of data-bit built-in self-repair // Design, Automation and Test in Europe Conference and Exhibition. Proc. 2003. P. 590-595.
- [9] Щигорев Л.А. Организация саморемонта блоков статической оперативной памяти с резервными элементами // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2016. Сб. тр. / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН. 2016. №3. С. 178-185.
- [10] Ad J. Van de Goor, G. N. Gaydadjiev, V. G. Mikitjuk, V. N. Yarmolik March LR: a test for realistic linked faults // 14th VLSI Test Symposium, Proceedings. 1996. P. 272-280.
- [11] Shchigorev L.A., Shagurin I.I. Combined methods of tolerance increasing for embedded SRAM // 1st International Telecommunication Conference “Advanced Micro- and Nanoelectronic Systems and Technologies” / IOP Conference Series: Materials Science and Engineering. 2016 V. 151, №1.

Structure and Algorithm Development of Built-in Self-repair for SRAM

L.A. Shchigorev

RC Module

National Research Nuclear University «MEPHI», l.shchigorev@module.ru

Abstract — Experts from the Semico Research Corp group estimate that soon up to 75% of the area of modern system-on-chips (SoC) will be occupied by elements of static random access memory (SRAM). Therefore, in the process of developing memory subsystems, it is necessary to add redundant memory elements. It's the most commonly used technique for memory yield improvement. But if the existing redundancy was not used in such a way, it can be used for the replacement of the faulty cells in the future. Also, for integrated circuits manufactured using sub-100-nm process, the availability of spare elements helps to level out the sharp growth of the failing SRAM cells number with the operating voltage reducing. To be able to reconfigure the memory during operation, only soft repair method can be used. This article is devoted to the repair of SRAM with redundant columns.

Two methods of substitution are considered: shift and multiplexing. When using a shift, the memory block is divided into areas whose elements can be replaced by a single spare one. When multiplexing is used, the replacement takes place according to the principle of "anyone on any," i.e., any primary element can be replaced by any reserve element.

The self-repair operation is preceded by the self-testing operation. The method of redundancy analysis depends on the way of the built-in self-test (BIST) status information producing. The proposed built-in self-repair (BISR) scheme interacts with the BIST unit, which has the only single-bit status signal. Therefore, the search of CRV is executed by using the exhaustive search. The equations for calculating the maximum number of self-test operations are presented in the article. For reducing the maximum number of test iterations, the word width dividing is provided.

Improved structure and algorithm for the device self-repair are presented in the article. For the area and timing penalties estimation, 4Kx128 memory block was selected. Five variants of memory organization were investigated: consisting from 8, 16, 32, 64 and 128-bit arrays. All blocks have two redundant columns – one column per each half of the word. BISR block was written in Verilog HDL. Functional modeling and synthesis for the for 28 nm process CMOS were carried out. The absolute values of the areas occupied by the BISR and BIST are presented, as well as the maximum values of the delays on critical paths. It is shown that the additional area costs for the redundant memory elements and the BISR and BIST units do not exceed 18%.

Keywords — memory repair, memory repair analyzer, self-test, system-on-chip (SoC), redundancy, spare columns, SRAM.

REFERENCES

- [1] URL: <http://www.semico.com/content/worldwide-soc-market-forecast-approach-200-billion-2019-says-semico-research> (access data: 01.03.2018)
- [2] Krasnyuk A.A., Petrov K.A. Osobennosti primeneniya metodov pomehoustojchivogo kodirovaniya v sub-100nm mikrosheмах pamjati dlja kosmicheskikh sistem (Features of application ECC methods in sub-100 nm SRAMs for space systems) // Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem - 2012. Sb. tr. / pod obshh. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2012. №1. S. 638-641.
- [3] B. Zimmer, P.-F. Chiu, B. Nikolić and Krste Asanović Reprogrammable redundancy for SRAM-based cache Vmin reduction in a 28-nm RISC-V processor // IEEE Journal of Solid-State Circuits. 2017. V. 52. № 10. P. 2589–2600.
- [4] M. Huang, M. Mehalel, R. Arvapalli and S. He An Energy Efficient 32-nm 20-MB Shared On-Die L3 Cache for Intel® Xeon® Processor E5 Family // IEEE Journal of Solid-State Circuits. 2013. V. 48. № 8. P. 1954–1962.
- [5] Nordholz P., Otterstedt J., Niggemeyer D. A Defect-Tolerant Word-Oriented Static RAM with Built-In Self-Test and Self-Reconfiguration // 8th Annual IEEE International Conference of Innovative Systems In Silicon. 1996. P. 124-132.
- [6] Shchigorev L.A. Primenenie shiny diagnostiki v zadache samoremonta blokov staticheskoy operativnoj pamjati (Built-in Self-Repair Application of a Diagnostic Bus) // Nano- i mikrosistemnaja tehnika 2018. T.20. №2. S. 98-106.
- [7] Shchigorev L.A. Metody ispravlenija posledstvij otkazov v blokah staticheskoy operativnoj pamjati (Methods of failures eliminating in SRAM) // Tr. NIISI RAN. 2017. T.2, № 2. S. 110-114.
- [8] Nicolaidis M., Achouri N., Boutobza S. Optimal reconfiguration functions for column of data-bit built-in self-repair // Design, Automation and Test in Europe Conference and Exhibition. Proc. 2003. P. 590-595.
- [9] Shchigorev L.A. Organizacija samoremonta blokov staticheskoy operativnoj pamjati s rezervnymi jelementami (Built-in self-repair for SRAM with redundant elements) // Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem - 2016. Sb. tr. / pod obshh. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2016. №3. S. 178-185.
- [10] Ad J. Van de Goor, G. N. Gaydadjiev, V. G. Mikitjuk, V. N. Yarmolik March LR: a test for realistic linked faults // 14th VLSI Test Symposium, Proceedings. 1996. P. 272-280.
- [11] Shchigorev L.A., Shagurin I.I. Combined methods of tolerance increasing for embedded SRAM // 1st International Telecommunication Conference "Advanced Micro- and Nanoelectronic Systems and Technologies" / IOP Conference Series: Materials Science and Engineering. 2016 V. 151, №1.