

Дельта-сигма модулятор с частотой дискретизации 10 МГц для 180 нм КМОП-технологии

М.М. Пилипко, Д.В. Морозов, М.С. Енученко

Санкт-Петербургский политехнический университет Петра Великого, m_m_pilipko@rambler.ru

Аннотация — Представлены результаты разработки дельта-сигма модулятора с тактовой частотой 10 МГц, реализованного по 180 нм КМОП-технологии с однополярным питанием 1,8 В. Диапазон рабочих частот входного сигнала до 40 кГц. Интегральная схема занимает на кристалле площадь 0,1 мм². Динамический диапазон модулятора составляет 72,3 дБ. Потребляемая мощность не превышает 5,7 мВт.

Ключевые слова — дельта-сигма модулятор, схемы на переключаемых конденсаторах, операционный транскондуктивный усилитель.

I. ВВЕДЕНИЕ

Следящие аналого-цифровые преобразователи (АЦП) на основе дельта-сигма модуляции [1-3] обладают низкой потребляемой мощностью и малыми габаритами по сравнению с АЦП другого принципа действия. Дельта-сигма АЦП состоит из модулятора и децимирующего фильтра. Модулятор выполняет преобразование аналогового сигнала в цифровой последовательный код, а децимирующий фильтр осуществляет прореживание импульсов выходного сигнала модулятора и фильтрацию. При этом

последовательный код модулятора преобразуется в параллельный код на выходе фильтра. Для реализации децимирующих фильтров применяют цифровые схемы [2-4]. Основные характеристики дельта-сигма АЦП непосредственно зависят от характеристик модулятора. Поэтому при разработке дельта-сигма АЦП реализации модулятора уделяется особое внимание. В статье представлены результаты разработки специализированной интегральной схемы дельта-сигма модулятора с тактовой частотой 10 МГц и разрешающей способностью 12 двоичных разрядов. Использовалась технология изготовления кристалла UMC 180 nm mixedmode/RF 1P6M.

II. СТРУКТУРНАЯ СХЕМА ДЕЛЬТА-СИГМА МОДУЛЯТОРА

В большинстве случаев при разработке интегральных схем используют дельта-сигма модулятор не ниже второго порядка. Структурная схема дельта-сигма модулятора второго порядка аналогична приведенной в работе [5] и показана на рис. 1.

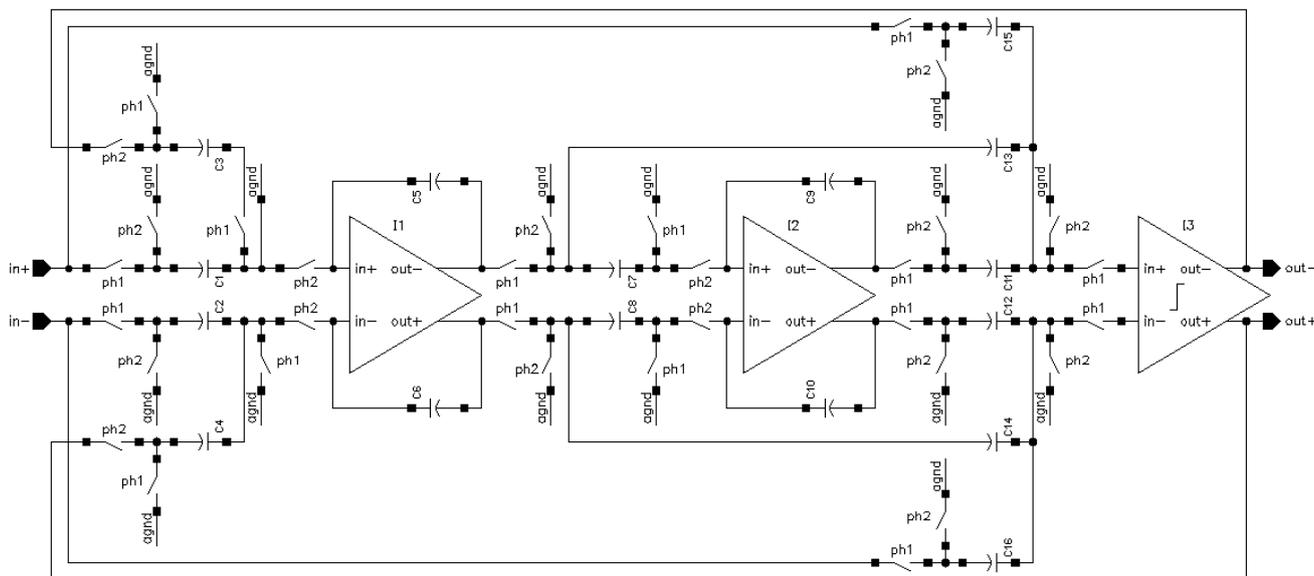


Рис. 1. Структурная схема дельта-сигма модулятора

Дифференциальный вход представлен $in-$, а выход обозначен $out+$ и $out-$. Модулятор состоит из двух интеграторов, реализуемых в виде КМОП-неинвертирующим и инвертирующим входами $in+$ и $in-$.

цепей на переключаемых конденсаторах с двухфазным управлением, компаратора и цепей прямой и обратной связи. Фазы коммутации ключей обозначены *ph1* и *ph2*. Напряжение в узле *agnd* соответствует рабочей точке по постоянному току и равно половине напряжения питания, т.е. 0.9 В. Номиналы конденсаторов в схеме модулятора были выбраны следующие:

$$\begin{aligned} C1=C2=2 \text{ пФ}; \\ C3=C4=C7=C8=C9=C10=C15=C16=1 \text{ пФ}; \\ C5=C6=C13=C14=5 \text{ пФ}; \\ C11=C12=2,5 \text{ пФ}. \end{aligned}$$

Для реализации интегратора на переключаемых конденсаторах в операционном усилителе не используется выходной повторитель напряжения, поэтому такой усилитель является операционным транскондуктивным усилителем (ОТУ). Схема ОТУ представлена в работе [6] и показана на рис. 2. Цепь на переключаемых конденсаторах формирует в узле *vcmb* сигнал обратной связи для компенсации синфазной составляющей выходного сигнала.

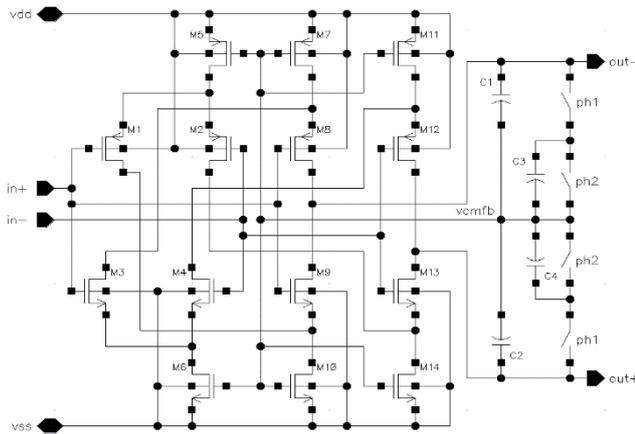


Рис. 2. Схема ОТУ

Схема компаратора аналогична используемой в работе [7] и приведена на рис. 3. Выход инвертора на транзисторах M16 и M17 соединен со входом данных D-триггера типа «защелка».

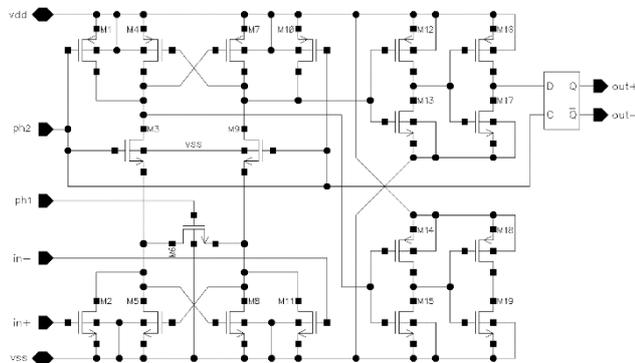


Рис. 3. Схема компаратора

Обычно при реализации модулятора используются только обратные связи к входам интеграторов. Выходной код модулятора второго порядка является

откликом схемы на входной сигнал, поступивший двумя тактами ранее. В результате сигнал на входе цепи интеграторов содержит разность входного сигнала и аналогового сигнала эквивалентного выходному коду, а также собственно входной сигнал, дифференцированный на предыдущих двух тактах. Интеграторы восстанавливают этот сигнал до полной амплитуды. Из-за ограниченного коэффициента усиления и скорости нарастания усилителей возникают нелинейные искажения на выходах интеграторов, что отражается в выходном коде модулятора.

В структурной схеме модулятора, показанной на рис. 1, используются прямые связи от входа схемы и от выхода первого интегратора к входу компаратора. Сигнал, поступающий на вход цепи интеграторов, содержит только разность входного сигнала и эквивалентного напряжения выходного кода. Сигналы на выходах интеграторов существенно меньше по амплитуде, чем в обычной структуре модулятора, что позволяет избежать нелинейных искажений и увеличить диапазон входных сигналов модулятора.

III. МОДЕЛИРОВАНИЕ ДЕЛЬТА-СИГМА МОДУЛЯТОРА

Результаты моделирования амплитудно-частотной и фазочастотной характеристик ОТУ при емкостях нагрузки на каждом из выходов по 7 пФ представлены на рис. 4: коэффициент усиления на низких частотах 60 дБ; частота единичного усиления 173 МГц; запас по фазе 81 градус.

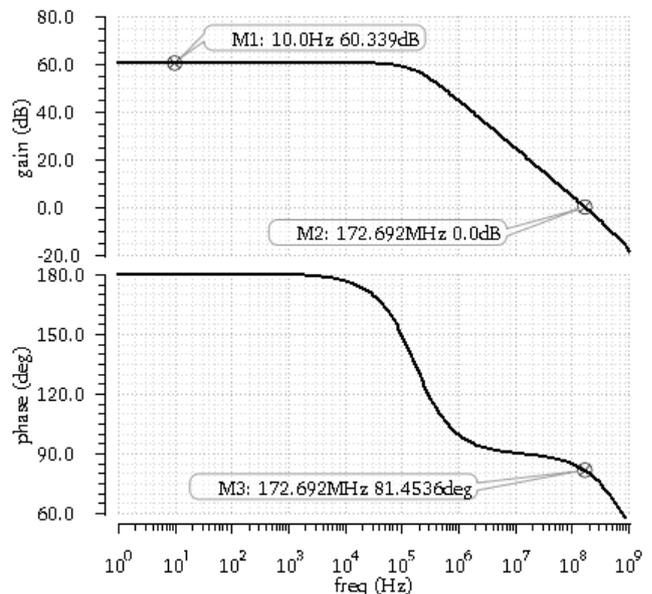


Рис. 4. Амплитудно-частотная и фазочастотная характеристики ОТУ

Основной характеристикой дельта-сигма модулятора является отношение сигнал/шум. На рис. 5 показан спектр выходного сигнала при воздействии на вход модулятора дифференциального гармонического сигнала амплитудой 0,5 В и частотой 38,758 кГц. Построение спектра выходного сигнала модулятора путем моделирования эквивалентной схемы, полученной в результате экстракции топологии

кристалла, оказывается длительным, поскольку тактовая частота 10 МГц значительно превосходит максимальную частоту входного сигнала 40 кГц. Динамический диапазон модулятора составляет 74,6 дБ, что обеспечивает разрешающую способность 12 двоичных разрядов.

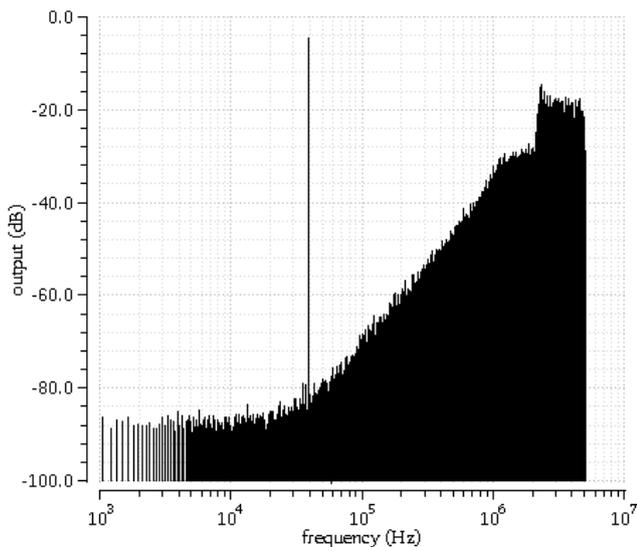


Рис. 5. Спектр выходного сигнала модулятора

IV. ЭКСПЕРИМЕНТ

Интегральная схема дельта-сигма модулятора была реализована по 180 нм КМОП-технологии компании UMC в рамках программы Европрактика. Разработанная топология кристалла модулятора приведена на рис. 6. Размер схемы модулятора на кристалле составляет $400 \times 250 \text{ мкм}^2$. Фотография экспериментального кристалла модулятора с контактными площадками показана на рис. 7.

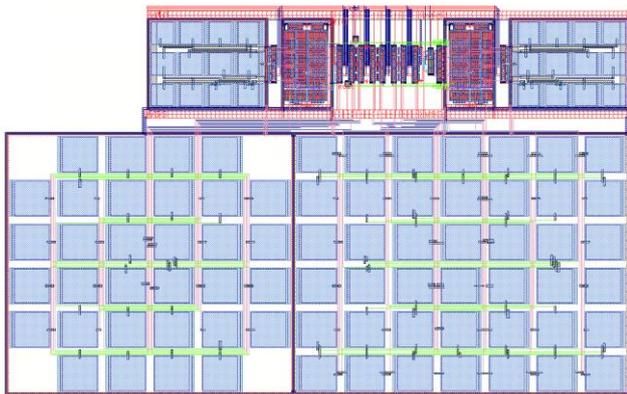


Рис. 6. Топология кристалла модулятора

Для получения входного дифференциального сигнала с динамическим диапазоном не менее 74 дБ по той же технологии в виде цепи на переключаемых конденсаторах был реализован перестраиваемый по частоте фильтр нижних частот Чебышева 3-го порядка. При тактовой частоте 4 МГц частота среза фильтра составляет 40 кГц. Фотография компоновки кристалла

фильтра приведена на рис. 8, а на рис. 9 показана измеренная амплитудно-частотная характеристика.

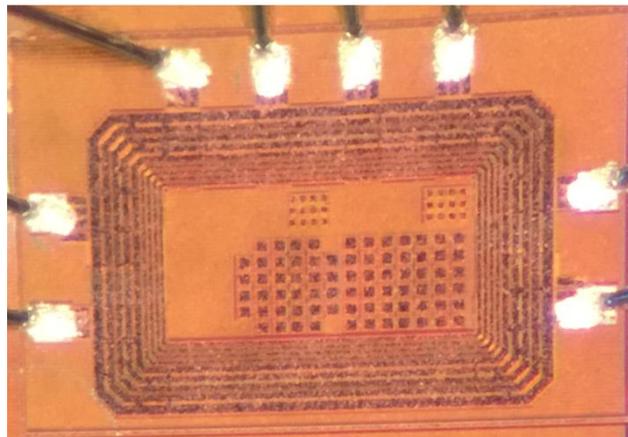


Рис. 7. Фотография кристалла модулятора

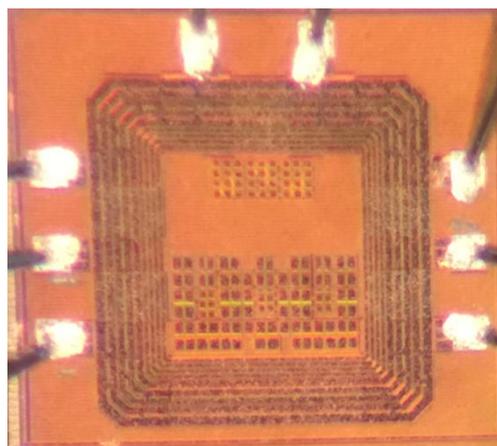


Рис. 8. Фотография кристалла фильтра нижних частот

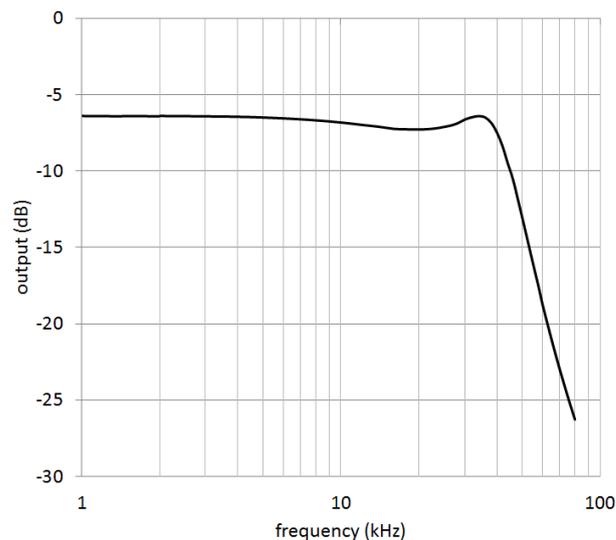


Рис. 9. Амплитудно-частотная характеристика фильтра нижних частот

Тактовый сигнал для модулятора частотой 10 МГц формировался генератором Agilent 81130A. Гармонический сигнал с генератора Agilent 81150A

поступал на вход фильтра нижних частот. Сигнал с выхода фильтра подавался на вход дельта-сигма модулятора. Выходной сигнал модулятора регистрировался логическим анализатором Agilent 16802A.

На рис. 10 показан спектр выходного сигнала модулятора при воздействии входного сигнала частотой 38,758 кГц. Данный спектр был получен в программе MATLAB после обработки сигналов, записанных логическим анализатором. Динамический диапазон модулятора составляет 72,3 дБ. Экспериментально полученный выходной спектр схож со спектром, представленным в рамках результатов моделирования на рис. 5. Модулятор обеспечивает разрешающую способность, близкую к 12 двоичным разрядам. Потребляемая мощность интегральной схемы модулятора не превышает 5,7 мВт.

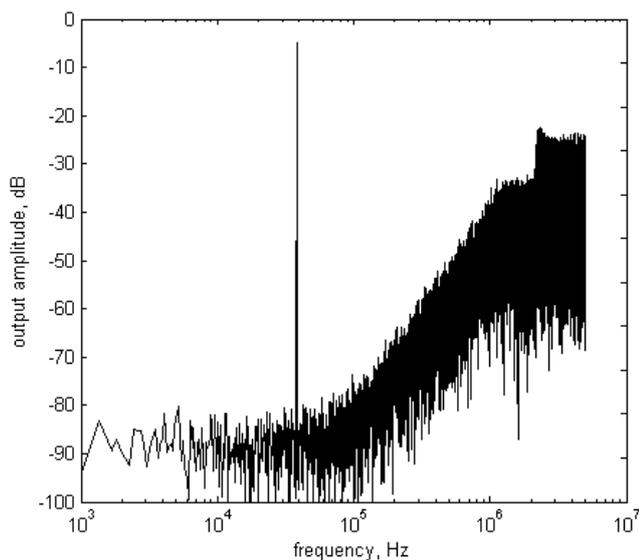


Рис. 10. Спектр выходного сигнала интегральной схемы модулятора

V. ЗАКЛЮЧЕНИЕ

Представлены результаты разработки специализированной интегральной схемы дельта-сигма модулятора с тактовой частотой 10 МГц. Диапазон рабочих частот входного сигнала достигает 40 кГц. В структурной схеме модулятора использовались как обратная связь от выхода схемы на вход первого интегратора, так и прямые связи от входа схемы и от

выхода первого интегратора к входу компаратора. Интегральная схема модулятора реализована по КМОП-технологии UMC 180 nm mixedmode/RF 1P6M в рамках программы Европрактика. Схема модулятора занимает на кристалле площадь 0,1 мм². Напряжение питания составляет 1,8 В. По результатам измерений потребляемая мощность не превышает 5,7 мВт, а динамический диапазон равен 72,3 дБ при входном дифференциальном гармоническом сигнале амплитудой 0,5 В. Модулятор обеспечивает разрешающую способность, близкую к 12 двоичным разрядам, и применим в составе схем калибровки и коррекции.

ЛИТЕРАТУРА

- [1] Самонов А.А. Проектирование универсального аналогового ядра сигма-дельта АЦП звукового диапазона // Проблемы разработки перспективных микроэлектронных систем - 2005. Сб. научных трудов / под общ. ред. А.Л.Стемпковского. М.:ИППМ РАН. 2005. С. 366-373.
- [2] Уваров А.К., Ракитин В.В. 16-ти разрядный 6.4 МГц КМОП сигма-дельта АЦП для обработки звука // Проблемы разработки перспективных микро- и наноэлектронных систем - 2008. Сб. научных трудов / под общ. ред. А.Л.Стемпковского. М.:ИППМ РАН. 2008. С. 370-373.
- [3] Тимошенко А.Г. Сигма-дельта АЦП для ёмкостного акселерометра // Проблемы разработки перспективных микро- и наноэлектронных систем - 2014. Сб. трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН. 2014. Ч. 3. С. 89-92.
- [4] Ракитин В.В., Уваров А.К. Разработка интегральных цифровых фильтров для сигма-дельта преобразователей с использованием системы Matlab // Проблемы разработки перспективных микроэлектронных систем - 2005. Сб. научных трудов / под общ. ред. А.Л.Стемпковского. М.:ИППМ РАН. 2005. С. 243-248.
- [5] Silva J., Moon U., Steensgaard J., Temes G.C. Wideband low-distortion delta-sigma ADC topology // Electronics Letters. 2001. V. 37. № 12. P. 737-738.
- [6] Морозов Д.В., Пилипко М.М., Коротков А.С. Дельта-сигма модулятор аналого-цифрового преобразователя с трюичным кодированием данных // Микроэлектроника. 2011. Т. 40. № 1. С. 64-75.
- [7] Коротков А.С., Пилипко М.М., Морозов Д.В., Хауэр Й. Дельта-сигма модулятор с частотой дискретизации 50 МГц на основе 0.18 мкм КМОП технологии // Микроэлектроника. 2010. Т. 39. № 3. С. 230-240.

Delta-Sigma Modulator with 10 MHz Clock Frequency in 180 nm CMOS Technology

M.M. Pilipko, D.V. Morozov, M.S. Yenuchenko

Peter the Great St. Petersburg Polytechnic University

m_m_pilipko@rambler.ru

Abstract — Analog-to-digital converters (ADC) based on delta-sigma modulation [1-3] have low power consumption and low chip area in comparison with other ADCs. A delta-sigma ADC consists of a modulator and a decimation filter. The modulator converts the analog input signal into the output bit stream. This bit stream is filtered and decimated by the filter. Decimation filters are digital circuits described in [2-4]. General characteristics of the delta-sigma ADC depend on the modulator characteristics. Therefore, the design of the delta-sigma modulator is a critical issue. In this paper, an integrated circuit of the delta-sigma modulator is discussed. For a test chip fabrication UMC 180 nm mixed mode/RF 1P6M technology was used. A typical solution for delta-sigma ADCs is the second or higher order modulator. In this work the second order delta-sigma modulator proposed in [5] is used. The modulator consists of two integrators, a comparator, a feedback and feedforwards. Each integrator is a switched-capacitor circuit. An amplifier used in the integrators is an operational transconductance amplifier (OTA). The OTA circuit is presented in [6]. The comparator circuit is described in [7]. Typically there are only feedbacks in the delta-sigma modulator. The modulator output code is a response to the input signal that was two clock cycles earlier. Therefore, signals that go to integrators contain not only a difference between the modulator input signal and a signal corresponding to the output code but also a highpass-filtered version of the input signal. Integrators restore this signal to a full amplitude. Because of nonlinear OTA gain and slew-rate effects, harmonic components of the input signal are created at the outputs of the integrators, and, as consequence, in the modulator output code. The proposed circuit uses a feedforward from the modulator input and the first integrator output to the comparator input. Thus, the two clock cycle delay between the input signal and the circuit response is eliminated. The input signal of integrators has only a difference between the modulator input signal and the signal corresponding to the output code. Signal amplitudes at outputs of the integrators are significantly less than in the typical structure, as consequence, non-linear distortion of the output signal is decreased. Simulation of OTA was performed with a 7 pF load on each output. Characteristics of OTA are as follows. DC gain is 60 dB. The unity gain frequency is 173 MHz. Phase margin is 81°. The main characteristic of the delta-sigma modulator is signal-to-noise and distortion ratio. The output spectrum of the modulator was obtained for the differential harmonic input signal of 38.758 kHz with an amplitude of 0.5 V by post-layout simulation. The dynamic range of the modulator is 74.6 dB, so ADC can achieve resolution of 12 bit. The integrated circuit of the delta-sigma modulator was designed for UMC 180 nm CMOS technology and fabricated through Europractice IC service. The modulator occupies 400×250 μm² without ESD ring and pads. A tunable 3-rd order Chebyshev low-pass filter was designed based on switched-capacitor circuits for the same technology. The filter has the dynamic range no less than 74 dB. The cutoff frequency is 40 kHz for the clock frequency of 4

MHz. Measurements were organized as follows. The 10 MHz clock frequency signal of the modulator was generated by Agilent 81130A. A test harmonic signal was provided to the filter input from Agilent 81150A. The filter output was connected to the input of the modulator. The modulator output signal was acquired by Agilent 16802A (logic analyzer). A signal from the logic analyzer was processed in MATLAB to obtain the modulator output spectrum. Measurements have shown that the dynamic range of the modulator is 72.3 dB for the 38.758 kHz input signal. Power consumption of the modulator is up to 5.7 mW with a 1.8 V supply voltage. The modulator suits as a part of calibration systems.

Keywords — delta-sigma modulator, switched-capacitor circuits, operational transconductance amplifier.

REFERENCES

- [1] Samonov A. A. *Proyektirovaniye universal'nogo analogovogo yadra Sigma-Del'ta ATSP zvukovogo diapazona (Design of the universal analogue core of Sigma-Delta ADC for the sound frequency range)* // Problemy razrabotki perspektivnykh mikroelektronnykh sistem - 2005. Sb. nauchnykh trudov / pod obsh. red. A.L.Stempkovskogo. M.: IPPM RAN. 2005. S. 366-373.
- [2] Uvarov A.K., Rakitin V.V. *16-ti razryadnyy 6.4 MGts KMOP sigma-del'ta ATSP dlya obrabotki zvuka (16-bit 6.4 MHz CMOS sigma-delta ADC for sound processing)* // Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem - 2008. Sb. nauchnykh trudov / pod obshch. red. A.L.Stempkovskogo. M.: IPPM RAN. 2008. S. 370-373.
- [3] Timoshenko A.G. *Sigma-del'ta ATSP dlya yomkostnogo akselerometra (Sigma-delta ADC for the capacitive accelerometer)* // Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem - 2014. Sb.trudov / pod obshch. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN. 2014. CH. 3. S. 89-92.
- [4] Rakitin V.V., Uvarov A.K. *Razrabotka integral'nykh tsifrovyykh fil'trov dlya sigma-del'ta preobrazovateley s ispol'zovaniyem sistemy Matlab (Design of integrated digital filters for sigma-delta converters using the Matlab system)* // Problemy razrabotki perspektivnykh mikroelektronnykh sistem - 2005. Sb. nauchnykh trudov / pod obshch. red. A.L.Stempkovskogo. M.: IPPM RAN. 2005. S. 243-248.
- [5] Silva J., Moon U., Steensgaard J., Temes G.C. *Wideband low-distortion delta-sigma ADC topology* // Electronics Letters. 2001. V. 37. № 12. P. 737-738.
- [6] Morozov D.V., Pilipko M.M., Korotkov A.S. *Delta-sigma modulator of the analog-to-digital converter with ternary data encoding* // Russian Microelectronics. 2011. V. 40. № 1. P. 59-69.
- [7] Korotkov A.S., Pilipko M.M., Morozov D.V., Hauer J. *Delta-sigma modulator with a 50-MHz sampling rate implemented in 0.18-μm CMOS technology* // Russian Microelectronics. 2010. V. 39. № 3. P. 210-219.