

Анализ потребляемой мощности схем суммирования сигналов сопоставления КМОП 65-нм регистров ассоциативной памяти

А.В. Антонюк^{1,2}, П.В. Степанов¹

¹ ФГУ ФНЦ НИИ системных исследований РАН

² Национальный исследовательский ядерный университет “МИФИ”, antonyuk@cs.niisi.ras.ru, stepanov@cs.niisi.ras.ru

Аннотация — Проведен анализ потребления мощности двух регистров ассоциативной памяти на основе сбоеустойчивых ячеек STG DICE. Рассмотрены регистры с двумя различными схемами суммирования – комбинационной логической схемой и схемой на основе линии сопоставления. Анализ результатов моделирования показал, что потребление схемы суммирования на основе комбинационной логики зависит от количества N входов схемы, изменивших свое состояние. Потребление схемы суммирования на основе линии сопоставления практически не зависит от N и соответствует потреблению схемы суммирования на основе комбинационной логики при изменении состояний половины входов схемы. Задержка выходного сигнала схемы с линией сопоставления на 22% меньше задержки выходного сигнала комбинационной логической схемы суммирования, а площадь, занимаемая схемой с линией сопоставления на кристалле, меньше на 35%.

Ключевые слова — ассоциативная память, комбинационная логика, логический элемент, моделирование, мощность, проектирование, топология.

I. ВВЕДЕНИЕ

Ассоциативная память (content addressable memory – CAM) используется в высокопроизводительных системах поточной обработки данных и в буферах ассоциативной трансляции (translation lookaside buffer – TLB) микропроцессоров. Регистры CAM осуществляют сопоставление хранящихся слов данных с входным словом и состоят из элементов сопоставления (ячеек ассоциативной памяти), элементов маскирования (ячеек маски) и схемы суммирования сигналов сопоставления. Блоки CAM обладают повышенной потребляемой мощностью по сравнению с традиционными ОЗУ из-за одновременного переключения элементов сопоставления и элементов схем суммирования во всех регистрах CAM. Уменьшение энергопотребления схем суммирования – приоритетная задача при проектировании блоков CAM.

Традиционно в регистре CAM сигналы сопоставления суммируются схемой на основе линии сопоставления (match line – ML), к которой подключаются все элементы сопоставления. Выходной сигнал сопоставления регистра формируется в зависимости от напряжения на линии ML. На сегодняшний день существуют схемы суммирования [1], [2] регистров CAM, позво-

ляющие уменьшить потребление в 5 раз и более по сравнению с традиционными регистрами CAM. В работе [1] предзаряд линии ML осуществляется коротким импульсом тока, а дифференциальный усилитель формирует выходной сигнал сопоставления в зависимости от напряжения на ML. В работе [2] предзаряд линии ML производится только при совпадении первых семи бит в регистре, что сокращает мощность, потребляемую цепями предзаряда в накопителе. В статье [3] проанализированы проблемы проектирования регистров CAM с линией сопоставления при увеличении разрядности: увеличение задержек, разделение заряда. Также обоснованы преимущества использования комбинационной логики в регистрах CAM по отношению к традиционной линии сопоставления. В работе [4] представлена модифицированная схема регистра с линией сопоставления, позволяющая снизить энергопотребление и избавиться от проблемы разделения заряда.

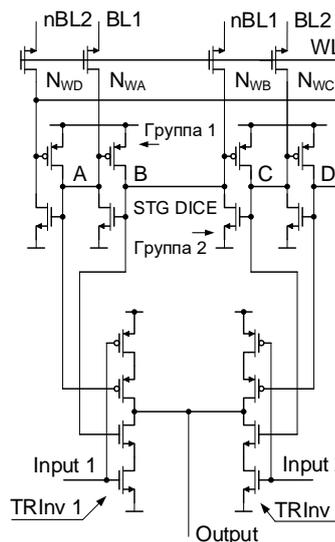


Рис. 1. Принципиальная схема элемента сопоставления на основе ячейки памяти STG DICE и логического элемента XOR на основе двух инверторов с третьим состоянием TRInv 1 и TRInv 2. Элемент сопоставления – половина элемента “2 CAM cells”

Традиционно блоки ассоциативной памяти проектируются на основе 6-транзисторных ячеек памяти (6T). В работе [5] описаны методы, использованные

при проектировании 28-нм КМОП TLV. С уменьшением проектных норм до 65 нм и ниже увеличилась чувствительность 6Т ячеек к воздействию одиночных ядерных частиц. Новые ячейки STG DICE (Spaced Transistor Groups Dual Interlocked Cells) [6], [7] имеют повышенную устойчивость к эффектам воздействия одиночных ядерных частиц и являются перспективным решением для использования в регистрах САМ с повышенной сбоеустойчивостью.

В работе проведен анализ потребляемой мощности регистров САМ на базе ячеек STG DICE, представлено сравнение схем суммирования сигналов сопоставления: схемы на основе комбинационной логики (combinational logic – CL) и схемы на основе линии сопоставления ML.

II. ЭЛЕМЕНТЫ РЕГИСТРА АССОЦИАТИВНОЙ ПАМЯТИ

Регистр ассоциативной памяти включает в себя элементы сопоставления и ячейки маски. Схема элемента сопоставления на основе ячейки памяти STG DICE [8] представлена на рис. 1. Сравнение хранимых данных с данными, поступающими на входы Input 1 и Input 2, осуществляет логический элемент “Исключающее ИЛИ” (XOR), выполненный на основе двух инверторов с третьим состоянием TRInv 1 и TRInv 2. В зависимости от совпадения или несовпадения бита, хранящегося в ячейке, и бита, поданного на вход элемента, формируется состояние выхода элемента сопоставления (Output).

Транзисторы элемента сопоставления разделены на два блока так, что воздействие одиночной ядерной частицы с линейными потерями энергии на треке до 60 МэВ×см²/мг лишь на один блок не приводит к сбою ячейки, а приводит только к кратковременному импульсу помехи на выходе элемента сопоставления, что подтверждается TCAD моделированием [9]. На топологии между двумя блоками транзисторов одного элемента сопоставления расположен блок соседнего эле-

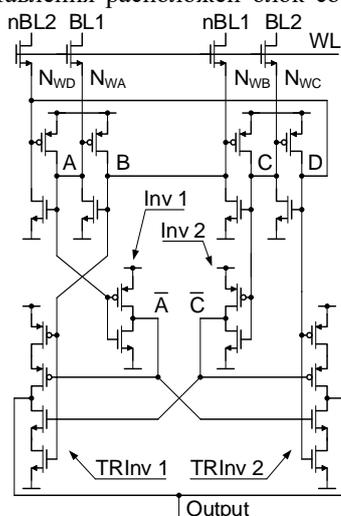


Рис. 2. Принципиальная схема ячейки маски (mask cell) на основе ячейки памяти STG DICE с декодером для считывания данных в стационарном и нестационарном состояниях STG DICE

мента сопоставления. При размерах блока 2.4×2.45 мкм такое чередование обеспечивает расстояние между взаимно чувствительными узлами, находящимися в разнесенных блоках, более 4 мкм. Это практически исключает вероятность одновременного воздействия частицы на два блока одного элемента сопоставления. Два элемента сопоставления с чередованием блоков на топологии образуют элемент “2 CAM cells”.

Ячейка маски (mask cell) состоит из ячейки памяти STG DICE и декодера для считывания данных в нестационарных состояниях STG DICE, состоящего из двух инверторов Inv 1 и Inv 2, и двух инверторов с третьим состоянием TRInv 1 и TRInv 2 [10]. Схема ячейки маски приведена на рис. 2.

III. СУММИРОВАНИЕ СИГНАЛОВ СОПОСТАВЛЕНИЯ В РЕГИСТРАХ АССОЦИАТИВНОЙ ПАМЯТИ

Выходной сигнал сопоставления регистра ассоциативной памяти формируется схемой суммирования сигналов сопоставления всех элементов в составе регистра. Рассматриваемые в работе регистры ассоциативной памяти включают в себя 8 ячеек маски, каждая из которых, в зависимости от ее логического состояния, обеспечивает маскирование результата сопоставления двух определенных бит слова.

Регистр со схемой суммирования на основе комбинационной логики включает в себя три блока сопоставления (block of matching – BM), а также два блока сопоставления и маскирования (block of matching and masking – BMM) [11]. Блок BM состоит из восьми элементов сопоставления (т.е. четырех элементов “2 CAM cells”) и логического элемента с компенсацией помехи 8NAND [12]. Схема блока BM представлена на рис. 3а. Блок BMM состоит из четырех элементов “2 CAM cells”, четырех ячеек маски, а также комбинационной логической схемы, выполняющей суммирование сигналов сопоставления восьми элементов сопоставления блока BMM с учетом маскирования. Схема ¼ части BMM представлена на рис. 3б. Схема регистра ассо-

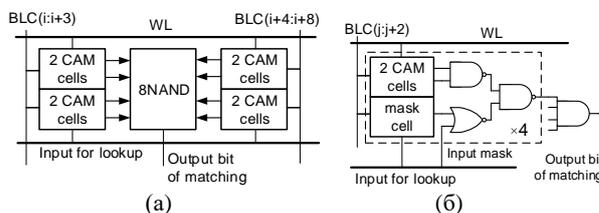


Рис. 3. Функциональные схемы блоков регистра с комбинационной логикой (CL): (а) – блок сопоставления (block of matching – BM); (б) – ¼ часть блока сопоставления и маскирования (block of matching and masking – BMM)

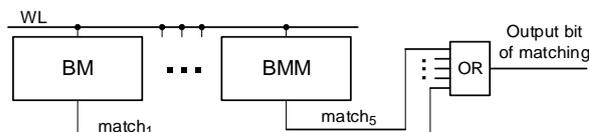


Рис. 4. Регистр ассоциативной памяти со схемой сопоставления на основе комбинационной логики

циативной памяти с комбинационной логикой приведена на рис. 4. Суммирование сигналов сопоставления блоков ВМ и ВММ выполняется логическим элементом 5OR, формирующим сигнал сопоставления для регистра – Output bit of matching. Таким образом, схема суммирования на основе комбинационной логики состоит из элементов 8NAND в составе ВМ, логических элементов в составе ВММ и логического элемента 5OR регистра и представляет из себя многоходовой комбинационный логический элемент И-НЕ (NAND) с возможностью логического маскирования отдельных входов.

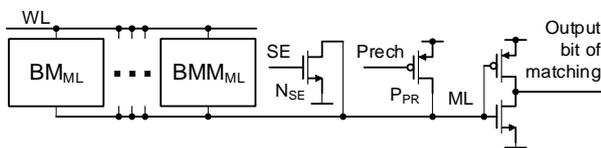


Рис. 5. Схема регистра ассоциативной памяти с линией сопоставления ML, включающего три блока сопоставления данных BM_{ML} и два блока сопоставления и маскирования данных BMM_{ML}

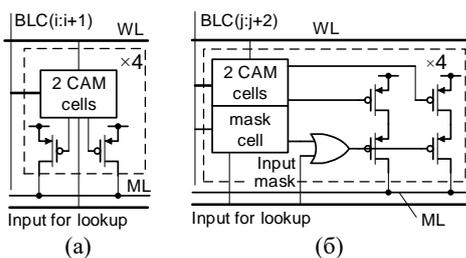


Рис. 6. Схемы блоков регистра ассоциативной памяти с линией сопоставления ML: (а) – ¼ часть блока сопоставления данных BM_{ML} ; (б) – ¼ часть блока сопоставления и маскирования данных BMM_{ML}

В регистре с линией сопоставления ML реализована схема “тонки токов” (current race scheme), предложенная в [4]. Схема регистра с ML представлена на рис. 5. Регистр с линией сопоставления включает в себя три блока сопоставления BM_{ML} и два блока маскирования и сопоставления BMM_{ML} . На рис. 6а и 6б представлены схемы блоков BM_{ML} и BMM_{ML} соответственно. Блок сопоставления включает в себя четыре элемента “2 CAM cells”, выходные сигналы которых поступают на затворы ПМОП транзисторов, соединяющих ML с шиной питания. Блок BMM_{ML} включает в себя четыре элемента “2 CAM cells” и четыре ячейки маски “mask cell”. Для реализации маскирования ис-

пользуются дополнительные ПМОП транзисторы, включенные последовательно с транзисторами, управляемыми маскируемыми элементами сопоставления. В зависимости от состояния ячейки маски, дополнительные транзисторы закрываются, исключая влияние маскируемых бит на результат сопоставления в регистре. Элементы сопоставления “2 CAM cells” и ячейки маски “mask cell” в регистре с ML такие же, как и в регистре с CL.

При сопоставлении данных в регистре, линия ML, предварительно заряженная до напряжения питания, по высокому уровню сигнала SE подключается к общей шине через транзистор N_{SE} . При совпадении слова, хранящегося в регистре, с входным словом шины Input for lookup все ПМОП транзисторы блоков BM_{ML} и BMM_{ML} закрыты, ML разряжается до низкого логического уровня, а выход переходит в состояние логической “1”. При несовпадении битов в элементе сопоставления, ПМОП транзистор, управляемый данным элементом открыт, и линия ML подключена к шине питания. Тогда через ML протекает сквозной ток с шины питания на общую шину пока сигнал SE находится в высоком логическом уровне. Затем SE переходит в низкий уровень, транзистор N_{SE} закрывается, и линия ML возвращается в высокое логическое состояние, а выход – в состояние логического “0”.

IV. АНАЛИЗ ПОТРЕБЛЕНИЯ КОМБИНАЦИОННОЙ ЛОГИКИ И ЛИНИИ СОПОСТАВЛЕНИЯ

В регистре с комбинационной логической схемой суммирования мощность потребляется элементами сопоставления и комбинационной логической схемой. При изменении данных, поданных на входы Input 1, Input 2 элемента сопоставления, выход элемента сопоставления изменяет свое логическое состояние на противоположное. Таким образом, мощность, потребляемая элементами сопоставления регистра, зависит от количества элементов сопоставления, изменивших выходное состояние в данном цикле поиска. Мощность, потребляемая комбинационной логикой, зависит от количества переключившихся логических вентилей. Это количество зависит от количества элементов сопоставления, изменивших свое состояние.

В регистре с линией сопоставления мощность также потребляется элементами сопоставления и самой линией сопоставления. Потребление элементов сопоставления в двух различных регистрах равно, поскольку элементы в этих регистрах одинаковы. Потребление

Таблица 1

Значения потребляемой мощности регистров с комбинационной логикой (CL) и линией сопоставления (ML) при различных состояниях выходов элементов сопоставления, мкВт

| Состояния выходов элементов сопоставления | Элементы сопоставления | CL | ML | Регистр с CL | Регистр с ML |
|---|------------------------|-----|----|--------------|--------------|
| Несовпадение всех бит → совпадение всех бит | 268 | 97 | 48 | 360 | 316 |
| Совпадение всех бит → несовпадение всех бит | 99 | 104 | 57 | 202 | 155 |
| Несовпадение всех бит → несовпадение 1 бита | 264 | 75 | 52 | 345 | 316 |
| Несовпадение всех бит → совпадение 1 бита | 6 | 3 | 57 | 9 | 63 |
| Совпадение 1 бита → несовпадение всех бит | 3 | 2 | 56 | 5 | 58 |

схемы с ML зависит от результата сопоставления в регистре. При совпадении данных ML отключена от шины питания и разряжается через транзистор N_{SE} . В таком случае мощность, потребляемая схемой с ML, ограничена значением $P_{ML} = V_{DD}^2 \cdot C_{ML} / T_S$, где V_{DD} – напряжение питания, C_{ML} – емкость линии сопоставления, T_S – длительность операции поиска. При несовпадении в регистре, через PМОП транзисторы линии сопоставления и транзистор N_{SE} протекает сквозной ток с шины питания на общую шину. В таком случае потребляемая мощность определяется длительностью импульса SE, отпирающего транзистор N_{SE} , и величиной сквозного тока, которая определяется параметрами транзисторов элементов VM_{ML} и BMM_{ML} и транзистора N_{SE} , а также количеством открытых PМОП транзисторов, которое равно количеству элементов сопоставления, в которых произошло несовпадение бит.

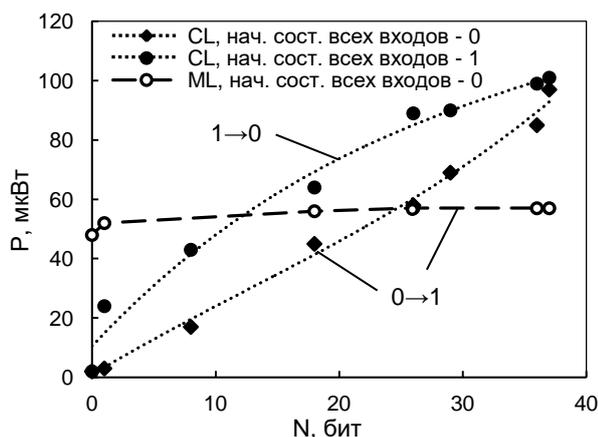


Рис. 7. Зависимость потребляемой мощности P схем суммирования с комбинационной логикой и линией сопоставления от количества N входов схемы суммирования, изменивших свое состояние. Графики “0→1” соответствуют переходу N входов из “0” в “1”, остальные входы остаются в изначальном состоянии “0”. График “1→0” соответствует переходу N входов из “1” в “0”, остальные входы остаются в изначальном состоянии “1”

В табл. 1 представлены значения потребляемой мощности схем суммирования и регистров для разных выходных состояний элементов сопоставления. К примеру, запись “несовпадение всех бит → совпадение всех бит” соответствует случаю, в котором все элементы сопоставления изначально находились в состоянии несовпадения, а затем перешли в состояние совпадения. Моделирование проводилось в симуляторе Spectre CADENCE для структур, спроектированных по объемной КМОП 65 нм технологии, при температуре +25°C, напряжении питания 1.0 В и тактовой частоте 1 ГГц. Значения мощностей, потребляемых элементами сопоставления одинаковы для обоих регистров, так как сами элементы сопоставления в регистрах с CL и ML одинаковы.

Мощность, потребляемая комбинационной логической схемой, зависит от числа переключившихся логических вентилях в составе схемы в виду изменения

состояния входов. По этой причине значение мощности, потребляемой схемой с CL, зависит от последовательности данных, поступающих с шины Input for lookup и варьируется от 2 до 104 мкВт. Минимальное значение мощности соответствует случаю “совпадение 1 бита → несовпадение всех бит”, когда только один вход схемы суммирования изменяет свое логическое состояние. Максимальное значение мощности соответствует случаю “совпадение всех бит → несовпадение всех бит”, когда все входы схемы суммирования изменяют свое логическое состояние. Мощность, потребляемая схемой с ML зависит от количества совпавших бит только в текущем цикле сопоставления и варьируется от 48 до 57 мкВт. Минимальное значение мощности соответствует случаю “несовпадение всех бит → совпадение всех бит”, когда все PМОП транзисторы линии ML закрыты, и ML разряжается до уровня логического “0”. Максимальное значение мощности соответствует случаю “совпадение всех бит → несовпадение всех бит”, когда все PМОП транзисторы линии ML открыты, и сквозной ток через ML максимален. Диапазон значений мощности, потребляемой схемой с ML меньше диапазона значений мощности, потребляемой схемой с CL в 11.3 раза.

На рис. 7 представлена зависимость потребляемой мощности P схем суммирования (с CL и с ML) от количества N входов схемы, изменивших свое состояние. Для комбинационной логики приведены два графика. Графики “0→1” соответствуют начальному состоянию всех входов схемы – логический “0” и переходу N входов в состояние логической “1”, график “1→0” соответствует начальному состоянию всех входов схемы – логическая “1” и переходу N входов в состояние логического “0”. В случае “1→0” схема с CL потребляет больше мощности, чем в случае “0→1”, поскольку в случае “1→0”, при том же количестве входов, изменивших свое состояние, переключается большее количество логических вентилях в составе CL. Например, если все входы элемента И-НЕ находятся в состоянии логической “1”, изменение состояния даже одного i -го входа на “0” приведет к изменению состояния выхода схемы. В этом случае произойдет переключение всех логических вентилях в составе схемы И-НЕ, состояние которых зависит от состояния i -го входа. В случае переключения входов из “0” в “1” все входы изначально находятся в состоянии логического “0”, и переключение одного i -го входа в состояние “1” не изменит состояния выхода схемы. В таком случае не переключится ни один логический вентиль в составе схемы И-НЕ.

Как видно из рис. 7, при переключении более половины входов схемы значение мощности, потребляемой схемой с CL больше, чем значение мощности, потребляемой схемой с ML. Количество входов схемы суммирования, изменивших состояние, равно количеству бит шины Input for lookup, изменивших состояние. Если слова данных, поступающие на шину поиска Input for lookup блока CAM в среднем отличаются менее, чем половиной бит, то регистр с CL будет потреблять меньше мощности, чем регистр с ML.

Таблица 2

Параметры схем суммирования с комбинационной логикой (CL) и линией сопоставления (ML)

| Параметр | CL | ML |
|------------------------|------|------|
| N_{TR} | 280 | 108 |
| S , мкм ² | 110 | 72 |
| P_{MIN} , мкВт | 2 | 48 |
| P_{MAX} , мкВт | 104 | 57 |
| $t_{DEL,HC}$ | 0.23 | 0.18 |

В табл. 2 представлены параметры схем суммирования. Здесь N_{TR} – количество транзисторов, S – площадь, P_{MIN} – минимальная потребляемая мощность в зависимости от входных данных, P_{MAX} – максимальная потребляемая мощность в зависимости от входных данных, t_{DEL} – задержка выходного сигнала сопоставления. Диапазон значений мощности, потребляемой схемой с ML, меньше диапазона значений мощности, потребляемой схемой с CL, в 11.3 раза. Задержка сигнала сопоставления ML меньше задержки CL на 22%, а площадь, занимаемая схемой с ML на кристалле меньше на 35%.

V. ЗАКЛЮЧЕНИЕ

Проведен анализ потребления мощности регистров ассоциативной памяти с двумя различными схемами суммирования – комбинационной логической схемой и схемой на основе линии сопоставления. Мощность, потребляемая схемой на основе комбинационной логики, зависит от количества N входов схемы, изменивших свое состояние. Мощность, потребляемая схемой на основе линии сопоставления, практически не зависит от N и соответствует потреблению комбинационной логической схемы при переключении половины входов схемы. Если на этапе проектирования блока ассоциативной памяти известно, что слова данных, поступающие на шину поиска, в среднем отличаются меньше, чем половиной бит, то использование схемы суммирования на основе комбинационной логики позволит снизить потребляемую мощность.

Анализ топологии и результатов моделирования показал, что схема суммирования на основе линии сопоставления занимает на 35% меньше площади на кристалле и обладает на 22% меньшей задержкой по сравнению со схемой суммирования на основе комбинационной логики.

ЛИТЕРАТУРА

[1] Do A.T., Yin C., Velayudhan K., Lee Z.C., Yeo K.S., Kim T.T.-H. 0.77 fJ/bit/search content addressable memory using

small match line swing and automated background checking scheme for variation tolerance // IEEE Journal of Solid-State Circuits. 2014. V. 49. № 7. P. 1487–1498.

- [2] Zukowski C.A., Wang S.-Y. Use of selective precharge for lowpower content-addressable memories // Proc. of IEEE International Symposium of Circuits Syst (ISCAS). Hong Kong, 1997. V. 3. P. 1788–1791.
- [3] Соловьева Л.А. Проектирование гибридного регистра ассоциативной памяти // Проблемы разработки перспективных микро- и наноэлектронных систем – 2016. Сб. трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2016. Ч. 3. С. 171-177.
- [4] Arsovski I., Chandler T., Sheikholeslami A. A ternary content addressable memory (TCAM) based on 4T static storage and including a current-race sensing scheme // IEEE Journal of Solid-State Circuits. 2003. V. 38. № 1. P. 155–158.
- [5] Кириченко П.Г., Соловьева Л.А., Тарасов И.В. Проектирование 14-портового регистрового файла и буфера трансляции адресов со сниженным потреблением с учетом особенностей технологии 28 нм // Проблемы разработки перспективных микро- и наноэлектронных систем – 2016. Сб. трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2016. Ч. 3. С. 129-135.
- [6] Стенин В.Я., Катунин Ю.В., Степанов П.В. Сбоеустойчивые ОЗУ на основе STG DICE элементов памяти с разделенными на две группы транзисторами // Микроэлектроника. 2016. Т. 45. № 6. С. 456–470.
- [7] Катунин Ю.В., Стенин В.Я. TCAD моделирование эффектов воздействия одиночных ядерных частиц на ячейки памяти STG DICE // Микроэлектроника. 2018. Т. 47. № 1. С. 23-37.
- [8] Антонюк А.В., Стенин В.Я. Моделирование переходных процессов в 65 нм КМОП логическом элементе сравнения для ассоциативных запоминающих устройств при воздействии одиночных ядерных частиц // Вестник НИЯУ МИФИ. 2016. Т. 5. № 5. С. 445–453.
- [9] Katunin Yu.V., Stenin V.Ya. TCAD Simulation of Single-Event Transients in the 65-nm CMOS Element of Matching for a Content-Addressable Memory // Proc. of 25th Telecommunication Forum TELFOR – 2017. Belgrade, 2017. P. 1–4.
- [10] Stenin V.Ya., Antonyuk A.V., Stepanov P.V., Katunin Yu.V. Design of the 65-nm CMOS Translation Lookaside Buffer on the Hardened Elements // Proc. of 25th Telecommunication Forum TELFOR – 2017. Belgrade, 2017. P. 1–4.
- [11] Stenin V.Ya., Antonyuk A.V., Katunin Yu.V., Stepanov P.V. Design of logical elements for the 65-nm CMOS translation lookaside buffer with compensation of single events effects // Proc. of International Siberian Conference on Control and Communication SIBCON. Astana, 2017. P. 1–6.
- [12] Katunin Yu.V., Stenin V.Ya., Antonyuk A.V. Design of Logical Elements with Single-Event Compensation for the 28-nm CMOS Decoders // Proc. of 24th Telecommunication Forum TELFOR – 2016. Belgrade, 2016. P. 617–620.

Analysis of Power Consumption of Matching Signals Summation Circuits for 65 nm CMOS Associative Memory Registers

A.V. Antonyuk^{1,2}, P.V. Stepanov¹

¹Scientific Research Institute for System Analysis, Russian Academy of Sciences

²National Research Nuclear University “MEPhI”, antonyuk@cs.niisi.ras.ru,

stepanov@cs.niisi.ras.ru

Abstract — Power consumptions of two registers of content-addressable memory (CAM) based on STG DICE memory cells were analyzed. Considered CAM registers have different summation circuits of matching signals – the circuit based on combinational logic (CL) and the circuit based on match line (ML). The elements of matching (CAM cells) and the elements of masking (mask cells) based on upset-hardened STG DICE memory cells are the same in register with CL and in register with ML, so they consume the same amount of power. CL circuit includes three 8-input NAND elements with compensation of single event effects, 5-input OR element and logical gates that provide logical masking of certain inputs. Inputs of CL circuit are connected to the outputs of elements of matching. Circuit with match line consists of PMOS precharge transistor, NMOS discharge transistor and match line ML that is connected to the supply through PMOS transistors that are controlled by elements of matching. In search operation, NMOS transistor opens trying to discharge ML. In case of match in all elements of matching, ML voltage becomes low. In case of miss in one or more elements, there is a short-through current in ML, and ML voltage remains high. Power consumption of CL circuit depends on number N of inputs of the circuit that change their logical states, because the number of switched logical gates inside CL depends on the N value. Analysis of the simulation results showed, that the value of power consumption of CL differs from 2 to 104 μ W as a function of N value. Power consumption of ML depends on the matching result in register – match or miss. In case of miss, ML power depends on the value of short-through current that depends on number of mismatched bits. Value of ML power consumption differs from 48 to 57 μ W and it practically equals the value of CL power consumption when a half of the CL inputs switches. So if in the step of CAM development, it is known that input data words of CAM differs from each other in average by less than a half of all bits, then CL is preferable to save power in CAM. Analysis of topology and simulation results showed, that ML takes 35% less area on the chip and has 22% less output bit of matching delay compared to CL.

Keywords — combinational logic, content-addressable memory, design, logical element, power consumption, simulation, topology

REFERENCES

- [1] Do A.T., Yin C., Velayudhan K., Lee Z.C., Yeo K.S., Kim T.T.-H. 0.77 fJ/bit/search content addressable memory using small match line swing and automated background checking scheme for variation tolerance // IEEE Journal of Solid-State Circuits. 2014. V. 49. № 7. P. 1487–1498.
- [2] Zukowski C.A., Wang S.-Y. Use of selective precharge for lowpower content-addressable memories // Proc. of IEEE International Symposium of Circuits Syst (ISCAS). Hong Kong, 1997. V. 3. P. 1788–1791.
- [3] Solovyeva L.A. Design of the hybrid CAM register // Problemy razrabotki perspektivnyh mikro- i nanoehlektronnyh sistem – 2016. Sb. trudov / pod obshch. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2016. Ch. 3. S. 171-177.
- [4] Arsovski I., Chandler T., Sheikholeslami A. A ternary content addressable memory (TCAM) based on 4T static storage and including a current-race sensing scheme // IEEE Journal of Solid-State Circuits. 2003. V. 38. № 1. P. 155–158.
- [5] Kirichenko P.G., Solovyeva L.A., Tarasov I.V. Design of Power Efficient 14-port Register File and Translation Lookaside Buffer in 28-nm Process // Problemy razrabotki perspektivnyh mikro- i nanoehlektronnyh sistem – 2016. Sb. trudov / pod obshch. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2016. Ch. 3. S. 129-135.
- [6] Stenin V.Ya., Katunin Yu.V., Stepanov P.V. Sboeustojchivye OZU na osnove STG DICE ehlementov pamyati s razdelennymi na dve gruppy tranzistorami (Upset-hardened RAM based on STG DICE memory cells with transistors separated into two groups) // Mikroehlektronika. 2016. T. 45. № 6. S. 456–470.
- [7] Katunin Yu.V., Stenin V.Ya. TCAD modelirovanie effektov vozdejstviya odinochnyh yadernyh chastic na yachejki pamyati STG DICE (TCAD simulation of effects of single nuclear particles influence on STG DICE memory cells) // Mikroehlektronika. 2018. T. 47. № 1. S. 23-37.
- [8] Antonyuk A.V., Stenin V.Ya. Simulation of single-event transients in 65-nm CMOS logical elements of comparison for an associative memory // Vestnik of NRNU MEPhI. 2016. T. 5. № 5. S. 445–453.
- [9] Katunin Yu.V., Stenin V.Ya. TCAD Simulation of Single-Event Transients in the 65-nm CMOS Element of Matching for a Content-Addressable Memory // Proc. of 25th Telecommunication Forum TELFOR – 2017. Belgrade, 2017. P. 1–4.
- [10] Stenin V.Ya., Antonyuk A.V., Stepanov P.V., Katunin Yu.V. Design of the 65-nm CMOS Translation Lookaside Buffer on the Hardened Elements // Proc. of 25th Telecommunication Forum TELFOR – 2017. Belgrade, 2017. P. 1–4.
- [11] Stenin V.Ya., Antonyuk A.V., Katunin Yu.V., Stepanov P.V. Design of logical elements for the 65-nm CMOS translation lookaside buffer with compensation of single events effects // Proc. of International Siberian Conference on Control and Communication SIBCON. Astana, 2017. P. 1–6.
- [12] Katunin Yu.V., Stenin V.Ya., Antonyuk A.V. Design of Logical Elements with Single-Event Compensation for the 28-nm CMOS Decoders // Proc. of 24th Telecommunication Forum TELFOR – 2016. Belgrade, 2016. P. 617–620.