

Самосинхронный D–триггер с «защелкой»

А.А. Старых, Е.Б. Лукьяненко

Инжиниринговый центр приборостроения, радио– и микроэлектроники ЮФУ, г. Таганрог
anastasya.staryh@mail.ru, luk101010@mail.ru

Аннотация — Рассмотрены одно– и двухступенчатые самосинхронные D–триггеры с «защелкой». Предложена реализация схемы индикатора переходных процессов блочным методом. Приведены результаты моделирования самосинхронных D–триггеров, выполненных на стандартных логических элементах «И», «ИЛИ», «И–НЕ», «ИЛИ–НЕ» и разработанных самосинхронных D–триггеров с «защелкой». Показана перспективность использования предложенных D–триггеров в самосинхронных последовательностных схемах.

Ключевые слова — самосинхронный элемент, D–триггер, блочная структура, индикатор переходных процессов, рассеиваемая мощность, быстродействие схемы, энерготопологический критерий.

I. ВВЕДЕНИЕ

Главными преимуществами самосинхронных схем (СС–схем) над синхронными являются их свойства отказобезопасности и отсутствия «гонок сигналов» при любых конечных задержках элементов. Использование самосинхронной схемотехники (СС–схемотехники) является действенным методом увеличения быстродействия цифровых электронных схем, повышения их энергоэффективности.

В последовательностных СС–схемах D–триггер принимается за элементарную самосинхронную запоминающую ячейку (ССЗЯ). В СС–схемотехнике к ССЗЯ предъявляются следующие основные требования [1]:

- 1) ССЗЯ должна хранить один бит информации после окончания фазы, в которой произошла запись этого бита.
- 2) Окончание переходных процессов должно индицироваться в обеих фазах – рабочей и спейсере.
- 3) ССЗЯ должна иметь максимальное быстродействие и/или минимальную сложность (в транзисторах) среди имеющихся вариантов.

Исходя из вышеупомянутых требований видно, что оптимизация ССЗЯ направлена на увеличение их быстродействия и снижения транзисторной избыточности. В книгах известного специалиста в области СС–схем В.И. Варшавского [2, 3] довольно подробно рассмотрены вопросы построения последовательностных СС–схем. Однако со стороны практической схемотехники эти материалы недостаточны, а иногда и неприемлемы. В них

отсутствует анализ схем по критериям оптимальности. Некоторые предлагаемые схемы либо вообще не могут быть использованы в двухфазной дисциплине, либо неэффективны по быстродействию и/или затратам [1].

Приведем во внимание известную классификацию ССЗЯ по основным признакам, существенным для СС–схемотехники [1]:

- 1) Длительность хранения записанной информации – в каких последующих фазах она хранится: только в рабочей фазе (одноступенчатая ячейка) или в спейсере и рабочей фазе (двухступенчатая ячейка).
- 2) Наличие управляющего сигнала.
- 3) Значение входного спейсера.

Все рассматриваемые в работе самосинхронные D–триггеры имеют двухпроводную организацию, их входы – D , \bar{D} являются парафазными (ПФС–входами), а выходы – Q , \bar{Q} бистабильными (БС–выходами). На выходе каждого D–триггера имеется индикатор переходных процессов, необходимый СС–схемам для фактического определения окончания рабочей и спейсерной фаз.

II. САМОСИНХРОННЫЙ ОДНОСТУПЕНЧАТЫЙ D–ТРИГГЕР НА СТАНДАРТНЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

Схема одноступенчатой ячейки – управляемого D–триггера [1, 2] приведена на рис. 1.

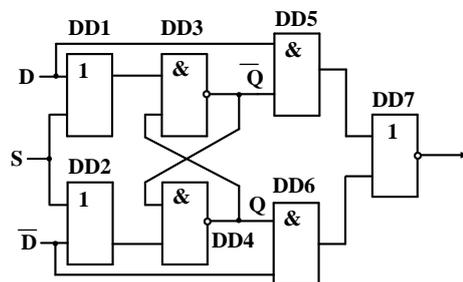


Рис. 1. Схема самосинхронного D–триггера на стандартных логических элементах

На рис. 1 обозначено: S – управляющий сигнал, чередующий фазы записи и хранения информации; D – информационный сигнал; Q – выходной сигнал; I – индикаторный сигнал, показывающий окончание рабочего процесса в триггере.

Схема состоит из синхронизирующего элемента (микросхемы DD1, DD2), запоминающего элемента

(микросхемы DD3, DD4) и схемы «Исключающее ИЛИ» с инверсией (микросхемы DD5 – DD7), служащей для формирования индикаторного сигнала. Входной управляющий сигнал «S» позволяет реализовать в D–триггере двухфазный протокол работы – записать данные в ячейку в требуемой фазе (в данном случае - спейсерной), хранить данные в ячейке в рабочей фазе и предотвратить «гонки сигналов». Индикаторный сигнал «I» индицирует входные (D, \bar{D}) и выходные (Q, \bar{Q}) сигналы, регистрируя окончание переходных процессов в D–триггере.

III. РАЗРАБОТАННЫЙ ОДНОСТУПЕНЧАТЫЙ САМОСИНХРОННЫЙ D–ТРИГГЕР С «ЗАЩЕЛКОЙ»

Аналогичное функционирование можно получить, используя для запоминания «защелку», выполненную на двух инверторах с положительной обратной связью, а для управления – набор транзисторов, которые могут иметь на выходе высокоомное состояние Z (рис. 2).

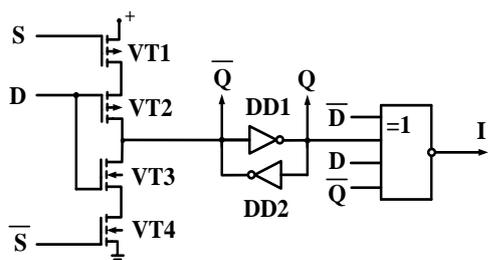


Рис. 2. Схема самосинхронного одноступенчатого D-триггера с «защелкой»

Транзисторы VT1, VT4 служат для управления режимами записи и хранения. В режиме записи (логический «0» на входе управляющего сигнала «S») транзисторы VT1, VT4 открываются и происходит запись информационного сигнала D в «защелку», выполненную на инверторах DD1, DD2. В режиме хранения (логическая «1» на входе S) транзисторы VT1, VT4 закрываются, и «защелка» запоминает входной сигнал D в прямой и инверсной форме.

Чтобы обеспечить работоспособность запоминающего элемента необходимо, чтобы токи насыщения МОП–транзисторов VT1 – VT4 и транзисторов инвертора DD1 были в 3–4 раза больше токов транзисторов инвертора DD2. Такое соотношение токов обеспечивается выбором топологических размеров транзисторов. Для транзисторов VT1 – VT4 и инвертора DD1 ширина затвора может быть выбрана равной 2,0 мкм и 1,2 мкм (для p– и n–канальных транзисторов, соответственно). Тогда МОП–транзисторы инвертора DD2 могут иметь ширину затвора 0,8 мкм (p–канальный транзистор) и 0,45 мкм (n–канальный транзистор). При этом длина канала всех транзисторов выбирается равной 0,18 мкм. Токи таких МОП–транзисторов равны 0,8 мА и 0,25 мА, соответственно. Значения токов получены в программе OrCAD при использовании модели МОП–транзисторов BSIM3. Периметр и площадь областей

стока и истока рассчитаны по методике, предложенной в [4].

Схему «Исключающее ИЛИ» выполним по блочному методу без выходного инвертора (рис. 3) [5].

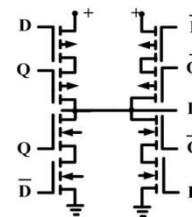


Рис. 3. Блочная схема «Исключающее ИЛИ» с инверсией

Использование блочного метода повышает энергоэффективность схемы.

IV. РЕЗУЛЬТАТЫ СХЕМОТЕХНИЧЕСКОГО МОДЕЛИРОВАНИЯ ОДНОСТУПЕНЧАТОГО D–ТРИГГЕРА

Работа самосинхронного одноступенчатого D-триггера с «защелкой» исследовалась в САПР OrCAD и показана на рис. 4.

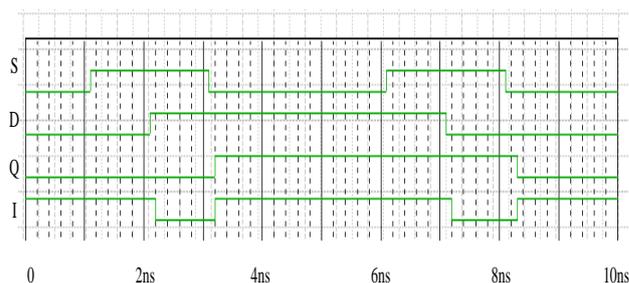


Рис. 4. График работы одноступенчатого D-триггера с «защелкой»

Как видно из графика, при переключении управляющего сигнала «S» из логической «1» в логический «0» происходит запись информационного сигнала D на выход триггера. При этом окончание рабочего процесса индицируется положительным фронтом индикаторного сигнала «I», а изменения входного сигнала «D» индицируются отрицательным фронтом индикатора «I».

Параметры разработанного одноступенчатого D–триггера с «защелкой» и D–триггера на стандартных логических элементах измерялись в непрерывном режиме переключения входных сигналов и приведены в табл. 1.

D-триггеры сравниваются по быстродействию, средней рассеиваемой мощности, количеству транзисторов, работе переключения и энерготопологическому критерию. Последний параметр представляет собой произведение работы переключения на количество транзисторов и является обобщающей величиной, характеризующей энергоэффективность исследуемой схемы [5]. Как видно из таблицы 1 по всем измеренным параметрам D-триггер с «защелкой» превосходит известный аналог на стандартных логических элементах.

Быстродействие разработанного D-триггера с «защелкой» выше аналога в 2,03 раза, рассеиваемая мощность – в 2,06 раз, энергоэффективность – в 9,5 раз.

Таблица 1

Параметры самосинхронных одноступенчатых D-триггеров

Элементы	D-триггер на стандартных элементах	Разработанный D-триггер с «защелкой»
Параметры		
Е пит, В	5	5
Рассеиваемая мощность, $P_{ср}$, мВт	0,33	0,16
Кол-во транзисторов в схеме, N, шт.	36	16
Задержка распространения, $\tau_{з.р.}$, нс	0,55	0,27
Работа переключения, А, пДж	0,18	0,04
Энерготопологический критерий, L, пДж·шт	6,53	0,69

V. САМОСИНХРОННЫЙ ДВУХСТУПЕНЧАТЫЙ D-ТРИГГЕР С «ЗАЩЕЛКОЙ»

Включая последовательно два одноступенчатых D-триггера получим двухступенчатый триггер с «защелкой», срабатывающий по отрицательному фронту. Для обеспечения самосинхронного режима необходимо определить окончание переходного процесса в первой ступени, переключить режим записи и хранения в обеих ступенях на противоположных и определить окончание переходного процесса во второй ступени. Все эти действия обеспечивает схема, показанная на рис. 5.

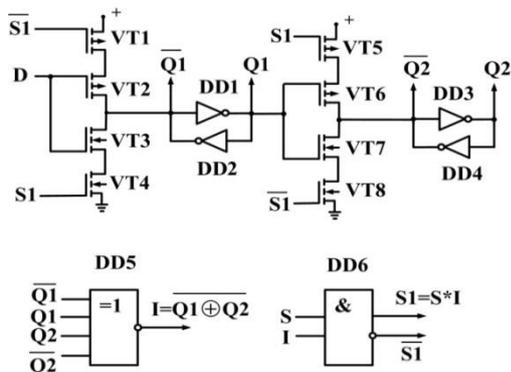


Рис. 5. Схема самосинхронного двухступенчатого D-триггера с «защелкой»

Первая ступень триггера состоит из транзисторов VT1–VT4 и микросхем DD1, DD2, образующих «защелку». Выходные сигналы с первой ступени

снимаются с выходов DD1 (прямой сигнал $Q1$) и выхода микросхемы DD2 (инверсный сигнал $\overline{Q1}$). Вторая ступень триггера состоит из транзисторов VT5–VT8 и микросхем DD3, DD4 («защелка»).

Выходные сигналы второй ступени – $Q2$ и $\overline{Q2}$. Управление самосинхронной работой двухступенчатого триггера производится микросхемой DD5, выполняющей функцию «Исключающее ИЛИ–НЕ» над сигналами $Q1$ и $Q2$ и микросхемой DD6 – логическое «И» между управляющим сигналом «S» и индикаторным сигналом «I». Эти микросхемы обеспечивают синхронизацию переключения режимов записи и хранения с длительностью переходного процесса в первой ступени триггера и выработку индикаторного сигнала, положительный фронт которого указывает на окончание рабочего процесса в триггере.

VI. РЕЗУЛЬТАТЫ СХЕМОТЕХНИЧЕСКОГО МОДЕЛИРОВАНИЯ ДВУХСТУПЕНЧАТОГО D-ТРИГГЕРА С «ЗАЩЕЛКОЙ»

Проверка работоспособности схемы проведена моделированием в САПР OrCAD.

Для наглядности результатов моделирования логические микросхемы DD5, DD6 выполнены на идеальных элементах, взятых из библиотеки Dig_abm, а в каждую ступень триггера введена дополнительная задержка 0,5 нс. Результаты моделирования приведены на рис. 6.

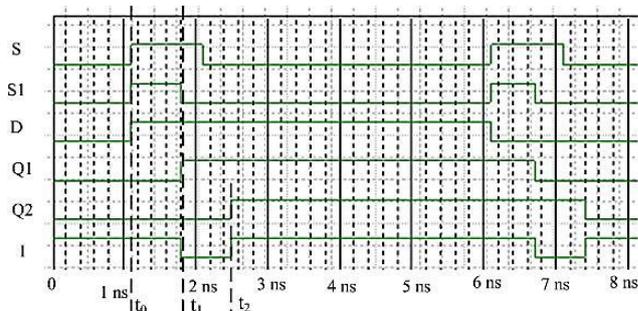


Рис. 6. График работы одноступенчатого D-триггера с «защелкой»

Работа триггера начинается с появлением в момент времени t_0 спейсерного сигнала S положительной полярности. В это время индикаторный сигнал I равен логической единице, так как $Q1=Q2=0$. Поэтому сформированный спейсер S1 равен логической единице. При таком значении спейсера первая ступень D-триггера находится в режиме записи, а вторая – в режиме хранения. В момент времени t_1 данные D записываются в первую ступень и появляются на выходе $Q1$. Теперь $Q1=1$, $Q2=0$, и индикаторный сигнал I становится равным логическому нулю. Тогда первая ступень триггера переходит в режим хранения, а вторая – в режим записи. В момент времени t_2 сигнал $Q1$ записывается во вторую ступень и выходной сигнал $Q2$ становится равным логической единице.

Аналогично протекает процесс при записи логического нуля.

Параметры разработанного двухступенчатого D-триггера с «защелкой» сравнивались с параметрами D-триггера на стандартных логических элементах, приведенного на рис. 7 [1].

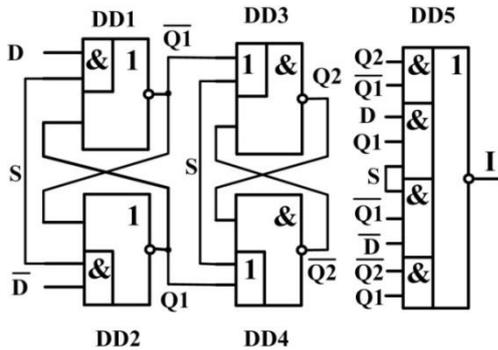


Рис. 7. Схема самосинхронного двухступенчатого D-триггера на логических элементах

Первая ступень триггера включает микросхемы DD1, DD2, вторая – микросхемы DD3, DD4. Микросхема DD5 формирует индикаторный сигнал.

Параметры самосинхронных двухступенчатых D-триггеров (разработанного с «защелкой» и на стандартных логических элементах) измерялись в непрерывном режиме переключения входных сигналов и приведены в табл. 2.

Таблица 2

Параметры самосинхронных двухступенчатых D-триггеров

Элементы Параметры	D-триггер на стандартных элементах	Разработанный D-триггер с «защелкой»
Е пит, В	5	5
Рассеиваемая мощность, P_{cp} , мВт	0,75	0,41
Кол-во транзисторов в схеме, N, шт.	80	30
Задержка распространения, $\tau_{3,p}$, нс	0,95	0,6
Работа переключения, A, пДж	0,71	0,25
Энерготопологический критерий, L, пДж/шт	57	7,4

Как видно из таблицы 2 разработанный самосинхронный двухступенчатый D-триггер с «защелкой» имеет лучшие параметры, чем триггер на логических элементах. Быстродействие такого D-триггера с «защелкой» выше аналога в 1,58 раз,

рассеиваемая мощность – в 1,83 раза, энергоэффективность – в 7,7 раз.

VII. ИНИЦИАЛИЗАЦИЯ СОСТОЯНИЯ D-ТРИГГЕРА С «ЗАЩЕЛКОЙ»

Во многих практических приложениях необходимо задать начальное состояние триггера. Рассмотрим вопросы сброса и установки для разработанного D-триггера. Особенностью схем с «защелкой» является то, что при подаче инициализирующего сигнала не должно возникать сквозного протекания тока в управляющей цепочке транзисторов. На рис. 8 приведена схема D-триггера с «защелкой», имеющая вход R для сброса в логический ноль обеих ступеней триггера.

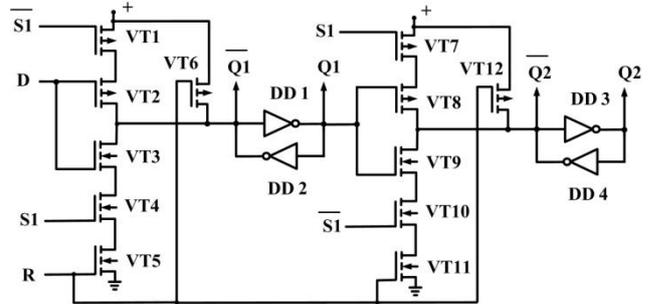


Рис. 8. Схема D-триггера со сбросом

Сброс схемы в логический ноль происходит, если вход R находится в состоянии логического нуля. При этом благодаря транзисторам VT5 и VT11 цепочка транзисторов в нижней полуплоскости оказывается выключенной при любых сочетаниях сигналов на входах транзисторов VT3, VT4 и VT9, VT10. Транзисторы же VT6 и VT12 открываются, создавая на выходах Q1 и Q2 состояния логического нуля.

На рис. 9 приведен график работы D-триггера с «защелкой» при наличии сигнала сброса R.

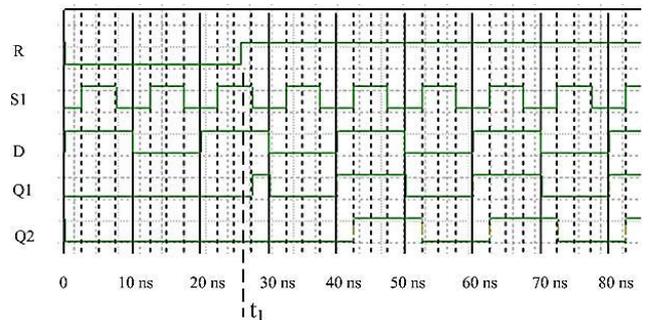


Рис. 9. График работы D-триггера с сигналом сброса

При нулевом значении сигнала R напряжения на выходах Q1 и Q2 равны нулю и не зависят от уровня входных сигналов. В момент времени t_1 значение R становится равным логической единице, транзисторы VT5, VT11 открываются, а транзисторы VT6, VT12 – закрываются, и схема начинает нормально функционировать.

Сбросить схему в логический ноль можно в любой момент времени. На рис. 10 приведен график работы D-триггера с «защелкой», в котором импульс сброса действует в течение времени от t_1 до t_2 .

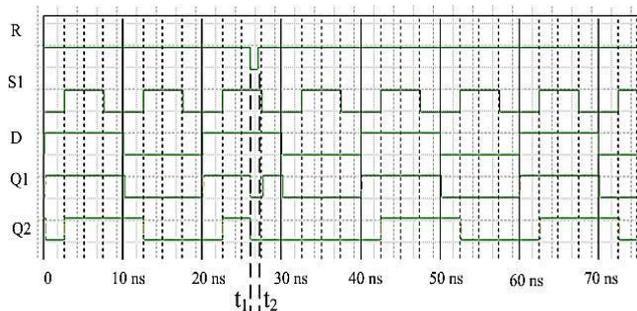


Рис. 10. График работы D-триггера с импульсным сигналом сброса

Как видно из графика при нулевом значении сигнала R сбрасываются в логический ноль выходы Q1 и Q2 триггера.

Для установки выходов D-триггера в логическую единицу можно применить схему, показанную на рис. 11.

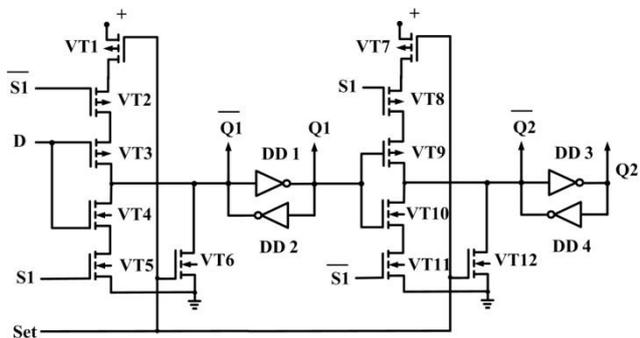


Рис. 11. Схема D-триггера с установкой

Активный уровень сигнала установки (Set) – логическая единица. При значении сигнала Set, равном логической единице, транзисторы VT1, VT7 закрываются, а транзисторы VT6, VT12 открываются, благодаря чему выходные сигналы Q1 и Q2 устанавливаются в логическую единицу. Транзисторы VT1, VT7 защищают управляющие транзисторы от сквозного протекания тока.

График работы D-триггера с сигналом установки приведен на рис. 12.

Как видно из рис. 12 в моменты времени от t_1 до t_2 значение сигнала Set равно логической единице и выходные сигналы обеих ступеней триггера Q1 и Q2 устанавливаются в логическую единицу. В момент времени t_3 подан импульс установки положительной полярности длительностью 1 нс. Этот сигнал также

устанавливает выходные состояния триггера в логическую единицу.

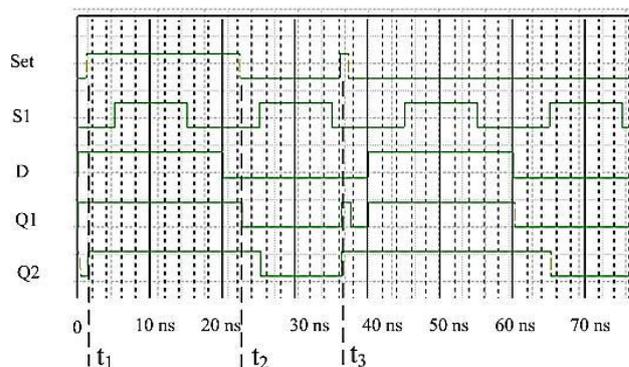


Рис. 12. График работы D-триггера с сигналом установки Set

Схемы сброса и установки можно применить совместно. Тогда D-триггер будет полнофункциональным, имея функции сброса и установки.

VIII. ВЫВОДЫ

Разработка оптимизированного D-триггера с «защелкой» дала возможность получить от предложенного устройства улучшенные рабочие характеристики. Из полученных результатов видно, что предложенные схемы D-триггеров, реализованные на основе «защелки» и схемы с Z-состоянием, превосходят D-триггеры на основе стандартных логических элементов по всем параметрам. Разработанная схема D-триггера имеет преимущества перед схемами с использованием RS-триггеров, поскольку в ней отсутствует запрещенное состояние.

Для разработанного самосинхронного D-триггера выполняются все требования, предъявляемые к ССЗЯ, поэтому его использование в последовательных схемах можно считать перспективным.

ЛИТЕРАТУРА

- [1] Плеханов Л.П. Основы самосинхронных электронных схем. М.: БИНОМ. Лаборатория знаний, 2013. 208 с.
- [2] Варшавский В.И. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. М.: Наука, 1986. 398 с.
- [3] Астановский А.Г., Варшавский В.И., Мараховский В.Б. Аперiodические автоматы. М.: Наука, 1976. 424 с.
- [4] Ракитин В.В. Интегральные схемы на КМОП-транзисторах. М.: 2007. 307 с.
- [5] Старых А.А. Метод синтеза функциональных блоков комбинационных схем с использованием минтермов и макстермов // Электронная техника. Серия 2. Полупроводниковые приборы. 2015. № 1. С. 63–69.

Self-Timed D-Trigger with «Load/Latch»

A.A. Starykh, E.B. Lukyanenko

Engineering center of instrument making, radio- and microelectronics, Southern federal university, Taganrog anastasya.staryh@mail.ru, luk101010@mail.ru

Abstract — One- and two-step self-timed D-triggers with a "load/latch" are considered. All self-timed D-triggers considered in the work have a two-wire organization, their inputs are D, \overline{D} are paraphase, and outputs are Q, \overline{Q} bistable. At the output of each D-trigger, there is an indicator of the transient processes necessary for the self-timed circuits to actually determine the end of the working and spacer phases. The realization of the circuit of the indicator of transients by the block method is proposed. The simulation results of self-timed D-triggers performed on standard logic elements «AND», «OR», «AND-NO», «OR-NO» and developed self-timed D-triggers with «load/latch» are presented. The development of an optimized D-trigger with a "load/latch" made it possible to obtain improved performance from the proposed device. The developed circuit of the D-trigger has advantages over the circuits using RS-triggers, since there is no forbidden state in it. For the developed self-timed D-trigger, all the requirements for self-timed store cell are the same, therefore it's usage in sequential circuits can be considered as promising. The two-step D-trigger with «load/latch», that triggers on the negative front, is obtained by the successive inclusion of two one-step D-triggers. To provide a self-timed mode, the end of the transient process is determined at the first stage, the recording and storage mode in both stages is switched to the opposite one and the end of the transient process in the second stage is determined. D-triggers are compared by speed, average dissipated power, number of transistors, switching operation and energy efficiency. The latter parameter is the product of the switching operation by the number of transistors and it is the generalizing value, which characterizes the energy efficiency of the circuit of interest. The performance of developed D-trigger with «load/latch»

and D-trigger on standard logic elements were measured in a continuous mode of switching input signals. The speed of developed one-step D-trigger with «load/latch» is higher than the compatible of 2,03 times, dissipated power – 2,06 times, energy efficiency – 9,5 times. The speed of developed two-step D-trigger with «load/latch» is higher than the compatible of 1,58 times, dissipated power – 1,83 times, energy efficiency – 7,7 times.

Keywords — self-timed element, D-trigger, block structure, indicator of transient, power dissipation, performance of the circuit, energy-topological criterion.

REFERENCES

- [1] Plehanov L.P. Osnovy samosinhronnyh jelektronnyh shem (The basics of self-timed electronic circuits). M.: BINOM. Laboratorija znaniy, 2013. 208 s.
- [2] Varshavskij V.I. Avtomatnoe upravlenie asinhronnymi processami v JeVM I diskretnyh sistemah (Self-timed control of concurrent processes: the design of aperiodic logical circuits in computers and discrete systems). M.: Nauka, 1976. 398 s.
- [3] Astanovskij A.G., Varshavskij V.I., Marahovskij V.B. Aperiodicheskie avtomaty (Aperiodic automats). M.: Nauka, 1976. 424 s.
- [4] Rakitin V.V. Integral'nye shemy na KMOP–tranzistorah (Integrated circuits in CMOS transistors). M.:, 2007. 307 s.
- [5] Staryh A.A. Method sinteza funkcional'nyh blokov kombinacionnyh shem s ispol'zovaniem mintermov i makstermov (The method for the synthesis functional blocks of combinational circuits with the use minterms and maxterms) // Jelektronnaja tehnika. Serija 2. Poluprovodnikovye pribory. 2015. № 1. S. 63–69.