

Разработка маршрута ресинтеза комбинационных логических схем с целью повышения маскирующих свойств

В.В. Надоленко, Д.В. Тельпухов, Ю.В. Битков

Институт проблем проектирования в микроэлектронике РАН, г. Москва, dmtr@ippm.ru

Аннотация — данная работа посвящена разработке маршрута ресинтеза комбинационных схем с целью повышения их устойчивости к случайным сбоям. В качестве метрики сбоеустойчивости используется коэффициент чувствительности – среднее число ненадежных элементов. Алгоритм ресинтеза представляет собой итеративный процесс замены отдельных участков схемы на их эквиваленты, реализующие ту же логическую функцию и имеющие лучшие маскирующие свойства. Положительный результат может достигаться как за счет добавления функциональной избыточности, так и за счет использования более оптимальной с точки зрения устойчивости к сбоям структуры. При оценке маскирующих свойств участок схемы рассматривается как самостоятельная подсхема, что ускоряет работу программы. Использование входных тестовых наборов для подсхемы в соответствии с вероятностями их появления и наблюдаемостей выходов подсхемы на первичных выходах схемы позволяет учесть влияние окружающих элементов при выборе оптимальной структуры. Тестирование проводилось на схемах из наборов ISCAS'85 и LGSynth'89, синтезированных с разными параметрами оптимизации в двух различных библиотеках стандартных ячеек.

Ключевые слова — случайные сбои, ресинтез, сбоеустойчивость, наблюдаемость, ODC

I. ВВЕДЕНИЕ

Ранее основным источником ошибок в устройствах были сбои в элементах памяти. Однако с увеличением степени интеграции и появлением эффективной защиты для последовательных элементов влияние ошибок в комбинационных участках схем приобрело больший вес [1].

Различают три механизма маскирования ошибок в комбинационных схемах: логическое, электрическое и временное. Логическое маскирование обусловлено ненаблюдаемостью элемента, в котором произошел сбой. Электрическое маскирование связано с постепенным затуханием скачка напряжения при распространении по схеме. Временное маскирование проявляется, когда элемент памяти на выходе комбинационной схемы находится в режиме хранения во время сбоя.

В данном исследовании рассматривается логическое маскирование. Именно оно является основным фактором, снижающим интенсивность

ошибок в работе схемы [2], а также наиболее сложным для оценки и манипуляции [3].

В настоящее время для повышения сбоеустойчивости схемы на уровне логического проектирования так или иначе применяется копирование отдельных ее участков. Однако проведенные ранее исследования показывают, что сама структура схемы оказывает существенное влияние на ее маскирующие свойства даже при отсутствии избыточности [4]. Данный факт лежит в основе предлагаемого подхода к ресинтезу - поиска более надежного аналога среди множества эквивалентных схем, сгенерированных разными способами.

Низкая интенсивность сбоев в современных КМОП-технологиях [5] позволяет рассматривать однократные сбои как основной источник ошибок в работе устройства и при оценке надежности учитывать только их.

II. ОЦЕНКА СБОЕУСТОЙЧИВОСТИ

Для оценки сбоеустойчивости схем используется предложенная ранее метрика - обобщенный коэффициент логической чувствительности [6]. Коэффициент чувствительности характеризует логическую устойчивость схемы к однократным сбоям и вычисляется по формуле:

$$s = \sum_{G_i} O_{G_i}, \quad (1)$$

где O_{G_i} - наблюдаемость элемента G_i на первичных выходах схемы; суммирование производится по всем элементам.

В данном исследовании при моделировании применяются векторные вычисления [7]. Каждому узлу схемы присваивается сигнатура:

$$Signature_{G_i} = \{f_{G_i}(X_1), f_{G_i}(X_2), \dots, f_{G_i}(X_N)\}, \quad (2)$$

где X_j - j-й набор входных сигналов, N - количество моделируемых входных воздействий, $f_{G_i}(X)$ - значение сигнала на выходе элемента G_i , соответствующее входному набору X. Для удобства здесь и далее рассматриваются элементы с одним выходом, поэтому элементу G_i однозначно соответствует управляемый им узел схемы. Однако представленные рассуждения легко обобщаются для многовыходных элементов.

Наблюдаемости узлов представляются масками ODC (observability don't care) [8]:

$$ODC_{G_i} = \{O_{G_i}(X_1), O_{G_i}(X_2), \dots, O_{G_i}(X_N)\}, \quad (3)$$

где $O_{G_i}(X)$ - наблюдаемость элемента G_i на первичных выходах схемы при входном наборе X . Для определенного входного набора наблюдаемость принимает значение 0 или 1, а вероятность O_{G_i} в общем случае может быть получена как отношение количества единиц в маске ODC_{G_i} к ее длине:

$$O_{G_i} = \frac{w(ODC_{G_i})}{|ODC_{G_i}|} \quad (4)$$

Поскольку сигнатуры и маски ODC представляют собой булевы вектора, в памяти они хранятся как целочисленные переменные, а вычисления производятся с помощью побитовых операций над ними. В первую очередь вычисляются сигнатуры: в булеву функцию, реализуемую элементом, вместо независимых переменных подставляются сигнатуры соответствующих его входов. Затем вычисляются маски ODC.

Существует несколько методов получения набора наблюдаемостей узла [8,9]. Самый быстрый из них - метод обратного распространения масок ODC - имеет линейную временную сложность относительно количества элементов. Однако он не точен при наличии в схеме реконвергентных путей [9]. Поэтому для оценки используется разработанный ранее метод ускоренной симуляции ошибки [10]. Временные затраты при таком подходе существенно выше, однако качество ресинтеза зависит от точности вычисления масок ODC. Кроме того, как будет показано далее, точный расчет масок ODC по всей схеме необходим только при подготовке к ресинтезу, а в самом процессе пересчет ведется в ограниченной области.

III. РЕСИНТЕЗ

Процесс ресинтеза представляет собой итеративное изменение структуры схемы с сохранением ее функционала. В данной работе рассматривается замена участков схемы другими, функционально эквивалентными, но более сбоеустойчивыми подсхемами.

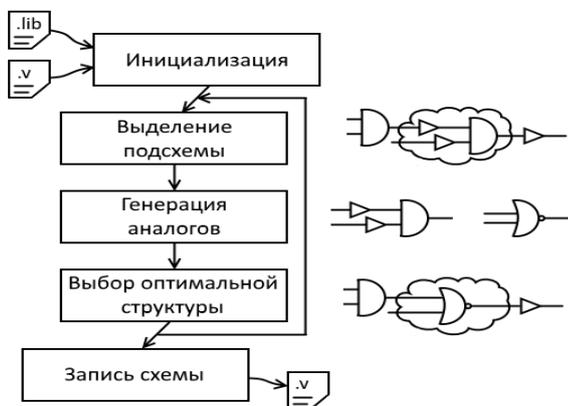


Рис. 1. Маршрут ресинтеза с примером

На рис. 1 представлен полный маршрут ресинтеза схемы. На вход программе подается verilog-описание

плоской (без иерархических блоков) схемы, полученное с помощью Synopsys Design Compiler, а также соответствующая библиотека элементов в формате Liberty. Информация из каждого входного файла записывается в память в виде ассоциативного массива с доступом по ключу - словаря. Библиотечный файл представляется словарем стандартных ячеек и реализуемых ими функций, а verilog-файл - словарем элементов схемы и их описаний. В описание элемента входят его тип, связи с соседними элементами, а также присвоенные при моделировании сигнатура выхода и маски ODC всех контактов.

После считывания схема передается функции ресинтеза, итерационно повышающей ее маскирующие свойства посредством замен. Каждая итерация состоит из трех основных этапов: выделение участка схемы, генерация его функциональных эквивалентов и выбор наиболее оптимального решения.

На первом этапе используется алгоритм кластеризации с ограничениями на количество входов и выходов выделяемого участка. Сформированный кластер заменяется в схеме абстрактной подсхемой, реализующей соответствующие функции.

Далее различными способами формируется внутренняя структура подсхемы. В данной работе применялись схемы полученные посредством минимизации функций методом Квайна - Мак-Класки, а также с помощью средств синтеза в системе ABC [11]. Оба способа используют таблицу истинности, представленную минтермами либо макстермами. Таким образом, при выборе оптимальной реализации подсхемы существует до 5 альтернатив, включая исходный кластер.

На последнем этапе производится оценка целевой функции - коэффициента чувствительности схемы - для каждой имеющейся структуры. Данный процесс подробно описан в следующей части. После выбора оптимальной структуры схема возвращается к плоскому виду для дальнейшей обработки.

IV. СБОЕУСТОЙЧИВОСТЬ ПОДСХЕМЫ

Покажем сначала, что внутренняя структура подсхемы не влияет на маски ODC остальных элементов.

Очевидно, что сигнатуры узлов вне подсхемы постоянны, если постоянна ее таблица истинности. Также очевидно, что структура подсхемы не влияет на распространение по схеме ошибок вне ее входного конуса. Поэтому рассмотрим инверсную ошибку на элементе G_i , находящемся во входном конусе подсхемы. Ее следствием является ошибочная комбинация сигнатур $\{S_{Y_1}^*, S_{Y_2}^*, \dots, S_{Y_K}^*\}$ на входах подсхемы, K - количество входов. Соответствующая ей комбинация выходных сигнатур $\{S_{Z_1}^*, S_{Z_2}^*, \dots, S_{Z_L}^*\}$ (L - количество выходов) зависит только от таблицы истинности. Таким образом, распространение ошибки, проходящей через подсхему, также не зависит от ее структуры. Следовательно, наблюдаемости элементов

исходной схемы для каждого входного набора X (т.е. их маски ODC) не изменяются, и при ресинтезе достаточно вести пересчет внутри подсхемы.

Поскольку подсхема имеет небольшие размеры (в данной работе используется ограничение в 4 входа и 4 выхода), возможен полный перебор входных комбинаций и однократных ошибок для определения наблюдаемостей внутренних узлов. Однако такой подход не учитывает, что входные комбинации для подсхемы не равновероятны - влияние входного конуса, - а ошибки на выходах подсхемы могут быть маскированы при дальнейшем распространении - влияние выходного конуса.

В более ранних исследованиях [4] для оценки надежности подсхемы применялись вероятностные методы, требующие дополнительных вычислений. Важным отличием настоящей работы является использование бит-параллельного моделирования, описанного в главе II. Вычисленные при подготовке к ресинтезу сигнатуры и маски ODC записываются в память и хранятся на протяжении всего периода работы со схемой. Кроме того, любые постоянные изменения в структуре схемы сопровождаются вычислением этих векторов для новых элементов. Таким образом, в любой момент времени известны сигнатуры и маски ODC всех узлов схемы, отражающие необходимые распределения вероятностей. Последние, однако, могут вычисляться неточно и накапливать ошибки.

Использование имеющихся сигнатур на входах подсхемы при ее моделировании позволяет учесть влияние входного конуса, поскольку сигнатуры при случайном наборе входных воздействий естественным образом подчиняются распределению вероятностей сигналов на соответствующих узлах.

Влияние выходного конуса учитывается с помощью выходных ODC подсхемы. Маска ODC элемента G_i , находящегося в подсхеме, вычисляется по формуле:

$$ODC_{G_i} = \sum_{z_j \in Z} ODC_{G_i}^{z_j} * ODC_{z_j}, \quad (5)$$

где Z - множество выходов подсхемы, $ODC_{G_i}^{z_j}$ - относительная наблюдаемость элемента G_i на выходе z_j , ODC_{z_j} - маска узла, подключенного к выходу z_j в исходной схеме. Операции суммирования и умножения означают побитовую дизъюнкцию и конъюнкцию соответственно.

Данная формула, однако, точна только в том случае, если пути распространения ошибок с разных выходов подсхемы не пересекаются.

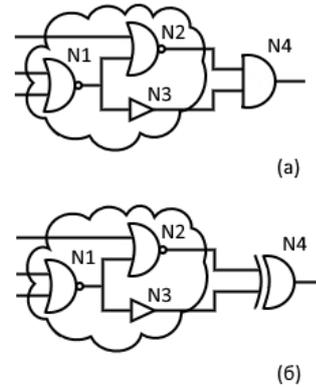


Рис. 2. Подсхема с реконвергентными путями на выходах, приводящими к появлению в маске ODC: (а) - ложного нуля, (б) - ложной единицы

На рис. 2 приведены примеры схем, для которых формула (5) дает неточную оценку коэффициента чувствительности. Сбой на элементе N1 может повлиять на оба выхода подсхемы одновременно, что приведет к двукратной ошибке на входах элемента N4. Наблюдаемость $O(N1)$ в таком случае будет вычисляться по формуле (5) как сумма наблюдаемостей однократных ошибок на элементах N2 и N3. Однако одновременная наблюдаемость $O(N2, N3)$ не равна $O(N2) + O(N3)$. В схеме (а) $O(N2) + O(N3) = 0$ и $O(N2, N3) = 1$, когда сигналы на обоих выходах подсхемы принимают значение 0. В схеме (б) $O(N2) + O(N3) = 1$ и $O(N2, N3) = 0$ при любых значениях сигналов.

Существенные погрешности в вычислении масок ODC приводят к неоптимальным заменам и накоплению ошибок в процессе ресинтеза. В данной работе рассматриваются три способа корректировки основного алгоритма с целью повышения его эффективности: отказ от многовыходных подсхем, выбор более оптимистичной оценки целевой функции для исходной структуры и вычисление одновременных наблюдаемостей для комбинаций ошибок на выходах подсхемы.

Под более оптимистичной оценкой подразумевается меньшее из двух значений коэффициента чувствительности исходной подсхемы: первое вычисляется по маскам ODC, хранящимся в памяти, второе - по формуле (5). Неравенство этих значений свидетельствует о наличии реконвергентных путей и/или о накопленных ошибках. Данная корректировка играет роль сдерживающего фактора, потому как снижает вероятность замены при неточной оценке.

Вычисление наблюдаемостей комбинаций ошибок представляет собой полный перебор этих комбинаций и симуляцию распространения ошибок в выходном конусе подсхемы. Пусть Z - множество всех выходов подсхемы, $E \subseteq Z$. Тогда:

$$ODC_E = \{O_E(X_1), O_E(X_2), \dots, O_E(X_N)\}, \quad (6)$$

по аналогии с формулой (3). Вычислив ODC_E для всех $E \in \mathcal{P}(Z)$, т.е. для всех возможных комбинаций ошибок на выходах подсхемы, можно уточнить формулу (5):

$$ODC_{G_i} = \sum_{E \in \mathcal{P}(Z)} \left[\prod_{z_j \in E} ODC_{G_i}^{z_j} * \prod_{z_k \in \bar{E}} \overline{ODC_{G_i}^{z_k}} * ODC_E \right], \quad (7)$$

где $\bar{E} = Z \setminus E$ - дополнение подмножества E до множества Z , $\overline{ODC_{G_i}^{z_k}}$ - побитово инвертированная маска, т.е. булев вектор, в котором единицы соответствуют ненаблюдаемости G_i на z_k . Таким образом, первые два множителя под знаком суммы принимают значение 1 тогда и только тогда, когда E - множество выходов подсхемы, на которых наблюдаем элемент G_i . Поэтому формулу (7) можно записать в сокращенном виде, аналогично формуле (5):

$$ODC_{G_i} = \sum_{E \in \mathcal{P}(Z)} ODC_{G_i}^E * ODC_E, \quad (7.1)$$

$ODC_{G_i}^E$ - наблюдаемость элемента G_i на подмножестве выходов E .

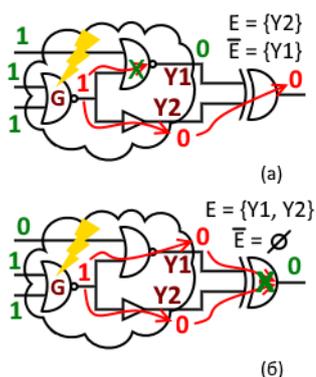


Рис. 3. Пример распространения ошибок с выхода подсхемы: (а) - однократная ошибка, (б) - двукратная ошибка

На рис. 3 более подробно представлено распространение ошибки с элемента подсхемы. В состоянии (а) элемент G наблюдаем только на выходе $Y2$, т.е. $O_G^E = 1$ при $E = \{Y2\}$. В состоянии (б) элемент наблюдаем на обоих выходах подсхемы, т.е. $O_G^E = 1$ при $E = \{Y1, Y2\}$. Таким образом, по формуле (7) $O_G = O_{Y2} = 1$ в случае (а) и $O_G = O_{\{Y1, Y2\}} = 0$ в случае (б), что совпадает с действительностью.

Существенным недостатком формулы (7) является большой объем вычислений. В ходе исследования было замечено, что даже при наличии в схеме избыточности формула (5) часто дает точный результат либо удовлетворительное приближение. Поэтому формула (7) использовалась для уточнения только при различии в оценках коэффициента чувствительности по сохраненным маскам ODC и по упрощенной формуле. Кроме того, симуляция ошибок на подмножестве выходов E не производилась в том случае, если $ODC_{G_i}^E \equiv 0 \forall G_i \in M$, где M - множество элементов подсхемы. Иными словами, не существовало

одиночной ошибки, наблюдаемой строго на множестве выходов E .

V. ЭКСПЕРИМЕНТАЛЬНЫЕ РЕЗУЛЬТАТЫ

Эффективность методов сокращения неоптимальных замен была проверена с помощью эксперимента над схемой s432 из набора ISCAS'85. В первую очередь производилось вычисление масок ODC методом обратного распространения. Затем для случайных участков схемы применялось трехкратное резервирование с целью увеличения избыточности и количества реконвергентных путей; маски ODC обновлялись соответствующим образом. Копирование всей схемы было исключено, т.к. общее количество элементов ограничивалось 180% от исходного. Полученная структура проходила 250 итераций ресинтеза без параллельного выделения подсхем, и после каждой замены осуществлялась оценка коэффициента чувствительности точным методом. Хранящиеся в памяти маски ODC при этом не обновлялись, что позволило наблюдать последствия накопления ошибок.

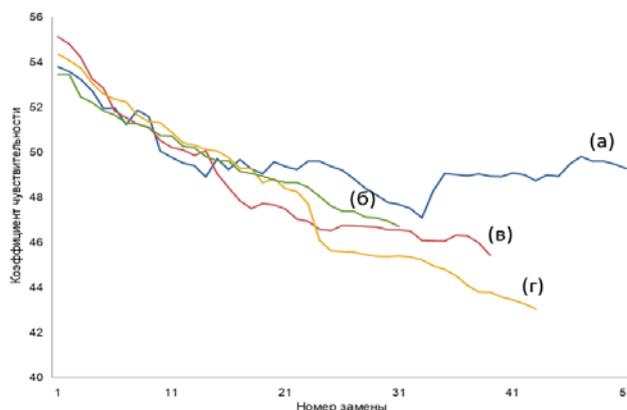


Рис. 4. Динамика изменения коэффициента чувствительности опытной схемы в процессе ресинтеза: (а) - без модификаций, (б) - с одновыходными подсхемами, (в) - с оптимистичной оценкой исходной структуры, (г) - с использованием уточненной формулы (7)

Как видно из рис. 4, ресинтез без модификаций при наличии в схеме избыточности может оказаться бесполезен. Метод (б) гарантирует принятие только оптимальных решений, однако значительно сужает область поиска. Метод (в) повышает стабильность ресинтеза без существенных ограничений и дополнительных вычислений. Метод (г) дает наилучший результат за счет точной оценки без ограничений, однако требует существенных временных затрат: сравнение реализаций подсхемы занимает в среднем в 2-3 раза больше времени, чем при ресинтезе без модификаций.

Затем предложенный алгоритм ресинтеза был протестирован на схемах из наборов LGSynth'89 и ISCAS'85, синтезированных в библиотеках элементов silterra и nangate с оптимизацией по площади и длине критического пути в программе Synopsys Design

Compiler. На каждой итерации параллельно обрабатывалось до 50 подсхем (в зависимости от размеров исходной схемы это число могло быть меньше), общее количество итераций - 200. В *таблице 1* представлены усредненные результаты тестирования.

На основе полученных данных можно сделать вывод, что оптимизация схем по площади сама по себе ведет к понижению коэффициента чувствительности, однако и в этом случае возможно дальнейшее улучшение маскирующих свойств в ходе ресинтеза.

Таблица 1

Усредненные результаты ресинтеза для схем, синтезированных в библиотеках nangate и silterra с оптимизацией по площади и задержке на критическом пути (S – площадь, D – задержка)

Набор схем	ISCAS'85				LGSynth'89			
	Nangate		Silterra		Nangate		Silterra	
Библиотека	S	D	S	D	S	D	S	D
Параметр оптимизации	S	D	S	D	S	D	S	D
Среднее изменение площади, %	4.22	7.13	1.18	-48.3	7.22	1.21	13.02	-10.9
Среднее изменение критического пути, %	2.58	152.4	1.00	176.9	13.3	146.5	11.4	271.8
Среднее изменение коэффициента чувствительности, %	-1.17	-18.3	-2.96	-13.3	-3.09	-18.7	-5.09	-16.7

Таблица 1 отражает также и обратный эффект: площадь может быть существенно уменьшена при ресинтезе, если исходная схема не оптимальна по данному параметру. Кроме того, большое влияние как на эффективность оптимизации, так и на эффективность ресинтеза оказывает используемая библиотека элементов.

Усредненные значения, однако, не так показательны, как некоторые отдельно взятые примеры. В *таблице 2* представлены результаты ресинтеза для трех схем, значительно отличающиеся от средних.

Таблица 2

Результаты ресинтеза для отдельных схем

Схема	i5_orig (LGSynth'89)				pm1_synth (LGSynth'89)		cm82a_synth (LGSynth'89)	
	Nangate		Silterra		Nangate		Silterra	
Параметр оптимизации	Площадь	Задержка	Площадь	Задержка	Площадь	Задержка	Площадь	Задержка
Площадь схемы, мкм ² (до / после)	105.3 / 173.2	325.8 / 321.6	1317 / 2195	6227 / 5156	24.2 / 25.5	37.5 / 33.3	166.3 / 173.0	538.9 / 299.4
Изменение площади, %	64.4	-1.3	66.7	-17.2	5.49	-11.3	4.00	-44.4
Критический путь, нс (до / после)	0.711 / 0.783	0.212 / 0.446	1.246 / 2.114	0.280 / 1.424	0.431 / 0.457	0.139 / 0.213	0.412 / 0.412	0.197 / 0.353
Изменение критического пути, %	10.1	110.5	69.6	408.2	5.95	52.7	0	79.4
Коэффициент чувствительности (до / после)	132.0 / 106.8	190.9 / 139.8	132.0 / 105.5	176.5 / 140.2	20.7 / 18.8	22.5 / 18.0	7.51 / 6.51	13.5 / 6.22
Изменение коэффициента чувствительности, %	-19.1	-26.8	-20.1	-20.5	-8.84	-20.1	-13.3	-53.8

Хотя в среднем исходная разность коэффициентов чувствительности эквивалентных схем, синтезированных с оптимизацией по площади и по задержке, достаточно велика, после ресинтеза она, как правило, сокращается, а иногда и меняет знак.

Последнее позволяет предположить существование локальных минимумов коэффициента чувствительности. Возможность применения стохастических алгоритмов при ресинтезе с целью

повышения его эффективности требует дополнительного исследования.

VI. ЗАКЛЮЧЕНИЕ

Проведенные исследования и разработанные алгоритмы являются платформой для дальнейшей работы в области ресинтеза комбинационных схем на этапе логического проектирования. Дальнейшая работа будет посвящена вопросам автоматизации применения мажоритарных подходов к повышению сбоеустойчивости и их обобщению, частично произведенное в [12]. Также планируется исследование подходов, связанных с изменением функции узла в пределах его ODC с целью уменьшения наблюдаемости [13]. Кроме того, будут проведены исследования по выявлению корреляции между предложенными метриками сбоеустойчивости схемы и частотой ошибок при моделировании попадания заряженных частиц с учетом технологии изготовления, схемотехнической реализации и топологии кристалла.

ЛИТЕРАТУРА

- [1] Mahatme NN, Jagannathan S, Loveless TD, Massengill LW, Bhuvu BL, Wen S-J. et al. Comparison of combinational and sequential error rates for a deep submicron process // IEEE Trans Nucl Sci (TNS) 2011;58(6):2719-25.
- [2] Asadi, H., Tahoori, M.B., Fazeli, M., Miremadi, S.G. Efficient algorithms to accurately compute derating factors of digital circuits // Microelectron Reliab. 2012. No. 52(6). P. 1215-1226.
- [3] George, N., Lach, J. Characterization of logical masking and error propagation in combinational circuits and effects on system vulnerability // Dependable Systems Networks (DSN), 2011 IEEE/IFIP 41st Intern. Conf. 2011. P. 323-334.
- [4] Стемповский А.Л., Соловьев Р.А., Тельпухов Д.В. Повышение сбоеустойчивости логических схем на

основе частичного ресинтеза схемы // Информационные технологии. 2016. Т. 22. № 7. С. 515-522.

- [5] Choudhury, M.R., Mohanram, K. Reliability analysis of logic circuits // IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems. 2009. No. 28 (3). P. 392-405.
- [6] Стемповский А.Л., Тельпухов Д.В., Соловьев Р.А., Мячиков М.В., Тельпухова Н.В. Разработка технологически-независимых метрик для оценки маскирующих свойств логических схем // Вычислительные технологии. 2016. Т. 21. № 2. С. 53-62
- [7] Стемповский А.Л., Тельпухов Д.В., Соловьев Р.А., Мячиков М.В. Методы повышения производительности вычислений при расчете метрик надежности комбинационных логических схем // Вычислительные технологии. 2016. Т. 21. № 6.
- [8] Mischenko, A., Brayton, R. SAT-based complete don't care computation for network optimization // DATE '05. P. 412-417.
- [9] Plaza, S., Chang, K.-H., Markov, I., Bertacco, V. Node mergers in the presence of Don't Cares // ASP-DAC '07. P. 414-419.
- [10] Stempkovskiy A.L., Telpukhov D.V., Nadolenko V.V., Fast and Accurate Back Propagation Method for Reliability Evaluation of Logic Circuits // 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIconRus)
- [11] Berkeley Logic Synthesis and Verification Group, ABC: A System for Sequential Synthesis and Verification. <http://www.eecs.berkeley.edu/~alanmi/abc/>
- [12] Стемповский А.Л., Тельпухов Д.В., Соловьев Р.А., Мячиков М.В. Повышение отказоустойчивости логических схем с использованием нестандартных мажоритарных элементов // Информационные технологии. 2015. Т. 21. № 10. С. 749-756.
- [13] Smita Krishnaswamy, Stephen M. Plaza, Igor L. Markov, and John P. Hayes. Enhancing Design Robustness with Reliability-aware Resynthesis and Logic Simulation // IWLS, 2007.

Development of Resynthesis Flow for Improving Logical Masking Features of Combinational Circuits

V.V. Nadolenko, D.V. Telpukhov, Y.V. Bitkov

Institute for Design Problems in Microelectronics of RAS, Moscow, dmtr@ippm.ru

Abstract — the following paper is devoted to the elaboration of resynthesis flow for combinational circuits in order to improve fault tolerance. Sensitivity factor which is an average number of unreliable components is used as a metric for circuit's vulnerability to single event transients (SETs). Resynthesis algorithm initiates an iterative process of improving a part of original circuit by substituting it with a functionally equivalent subcircuit of alternative structure providing better masking features. Subcircuit optimization with respect to its reliability doesn't necessarily involve redundancy. Actually, redundant structure may not provide the best result. Each subcircuit is evaluated separately in order to speed up the process. Input pattern probabilities and output observabilities are used during the evaluation to simulate the environment influence. Proposed algorithm was tested on circuits from ISCAS'85 and LGSynth'89

benchmarks synthesized in Synopsys Design Compiler with area and timing optimization using nangate and silterra libraries.

Keywords — SET, resynthesis, fault tolerance, observability, ODC

REFERENCES

- [1] Mahatme NN, Jagannathan S, Loveless TD, Massengill LW, Bhuvu BL, Wen S-J. et al. Comparison of combinational and sequential error rates for a deep submicron process // IEEE Trans Nucl Sci (TNS) 2011;58(6):2719-25.
- [2] Asadi, H., Tahoori, M.B., Fazeli, M., Miremadi, S.G. Efficient algorithms to accurately compute derating factors

- of digital circuits // *Microelectron Reliab.* 2012. No. 52(6). P. 1215-1226.
- [3] George, N., Lach, J. Characterization of logical masking and error propagation in combinational circuits and effects on system vulnerability // *Dependable Systems Networks (DSN)*, 2011 IEEE/IFIP 41st Intern. Conf. 2011. P. 323-334.
- [4] Stempkovskiy A.L., Solov'ev R.A., Telpukhov D.V. Povyshenie sboustojchivosti logicheskikh shem na osnove chastichnogo resinteza shemy // *Informacionnye tehnologii.* 2016. Vol. 22. № 7. P. 515-522.
- [5] Choudhury, M.R., Mohanram, K. Reliability analysis of logic circuits // *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems.* 2009. No. 28 (3). P. 392-405.
- [6] Stempkovskiy A.L., Telpukhov D.V., Solov'ev R.A., Myachikov M.V., Telpukhova N.V. Razrabotka tehnologicheskimi-nezavisimymi metrik dlja ocenki maskirujushchih svoystv logicheskikh shem // *Vychislitel'nye tehnologii.* 2016. Vol. 21. № 2. P. 53-62
- [7] Stempkovskiy A.L., Telpukhov D.V., Solov'ev R.A., Myachikov M.V. Metody povysheniya proizvoditel'nosti vychislenij pri raschete metrik nadezhnosti kombinacionnykh logicheskikh shem // *Vychislitel'nye tehnologii.* 2016. Vol. 21. № 6.
- [8] Mischenko, A., Brayton, R. SAT-based complete don't care computation for network optimization // *DATE '05.* P. 412-417.
- [9] Plaza, S., Chang, K-H., Markov, I., Bertacco, V. Node mergers in the presence of Don't Cares // *ASP-DAC '07.* P. 414-419.
- [10] Stempkovskiy A.L., Telpukhov D.V., Nadolenko V.V., Fast and Accurate Back Propagation Method for Reliability Evaluation of Logic Circuits // *2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*
- [11] Berkeley Logic Synthesis and Verification Group, ABC: A System for Sequential Synthesis and Verification. <http://www.eecs.berkeley.edu/~alanmi/abc/>
- [12] Stempkovskiy A.L., Telpukhov D.V., Solov'ev R.A., Myachikov M.V. Povyshenie otkazoustojchivosti logicheskikh shem s ispol'zovaniem nestandardnykh mazhoritarnykh jelementov // *Informacionnye tehnologii.* 2015. Vol. 21. № 10. P. 749-756.
- [13] Smita Krishnaswamy, Stephen M. Plaza, Igor L. Markov, and John P. Hayes. Enhancing Design Robustness with Reliability-aware Resynthesis and Logic Simulation // *IWLS*, 2007.