

Проектирование токовых элементов памяти на основе математического аппарата линейной алгебры

Н.В. Бутырлагин¹, Н.И.Чернов¹, Н.Н. Прокопенко^{1,2}, В. Югай¹

¹Донской государственной технический университет, г. Ростов-на-Дону, prokopenko@sssu.ru

² Институт проблем проектирования в микроэлектронике РАН, г. Зеленоград

Аннотация — Рассмотрены основы проектирования элементов памяти (ЭП) для запоминания токовых цифровых сигналов. Предлагается нетрадиционная методика синтеза ЭП, в основу которой положен математический аппарат линейной алгебры. Представлены общие уравнения и КМОП схемотехника основных типов токовых ЭП. Показано, что логическими элементами, пригодными для построения двузначных ЭП, являются схемы, реализующие операции «штрих Шеффера», «стрелка Пирса», «запрет по x_2 », «импликация от x_1 к x_2 », «сумма по модулю 2» или «логическая равнозначность». Предлагаемые ЭП рекомендуется использовать в качестве базовых компонентов двузначных токовых триггерных схем.

Ключевые слова — токовые логические операции, токовый элемент памяти, токовые триггеры, линейное представление логических операций, операции усеченной разности и сравнения.

I. ВВЕДЕНИЕ

Конечный автомат, как объект анализа или синтеза выступает в двух «ипостасях»:

– как алфавитный преобразователь информации, реализующий некоторое отображение;

– как динамическая система, изменяющая свое состояние под действием внешних и внутренних сигналов.

В дальнейшем нас будут интересовать проблемы первой «ипостаси» – структурной теории автоматов, причем в их простейшей интерпретации и на весьма ограниченном поле – поле синтеза элементов памяти.

Технологии микроэлектроники оказывают существенное влияние на выбор математического аппарата логического синтеза цифровых структур. Например, для синтеза потенциальных цифровых структур наиболее подходящим аппаратом оказалась булева алгебра. Для синтеза токовых цифровых устройств [1]-[3], по мнению авторов, таким аппаратом является линейная алгебра [4]-[12].

В настоящей работе последовательно рассматриваются линейные токовые интерпретации булевых логических функций, применяемых для построения токовых ЭП. Затем даются основы линейного логического синтеза и токовой схемотехнической реализации

указанных функций, а также построения токовых ЭП. Эффективность предлагаемой схемотехники подтверждается моделированием в современных средах, которое представлено в патентах РФ № 2506695, 2509412, 2514789, 2547225, 2549144, 2553070. Следует отметить, что в указанных патентах приведены биполярные схемы токовых логических элементов, однако практика проектирования демонстрирует топологическую идентичность биполярных и КМОП-схем рассматриваемого класса.

II. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ДЛЯ ПОСТРОЕНИЯ ЭЛЕМЕНТОВ ПАМЯТИ

Логическими элементами (ЛЭ), пригодными для построения двузначных ЭП, являются схемы, реализующие логические операции $y = x_1/x_2 = \overline{x_1 x_2}$ («штрих Шеффера», рис. 1а), $y = x_1 \downarrow x_2 = \overline{x_1 \vee x_2}$ («стрелка Пирса», рис. 1б), $y = x_1 \nabla x_2 = \overline{x_1 x_2}$ («запрет по x_2 », рис. 1в), $y = x_1 \rightarrow x_2 = x_1 \vee \overline{x_2}$ («импликация от x_1 к x_2 », рис. 1г), $y = x_1 \oplus x_2$ («сумма по модулю 2», рис. 1д), или $y = x_1 \sim x_2$ («логическая равнозначность», рис. 1е). Далее эти ЛЭ используются в качестве базовых компонентов двузначных токовых триггерных схем [12].

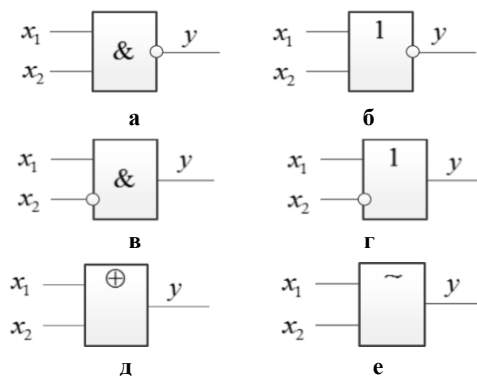


Рис. 1. Условные графические обозначения двузначных ЛЭ для построения токовых элементов памяти

На основе ЛЭ рис. 1а, в обычно проектируются элементы памяти (в т.ч. триггерные схемы) с управлением «логическим нулем», а на основе рис. 1 б, г – с управлением «логической единицей». Остальные логические операции применяются относительно редко, либо вообще не применяются (результат влияния тех-

нологии). Однако они будут рассмотрены наравне с остальными, поскольку их линейная интерпретация основана на тех же линейных операциях, что и представление широко применяемых булевых операций.

Рассмотрим возможные линейные интерпретации булевых операций. Для их получения используются базисы линейного пространства, построенные на основе операций «усеченная разность» ($\dot{-}$) и «сравнение» ($>$) в силу простоты их схемотехнической реализации [4]-[12]. Линейные представления основных булевых операций, применяемых для реализации ЭП, сведены в табл. 1.

Таблица 1

Линейное представление булевых операций

Булево представление	Линейное представление с помощью операции:	
	«усеченная разность»	«сравнение»
$x_1 \cdot x_2 \cdot \dots \cdot x_n$	$1 \dot{-} (x_1 + x_2 + \dots + x_n) \dot{-} (n-1)$	$(x_1 + x_2 + \dots + x_n) > (n-1)$
$x_1 \vee x_2 \vee \dots \vee x_n$	$1 \dot{-} (x_1 + x_2 + \dots + x_n)$	$(x_1 + x_2 + \dots + x_n) > 0$
$\overline{x_1 x_2}$	$1 \dot{-} [(x_1 + x_2) \dot{-} 1]$	$1 > [(x_1 + x_2) > 1]$
$\overline{x_1 \vee x_2}$	$1 \dot{-} (x_1 + x_2)$	$1 > (x_1 + x_2)$
$x_1 \overline{x_2}$	$x_1 \dot{-} x_2$	$x_1 > x_2$
$x_1 \vee \overline{x_2}$	$1 \dot{-} (x_2 \dot{-} x_1)$	$1 > (x_2 > x_1)$
$x_1 \oplus x_2$	$ x_1 \dot{-} x_2 $	$1 > (x_2 = x_1)$
$x_1 \sim x_2$	$1 - x_1 \dot{-} x_2 $	$x_2 = x_1$

Теперь рассмотрим схемотехнические реализации операций из табл. 1, вначале на основе «усеченной разности», а затем – на основе операции сравнения.

Схемы двух возможных реализаций операции «штрих Шеффера», отличающихся направлениями входных и выходных сигналов, приведены на рис. 2.

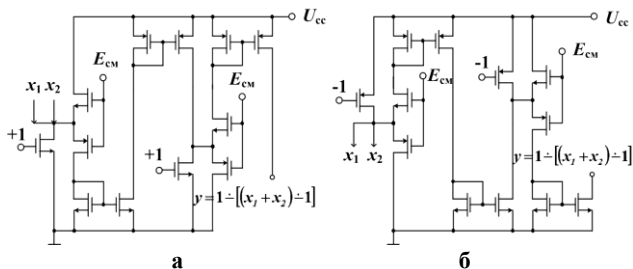


Рис. 2. «Вытекающая» (а) и «втекающая» (б) схемотехнические реализации операции «штрих Шеффера»: $y = 1 \dot{-} [(x_1 + x_2) \dot{-} 1]$

На рис. 2 и далее напряжение смещения E_{cm} равно половине напряжения питания $U_{cc}/2$. Сравнивая линейное представление операции $y = 1 \dot{-} [(x_1 + x_2) \dot{-} 1]$ с ее схемотехнической реализацией рис. 2, можно увидеть их полное соответствие. Работа ЛЭ состоит в следующем (на примере «втекающей» реализации). При $x_1 = x_2 = 0$ (отсутствие квантов тока) токи на входах и выходах первого «перегнутого каскода» и первого токового инвертора отсутствуют, и квант втекающего тока I_0 , формируемый токовым зеркалом, на входе которого

задан потенциал, обозначенный +1, проходит на выход элемента, т.е. обеспечивается равенство $y = 1$. При наличии кванта тока на одном из входов, т.е. при $x_1 = 1, x_2 = 0$, либо при $x_1 = 0, x_2 = 1$, либо на обоих входах на выходе первого «перегнутого каскода» на выходе ЛЭ отсутствует квант втекающего тока, т.е. $y = 0$.

Схемы двух возможных реализаций операции «стрелка Пирса», отличающихся направлениями входных и выходных токовых сигналов, приведены на рис. 3.

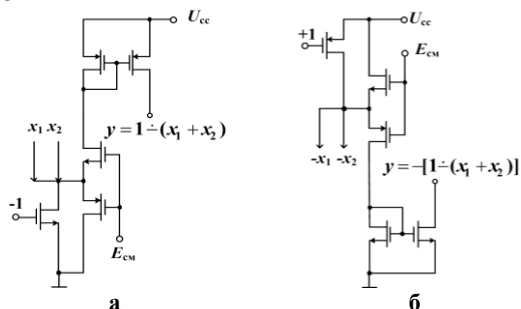


Рис. 3. «Вытекающая» (а) и «втекающая» (б) схемотехнические реализации операции «стрелка Пирса»

Сравнивая линейное представление операции $y = 1 \dot{-} (x_1 + x_2)$ с ее схемотехнической реализацией рис. 3, можно увидеть их полное соответствие. Работа данного ЛЭ (на примере «вытекающей» реализации) состоит в следующем. При $x_1 + x_2 = 0$ ток на входе и выходе «перегнутого каскода» и токового инвертора равны кванту втекающего тока, формируемого токовым зеркалом, с входным потенциалом, обозначенным –1, т.е. $y = 1$.

При наличии кванта тока на любом из входов, т.е. $x_1 = 1, x_2 = 0$, либо при $x_1 = 0, x_2 = 1$, либо $x_1 = 1, x_2 = 1$ вытекающий квант тока -1 компенсируется и ток на выходе ЛЭ оказывается равным 0.

Аналогичные соображения можно привести для линейной схемотехнической реализации операции «запрет по x_2 » (рис. 4).

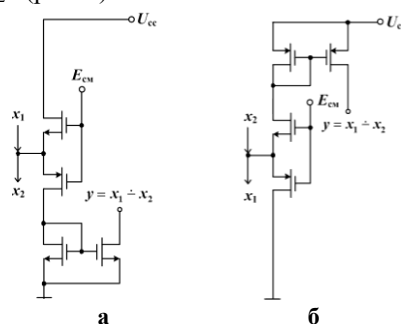


Рис. 4. «Втекающая» (а) и «вытекающая» (б) схемотехнические реализации операции «запрет по x_2 »: $y = x_1 \dot{-} x_2$

Сравнивая линейное представление операции $y = x_1 \dot{-} x_2$ с ее схемотехнической реализацией рис. 4, можно увидеть их полное соответствие. Работу ЛЭ рис. 4 схемы можно описать аналогично работе ранее рассмотренных ЛЭ.

Схемы двух возможных реализаций операции «сумма по mod 2», отличающихся направлениями входных и выходных сигналов, приведены на рис. 5. Работу данных логических элементов можно описать аналогично работе ранее рассмотренных ЛЭ.

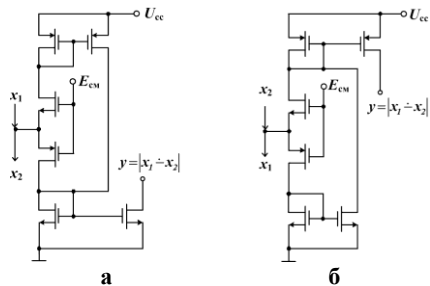


Рис. 5. «Втекающая» (а) и «вытекающая» (б) схемотехнические реализации операции «сумма по mod 2»: $y = |x_1 \dot{-} x_2|$

Схемотехническая реализация операции $x_1 \sim x_2$ – это реализация операции $1 \dot{-} (x_1 \oplus x_2)$, а схемотехническая реализация операции импликации – это реализация операции $1 \dot{-} (x_2 \dot{-} x_1)$. Поэтому их реализация аналогична реализации названных операций (отличается лишь введением дополнительной инверсии) и они специально не рассматриваются.

Как следует из рис. 2 – 5, как и в булевом случае, наиболее простую схемотехническую реализацию имеют операции «стрелка Пирса» и «запрет по x_2 ». Их и следует использовать для реализации двузначных элементов памяти.

Далее рассмотрим реализации функций из табл.1 с помощью операции «сравнение». Основной схемотехнической реализацией данной операции является дифференциальный каскад (ДК) [12]. Для работы с токовыми сигналами ДК подключается к ним через специальный «перегнутый каскад». Схемы двух возможных реализаций токового инвертора (элемент НЕ), на основе которого производится реализация всех остальных логических элементов, приведены на рис. 6.

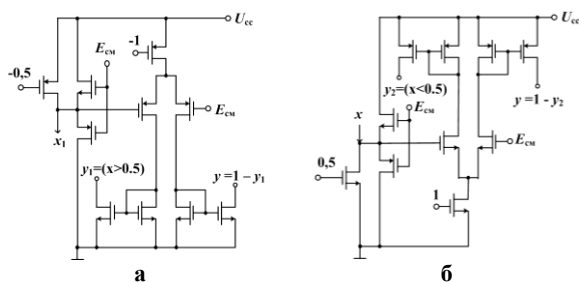


Рис. 6. «Втекающая» (а) и «вытекающая» (б) схемотехнические реализации токового инвертора (элемента НЕ): $y_1 = x > 0,5$, $y_2 = x < 0,5$

Входной «перегнутый каскад» выполняет функцию преобразователя входного кванта тока в напряжение на первом входе ДК. Для устранения неопределенности при равенстве напряжений на входах ДК в него введена асимметрия путем добавления входного тока, равного $0.5 I_0$. На втором входе ДК сформирован постоянный (опорный) уровень напряжения.

При необходимости подключения нескольких входов последующих схем к выходу инвертора можно поступить двояко:

- размножить выходной токовый сигнал инвертора с помощью классических токовых зеркал;
- размножить выходной сигнал инвертора параллельным включением дифференциальных каскадов.

На рис. 7 показано комбинированное решение: параллельное подключение ДК на транзисторах с разными типами каналов.

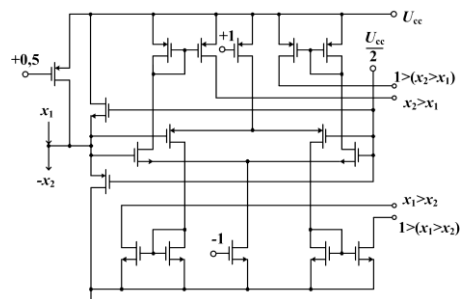


Рис. 7. Размножение выходного сигнала инвертора параллельным включением дифференциальных каскадов

Входным сигналом инвертора является сигнал разности $x_1 - x_2$, что не меняет сущности работы схемы как инвертора, а лишь демонстрирует простое изменение его функциональных возможностей. Кроме того, здесь показано использование $U_{cc}/2$ в качестве E_{cm} .

Работа инвертора состоит в следующем. Если разностный ток на входе равен 1, то этот ток «уходит» в землю через нижний транзистор «перегнутого» каскада, при этом левый транзистор прямого ДК закрывается, а левый транзистор перевернутого ДК открывается. Тогда ток верхнего токового зеркала через левый транзистор перевернутого ДК и подключенный к нему токовый инвертор формирует на выходе $x_1 > x_2$, а ток нижнего токового зеркала через правый транзистор прямого ДК и подключенный к нему токовый инвертор формирует 1 на выходе $1 > (x_2 > x_1)$. При нулевом разностном входном токе формирование единичных выходных сигналов происходит на двух других выходах.

В связи с передачей на выход кванта тока источника опорного тока, подключенного к стокам ДК, а не разности входных сигналов, использование такой схемной реализации повышает точность воспроизведения выходного кванта тока.

Поскольку реализации логических элементов основной функционально полной системы на основе операции сравнения отличаются только величиной и направлением тока асимметрии, то приведенные далее схемотехнические решения практически идентичны по принципу работы.

Схемы двух возможных реализаций операции «штрих Шеффера», отличающихся направлениями входных и выходных токов, приведены на рис. 8.

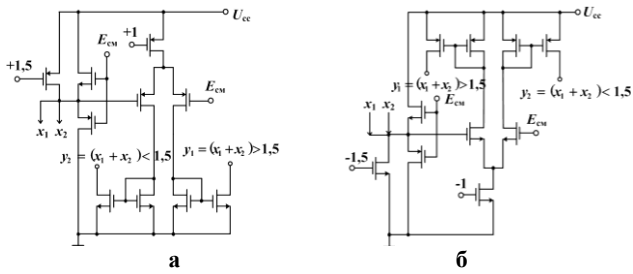


Рис. 8. «Втекающая» (а) и «вытекающая» (б) схмотехнические реализации операции «штрих Шеффера»: $y_1 = (x_1 + x_2) > 1,5$, $y_2 = (x_1 + x_2) < 1,5$

Работа данного логического элемента состоит в следующем. При $x_1 = 0, x_2 = 0$, $x_1 = 1, x_2 = 0$ и $x_1 = 0, x_2 = 1$, потенциал затвора левого транзистора ДК близок к нулю и он открыт, т.е. его состояние соответствует условию $1 > (x_1 + x_2)$. При $x_1 = 1, x_2 = 1$ потенциал затвора левого транзистора ДК повышается и он закрыт, т.е. его состояние соответствует условию $(x_1 + x_2) > 1$. Таким образом, данный элемент реализует таблицу истинности операции «штрих Шеффера» и его инверсии.

Схемы двух возможных реализаций операции «стрелка Пирса», отличающихся направлениями входных и выходных токовых сигналов, приведены на рис. 9.

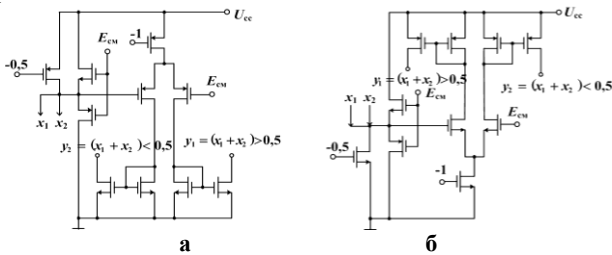


Рис. 9. «Втекающая» (а) и «вытекающая» (б) схмотехнические реализации операции «стрелка Пирса»: $y_1 = (x_1 + x_2) > 0,5$, $y_2 = (x_1 + x_2) < 0,5$

Схемы двух возможных реализаций операции «запрет по x_2 » реализуются аналогично и приведены на рис. 10.

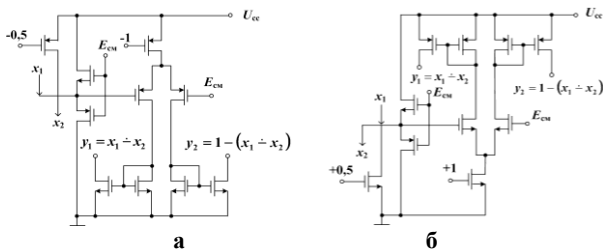


Рис. 10. «Втекающая» (а) и «вытекающая» (б) схмотехнические реализации операции «запрет по x_2 »: $y_1 = (x_1 \div x_2) > 0,5$, $y_2 = (x_1 \div x_2) < 0,5$

Как видно из рассмотренных выше схем, переключение дифференциального каскада в единичное состояние здесь происходит при наличии хотя бы одного из входных токов.

Как следует из изложенного, недостатком использования операции сравнения являются увеличенные аппаратные затраты, а достоинством – поддержание точности параметров выходного токового сигнала.

Схмотехнические решения других операций из табл.1 в данной статье не приводятся.

III. ЭЛЕМЕНТЫ ПАМЯТИ

Как хорошо известно [12]-[13], элементы памяти в зависимости от типа триггера, реализуемого на их основе, могут быть одно- и двухтактными.

Линейный одноктактный элемент памяти образуется, как и в булевой логике, объединением двух одинаковых логических элементов с инверсными выходами. Более того, линейная реализация делает такой элемент памяти более понятным: ЭП является усилителем с положительной обратной связью (его реализация является, скорее, аналоговой, чем цифровой).

Вначале рассмотрим схмотехнические реализации элементов памяти на основе операции усеченной разности.

Принципиальные схемы одноктактных двузначных элементов памяти на основе операции «стрелка Пирса» приведены на рис. 11.

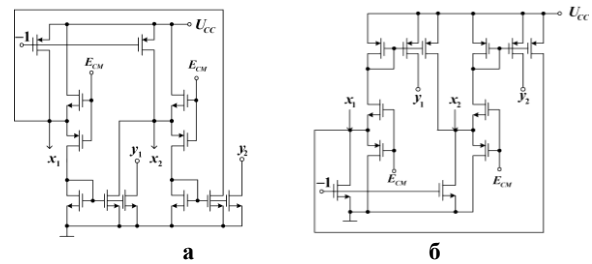


Рис. 11. Элементы памяти на основе операции «стрелка Пирса»: а – «втекающая» реализация, б – «вытекающая» реализация

Возможные состояния такого элемента памяти показаны в табл. 2.

Таблица 2

Состояния ЭП на основе операции «стрелка Пирса»

x_1	x_2	y_{1t}	y_{2t}
0	0	$y_{1(t-1)}$	$y_{2(t-1)}$
0	1	0	1
1	1	1	0
1	1	-	-

Схемы одноктактных двузначных элементов памяти на основе операции «запрет по x_2 » приведены на рис. 12.

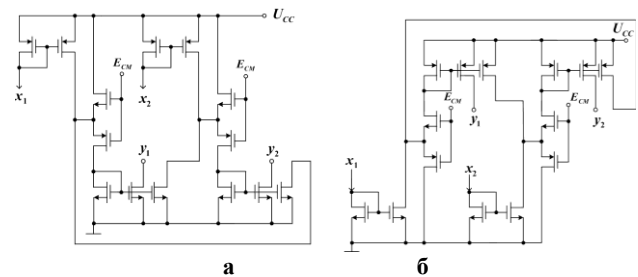


Рис. 12. Элементы памяти на основе операции «запрет по x_2 »: а – «втекающая» реализация, б – «вытекающая» реализация

Возможные состояния данного элемента памяти показаны в табл. 3.

Таблица 3

Состояния ЭП на основе операции «запрет по x_2 »

x_1	x_2	y_1	y_2
0	0	-	-
0	1	0	1
1	0	1	0
1	1	$y_{1(t-1)}$	$y_{2(t-1)}$

Далее приведем реализации элементов памяти на основе операции «сравнение». Принципиальные схемы *однотактных* двузначных ЭП на основе выбранных операций приведены на рис. 13 («стрелка Пирса») и рис. 14 («запрет по x_2 »).

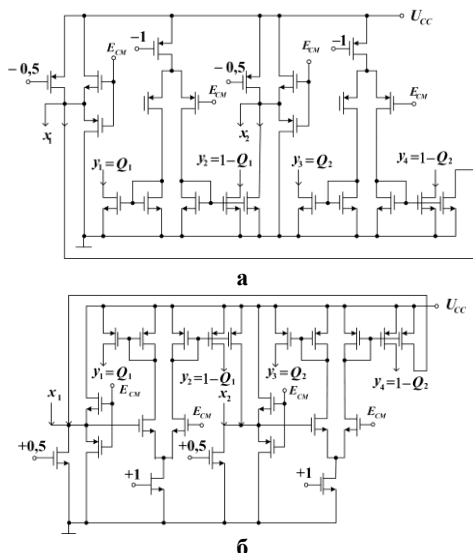


Рис. 13. Элемент памяти на основе операции «стрелка Пирса»: а – «вытекающая» реализация, б – «вытекающая» реализация

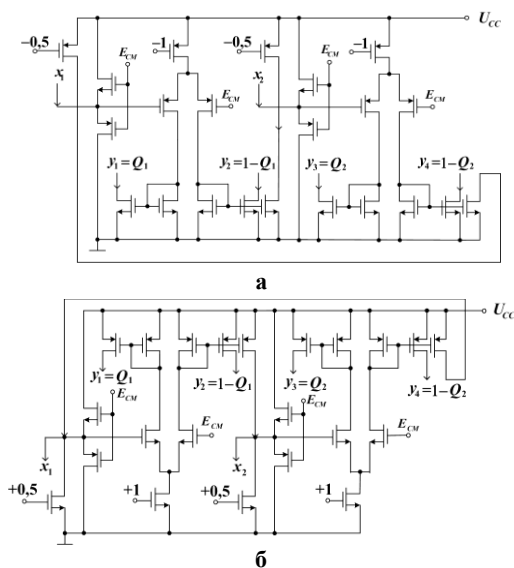


Рис. 14. Элемент памяти на основе операции «запрет по x_2 »: а – «вытекающая» реализация, б – «вытекающая» реализация

Двухтактные (master-slave, MS-) элементы памяти (ДЭП) представляют собой последовательное соединение двух однотактных элементов памяти. Особенность работы такой структуры состоит в обязательном использовании сигнала синхронизации, разделяющего во времени процессы изменения состояний однотактных ЭП, составляющих двухтактный ЭП (во время изменения состояния следующего элемента памяти предыдущий ЭП находится в состоянии хранения и наоборот, поддерживая тем самым условия изменения состояния следующим ЭП).

Возможные различия могут состоять в наличии (либо отсутствии) обратных связей с выхода S-элемента памяти на входы M-элемента.

Обобщенная структурная схема двухтактного ЭП с обратными связями в булевой интерпретации [13] приведена на рис. 15.

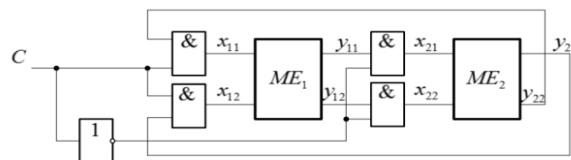


Рис. 15. Структурная схема двухтактного элемента памяти

При $c = 0, x_{11} = x_{12} = 0$ первый элемент памяти ME_1 (Memory Element) находится в состоянии хранения, а хранящаяся в нем информация в прямом виде переписывается в ME_2 . При $c = 1$, наоборот, происходит перепись информации из ME_2 в ME_1 в инверсном виде.

Непосредственно из рис. 15 можно записать логические выражения для функций на входах элементов памяти.

$$x_{11} = cy_{22}, \quad x_{12} = cy_{21},$$

$$x_{21} = \bar{c}y_{11}, \quad x_{22} = \bar{c}y_{12}.$$

Линейная интерпретация приведенных выше выражений с использованием операции усеченной разности зависит от набора однотактных элементов памяти, используемого для создания двухтактного ЭП. Возможны четыре таких набора:

- однотипные «вытекающие»;
- однотипные «втекающие»;
- разнотипные – «втекающий»-«вытекающий»;
- разнотипные – «вытекающий»-«втекающий».

Для однотипных двухтактных элементов памяти приведенные выше выражения имеют вид

$$x_{11} = c \dot{\div} y_{22}, \quad x_{12} = c \dot{\div} y_{21},$$

$$x_{21} = (1-c) \dot{\div} y_{11}, \quad x_{22} = (1-c) \dot{\div} y_{12}.$$

Для разнотипных двухтактных элементов памяти полученные выше выражения могут быть записаны по другому

$$x_{11} = c \dot{\div} y_{22}, \quad x_{12} = c \dot{\div} y_{21},$$

$$x_{21} = y_{11} \dot{\div} c, \quad x_{22} = y_{12} \dot{\div} c.$$

В приведенных формулах положительные слагаемые соответствуют «втекающим» токам, а отрицательные – «вытекающим» токам.

Четыре возможных варианта реализации схемы синхронизации двухтактного элемента памяти на основе операции «усеченная разность», соответствующие приведенным выше выражениям, показаны на рис. 16.

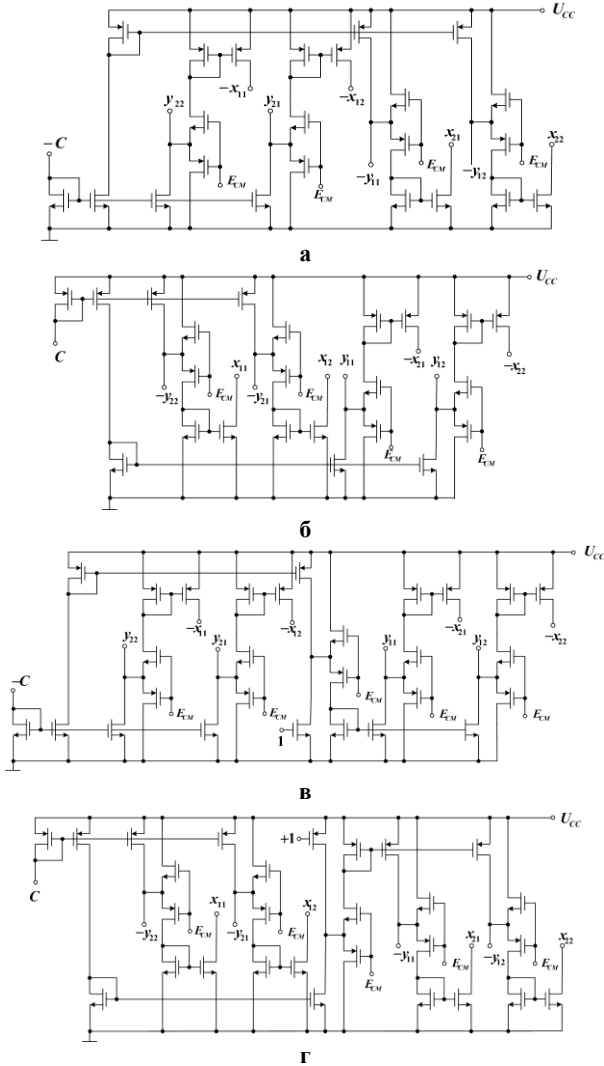


Рис. 16. Схемы синхронизации двухтактного элемента памяти на основе операции «усеченная разность»: а, б – разнотипные, в, г – однотипные

Линейная интерпретация булевых функций элемента синхронизации ДЭП с использованием операции сравнения приводит их к виду:

– для однотипных двухтактных элементов

$$x_{11} = c > y_{22}, \quad x_{12} = c > y_{21}, \\ x_{21} = (1 > c) > y_{11}, \quad x_{22} = (1 > c) > y_{12} .$$

– для разнотипных двухтактных элементов

$$x_{11} = c > y_{22}, \quad x_{12} = c > y_{21}, \\ x_{21} = y_{11} > c, \quad x_{22} = y_{12} > c .$$

Один из возможных вариантов реализации элемента синхронизации ДЭП с использованием операции «сравнение», соответствующий приведенным выше выражениям, приведен на рис. 17.

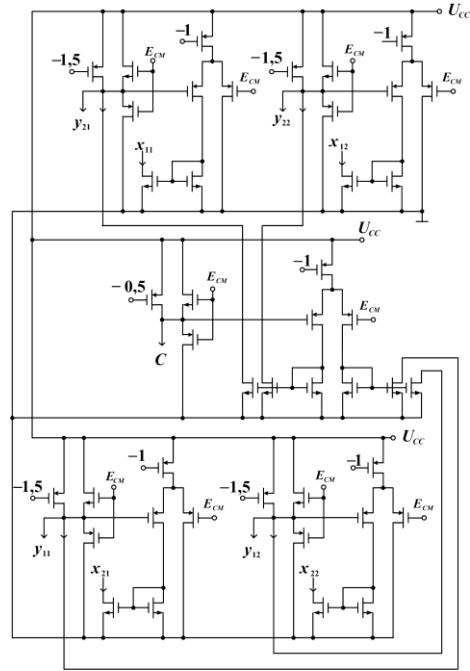


Рис. 17. Схемы синхронизации двухтактного элемента памяти на основе операции «сравнение»

Полученные выше схмотехнические решения элементов памяти и элементов синхронизации позволяют реализовать двухтактные элементы памяти. При этом количество возможных комбинаций весьма значительно. На рис. 18 для примера приведен один из вариантов реализации двухтактного элемента памяти с использованием операции усеченной разности.

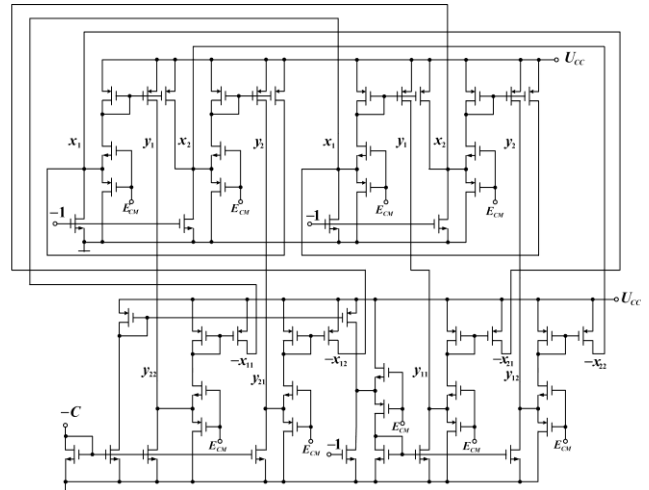


Рис. 18. Двухтактный элемент памяти (счетный или T-триггер)

Как видно из приведенных схмотехнических решений, операция сравнения требует несколько больших аппаратных затрат для своей реализации, чем операция усеченной разности.

IV. ВЫВОДЫ И ЗАКЛЮЧЕНИЕ

Разработаны основы синтеза и схемотехнической реализации двузначных элементов памяти с входными и выходными токовыми сигналами, а также элементов их синхронизации.

Результаты проведенных исследований показывают перспективность использования математического аппарата линейной алгебры для логического синтеза токовых двузначных последовательностных схем. Предлагаемые ЭП могут использоваться при построении цифровых и цифро-аналоговых структур различного назначения, работающих с токовыми логическими сигналами.

Безрезистивная схемотехника определяет высокую технологичность предлагаемых ЭП, а разностное представление выходных сигналов обеспечивает высокие эксплуатационные характеристики токовых элементов в тяжелых условиях эксплуатации.

ПОДДЕРЖКА

Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта № 18-37-00061.

СПИСОК ЛИТЕРАТУРЫ

- [1] M.T. Abuelma'atti, Analog low-voltage current-mode implementation of digital logic gates, Circuits and Systems, 2002, APCCAS '02. 2002 Asia-Pacific Conference on, 28-31 Oct. 2002, Denpasar, Bali, Indonesia, DOI: 10.1109/APCCAS.2002.1114944.
- [2] X. Wu, X. Deng, "Design of ternary current-mode CMOS circuits based on switch-signal theory", J. Electronics, vol. 10, no.3, 1993, pp. 193-202.
- [3] T.Yamakawa, T.Miki, "The current mode fuzzy logic integrated circuits fabricated by the standart CMOS process", IEEE Transactions on computers, vol. c-35, no.2, 1986, pp. 161-167.
- [4] Чернов Н.И., Югай В.Я. Неклассический синтез цифровых структур средствами аналоговой схемотехники. Труды IX Международного научно-практического семинара «Проблемы современной аналоговой схемотехники», Шахты, 1-3 ноября 2012 года, ФГБОУ ВПО «ЮРГУЭС», С.138-144.
- [5] Прокопенко Н.Н., Чернов Н.И., Югай В.Я. Линейный логический синтез двузначных цифровых структур в линейных пространствах // Конгресс «IS&IT'13». «Интеллектуальные системы'13», «Интеллектуальные САПР-2013»: труды конференций. – Москва, Физматлит, 2013. – Т.1. – С. 278-283
- [6] Прокопенко Н.Н., Бутырлагин Н.В. Чернов Н.И., Югай В.Я. Синтез двоичных триггеров в аппарате линейной алгебры. Известия ЮФУ. Технические науки. №2. 2015 г. С. 115-125.
- [7] Прокопенко Н.Н., Чернов Н.И., Югай В.Я., Бутырлагин Н.В. Линейный синтез k-значной цифровой элементной базы с токовыми логическими сигналами: принцип обобщения // Проблемы разработки перспективных микро- и наноэлектронных систем - 2016. Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИПИМ РАН, 2016. Часть I. С.70-77.
- [8] Chernov N.I., Yugai V.Y., Prokopenko N.N., Butyrlagin N.V. Basic concept of linear synthesis of multivalued digital structures in linear spaces (2014) Proceedings of IEEE East-West Design and Test Symposium, EWDTs 2014, DOI: 10.1109/EWDTs.2014.7027045
- [9] Prokopenko N.N., Butyrlagin N.V., Chernov N.I., Yugai V.Ya. The linear concept of logical synthesis of digital IP-modules of control and communication systems (2015) 2015 International Siberian Conference on Control and Communications, SIBCON 2015 - Proceedings, art. no. 7147182. DOI: 10.1109/SIBCON.2015.7147182.
- [10] Prokopenko N.N., Butyrlagin N.V., Chernov N.I., Yugai V.Ya. Basic linear elements of k-Valued digital structures (2016) 2016 International Conference on Signals and Electronic Systems, ICSES 2016 - Proceedings, pp. 7-12. DOI: [10.1109/ICSES.2016.7847763](https://doi.org/10.1109/ICSES.2016.7847763).
- [11] Prokopenko N.N., Chernov N.I., Yugai V., Butyrlagin N.V. The element base of the multivalued threshold logic for the automation and control digital devices (2017) Proceedings of 2017 IEEE International Siberian Conference on Control and Communications, SIBCON 2017, DOI: 10.1109/SIBCON.2017.7998508.
- [12] Prokopenko N.N., Butyrlagin N.V., Chernov N. I., Yugai V. Ya. The Multifunctional Current Logical Element for Digital Computing Devices, Operating on the Principles of Linear (Not Boolean) Algebra, Proceedings of IEEE East-West Design & Test Symposium (EWDTs'2016), Yerevan, Armenia, October 14-17, 2016, pp. 278-281 DOI: 10.1109/EWDTs.2016.7807723.
- [13] Букреев И.Н. и др. Микроэлектронные схемы цифровых устройств, 3-е изд., перераб. и доп., М.: Радио и связь, 1990, 416 с.

The Design of Current Memory Elements Based on the Mathematical Tool of Linear Algebra

N.V. Butyrlagin¹, N. I. Chernov¹, N.N. Prokopenko^{1,2}, V. Yugay¹

Don State Technical University, Rostov-on-Don, prokopenko@sssu.ru

²Institute of design problems in microelectronics RAS, Zelenograd

Abstract — The fundamentals of the design of memory elements (ME) for storing current digital signals are considered. A non-traditional methodology for the synthesis of

MEs based on the mathematical tool of linear algebra is proposed. Linear equations and CMOS circuitry of the main types of current MEs are presented. It is shown that the logic

elements (LE) suitable for constructing two-valued MEs are schemes realizing linear analogues of the “Sheffer stroke” operations (2OR-NOT), “dual stroke” (2AND-NOT), “inhibition on x_2 ”, “implication from x_1 to x_2 ”, “modulo 2 sums” or “logical equivalence operations”, which are synthesized using truncated difference and comparison logic-arithmetic operations. It is established that the comparison operation requires larger element costs for circuit implementation, than a “truncated difference” operation, but it has better accuracy characteristics. In this case, the circuits of the LE of one type can differ in the directions of the input and output currents (“sink” or “source”). It is recommended to use the considered LEs as the basic components of two-valued current trigger circuits. Besides, the linear analogues of the “dual stroke” and “inhibition on x_2 ” operations, which are recommended for use in the construction of two-valued MEs has the simplest circuit realization. Schematic implementations of “comparison” and “Sheffer stroke”, “dual stroke”, “inhibition on x_2 ” operations based on differential stages (DS) and special “folded” cascodes, performing the function of converting the input current quanta into the differential voltage of the DC are investigated. The main area of application of the considered current memory elements is the processing of sensor signals with current output, as well as specialized digital information processing devices in which the application of traditional potential LEs is difficult, or is associated with a deterioration in reliability in severe operating conditions. Microchips with the considered principle of operation are not currently produced.

Keywords — current logic operations, current memory element, current triggers, linear representation of logical operations, truncated difference and comparison operations.

SUPPORT

The reported study was funded by RFBR according to the research project № 18-37-00061.

REFERENCES

- [1] M.T. Abuelma'atti, Analog low-voltage current-mode implementation of digital logic gates, Circuits and Systems, 2002, APCCAS '02. 2002 Asia-Pacific Conference on, 28-31 Oct. 2002, Denpasar, Bali, Indonesia, DOI: 10.1109/APCCAS.2002.1114944.
- [2] X. Wu, X. Deng, “Design of ternary current-mode CMOS circuits based on switch-signal theory”, J. Electronics, vol. 10, no.3, 1993, pp. 193-202.
- [3] T.Yamakawa, T.Miki, “The current mode fuzzy logic integrated circuits fabricated by the standart CMOS process”, IEEE Transactions on computers, vol. c-35, no.2, 1986, pp. 161-167.
- [4] Chernov N.I., Jugaj V.Ja. Neklassicheskij sintez cifrovih struktur sredstvami analogovoj shemotehniki (Nonclassical synthesis of digital structures by tools of analogous circuits engineering) // Trudy IX Mezhdunarodnogo nauchno-prakticheskogo seminarra «Problemy sovremennoj analogovoj shemotehniki», Shahty, 1–3 nojabrja 2012 goda, izdatel'stvo FGBOU VPO «JuRGUJeS», s.138 – 144.
- [5] Prokopenko N.N., Chernov N.I., Jugaj V.Ja. Linejnyj logicheskij sintez dvuznachnyh cifrovih struktur v linejnyh prostranstvah (Base concept of linear synthesis multivalued digital structures within linear spaces) // Kongress «IS&IT'13», «Intellektual'nye sistemy'13», «Intellektual'nye SAPR-2013»: trudy konferencij. – Moskva, Fizmatlit, 2013. – T.1. - S. 278-283.
- [6] Prokopenko N.N., Butyrlagin N.V., Chernov N.I., Jugaj V.Ja. Sintez dvoichnyh triggerov v apparate linejnoj algebry (Synthesis of binary triggers in the apparatus of linear algebra) // Izvestija JuFU. Tehnicheskie nauki. №2. 2015 g. S. 115-125.
- [7] Prokopenko N.N., Chernov N.I., Jugaj V.Ja., Butyrlagin N.V. Linejnyj sintez k-znachnoj cifrovij jelementnoj bazy s tokovymi logicheskimi signalami: princip obobshhenija (Linear synthesis of k-valued digital components of the base current logical signals: the principle of generalization) // Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem - 2016. Sbornik trudov / pod obshh. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2016. Chast' I. S. 70-77.
- [8] Chernov N.I., Yugai V.Y., Prokopenko N.N., Butyrlagin N.V. Basic concept of linear synthesis of multivalued digital structures in linear spaces (2014) Proceedings of IEEE East-West Design and Test Symposium, EWDTs 2014. DOI: 10.1109/EWDTs.2014.7027045.
- [9] Prokopenko N.N., Butyrlagin N.V., Chernov N.I., Yugai V.Ya. The linear concept of logical synthesis of digital IP-modules of control and communication systems (2015) 2015 International Siberian Conference on Control and Communications, SIBCON 2015 - Proceedings. DOI: 10.1109/SIBCON.2015.7147182.
- [10] Prokopenko N.N., Butyrlagin N.V., Chernov N.I., Yugai V.Ya. Basic linear elements of k-Valued digital structures (2016) 2016 International Conference on Signals and Electronic Systems, ICSES 2016 - Proceedings, pp. 7-12. DOI: 10.1109/ICSES.2016.7847763.
- [11] Prokopenko N.N., Chernov N.I., Yugai V., Butyrlagin N.V. The element base of the multivalued threshold logic for the automation and control digital devices (2017) - Proceedings of 2017 IEEE International Siberian Conference on Control and Communications, SIBCON 2017. DOI: 10.1109/SIBCON.2017.7998508.
- [12] Prokopenko N.N., Butyrlagin N.V., Chernov N. I., Yugai V. Ya. The Multifunctional Current Logical Element for Digital Computing Devices, Operating on the Principles of Linear (Not Boolean) Algebra // Proceedings of IEEE East-West Design & Test Symposium (EWDTs'2016), Yerevan, Armenia, October 14–17, 2016, pp. 278-281 DOI: 10.1109/EWDTs.2016.7807723.
- [13] Bukreev I.N. i dr. Mikroelektronnye shemy cifrovih ustrojstv (Microelectronic circuits of digital devices). 3-e izd., pererab. i dop. M.: Radio i svjaz', 1990. 416 s.