

Четырехканальный мультистандартный адаптивный последовательный приемопередатчик для диапазона 1.25–10.3 Гб/с по технологии КМОП 65нм

А.В. Ларионов, О.Н. Бужкова, О.В. Сысоева, С.Э. Осина, С.О. Задябин, П.А. Алексан, И.В. Тарасов, Ю.Б. Рогаткин, В.В. Мастеров

Научно-исследовательский институт системных исследований РАН, alar@cs.niisi.ras.ru

Аннотация — В статье представлен полностью адаптивный последовательный четырехканальный приемопередатчик для стандартов 10G Base-R, SATA, PCI Express, FC, RapidIO, DisplayPort. Блок функционирует в диапазоне 1,25–10,3125 Гб/с с вероятностью битовых ошибок BER менее 10^{-12} . Суммарный джиттер выходного сигнала передатчика $TJ_{TX} < 26\text{пс}@10,3125\text{ Гб/с}$. Толерантность приемника к высокочастотному джиттеру $JTHF_{RX} > 0,3UI$ (30% единичного интервала) при приеме данных с затуханием 24дБ@10,3125Гб/с для полинома PRBS31. Приемопередатчик демонстрирует безошибочную обработку данных на скорости 10,3125 Гб/с для канала с суммарным затуханием 33 дБ. Блок спроектирован по технологии КМОП 65 нм и имеет потребляемую мощность 760мВт@10,3125Гб/с. К особенностям данного приемопередатчика относятся: эквалайзер с решающей обратной связью и прямым доступом с уменьшенной потребляемой мощностью, контроллер поиска оптимального положения фазы вспомогательного тактового сигнала для увеличения толерантности приемника, псевдодифференциальный каскодный выходной буфер и контроллер минимально допустимого напряжения выходного сигнала передатчика.

Ключевые слова — приемопередатчик, приемник, передатчик, эквалайзер, выходной буфер, входной буфер, бинарный алгоритм наименьших квадратов.

I. ВВЕДЕНИЕ

Большое разнообразие стандартов для коммутации устройств через электрическое соединение (кабель/печатная плата) приводит к увеличению площади, потребляемой мощности, количества выводов интегральной микросхемы. Данная проблема решается путем проектирования приемопередатчика, покрывающего максимально возможное количество требуемых стандартов.

Степень деградации передаваемого сигнала в коммутирующем канале существенно варьируется в зависимости от ряда физических эффектов. Для обеспечения корректной работы приемопередатчик должен обладать широким диапазоном толерантности, адаптивно подстраивая систему в зависимости от целостности сигнала.

В главе II представлена архитектура приемопередатчика верхнего уровня. Реализации приемника и передатчика показаны в главах III и IV, соответственно. Результаты измерений приведены в главе V.

II. АРХИТЕКТУРА ПРИЕМОПЕРЕДАТЧИКА

Архитектура приемопередатчика, реализованного в данной работе, показана на рис. 1.

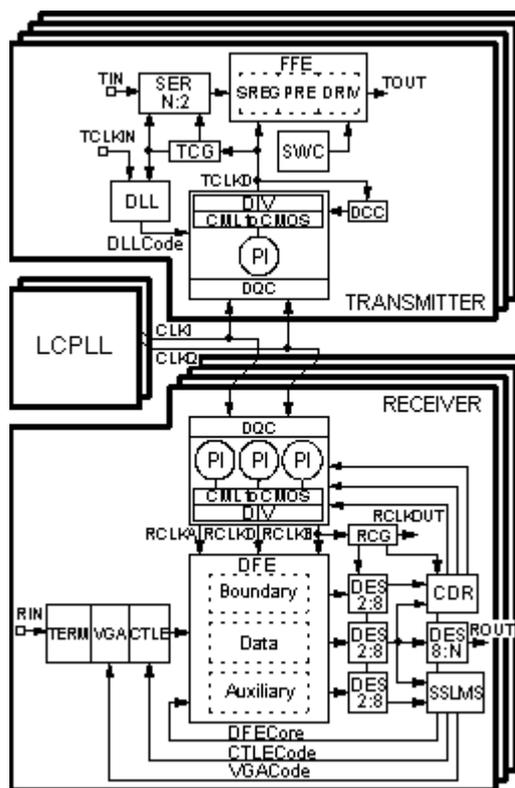


Рис. 1. Структурная схема четырехканального приемопередатчика

Две двухгенераторные LCPLL с центральными частотами 5,0, 6,3, 8,0, 10,1 ГГц и диапазоном перестройки $\pm 12,5\%$ покрывают частотный диапазон от 4,5 до 11,3 ГГц. Сигнал делится на два, формируя квадратурный тактовый сигнал CLKI/CLKQ,

поступающий на вход каждого канала. В процессе распространения скажность и квадратура CLKI/CLKQ деградируют. Блок DQC восстанавливает тактовый сигнал, способствуя улучшению линейности интерполяторов.

Блок SER передатчика мультиплексирует входную параллельную шину данных TIN с разрядностью N (40/32/20/16/10/8) в 2-х битную последовательность. Связка блоков SREG, PRE, DRIV образует FFE эквалайзер 3 порядка, основанный на принципе нерекурсивного фильтра с конечной импульсной характеристикой. SREG – сдвиговый регистр, PRE – мультиплексирующая матрица, перераспределяющая вклад каждого порядка фильтра в выходном потоке, DRIV – выходной буфер с операцией суммирования. SWC регулирует размах выходного сигнала. Цифровая машина DLL подстраивает фазу внутреннего тактового сигнала под фазу входного сигнала TCLKIN, управляя интерполятором передатчика. На выход интерполятора добавлен дополнительный корректор скажности DCC, который нивелирует остаточные эффекты в процессе преобразования импульсного тактового сигнала в цифровой сигнал. Программируемый выходной делитель DIV на 1, 2 или 4 позволяет формировать тактовые сигналы для обработки данных в диапазоне $1.25 \div 10,3125$ Гб/с.

Входной тракт приемника состоит из блоков TERM, VGA и CTLE. Блок TERM согласует вход приемника с каналом и передатчиком, обеспечивает достаточный уровень электростатической защиты, осуществляет регулировку уровня постоянной

составляющей. Автоматическая регулировка усиления VGA обеспечивает оптимальный размах, а линейный эквалайзер CTLE компенсирует МСИ (межсимвольную интерференцию) в средней части частотного спектра входного сигнала. Далее сигнал подается на вход эквалайзера с решающей обратной связью DFE 4 порядка, состоящего из трех трактов: Boundary, Data и Auxiliary, тактируемых синхросигналами CLKB, CLKD и CLKA, соответственно. Блок способен компенсировать нелинейные затухания входного сигнала без усиления шума и перекрестных помех. Затем зафиксированные данные демультимплексируются и в низкочастотном режиме обрабатываются в блоке восстановления синхронизации CDR и блоке контроля коэффициентов эквалайзеров SSLMS. Блок CDR формирует управляющие коды BCode, DCode и ACode для трех независимых интерполяторов PI, подстраивая частоту и фазу синхросигналов CLKB, CLKD и CLKA. Блок SSLMS формирует управляющие коды VGACode, CTLECode, DFECODE для регулировки амплитуды VGA, глубины эквалайзера CTLE, порогового уровня и весовых коэффициентов DFE, постоянной составляющей.

III. ПРИЕМНИК

A. Входной тракт

На рис. 2 показан входной тракт приемника. Все параметры тракта подстраиваются цифровым образом. Вход TERM имеет дифференциальную катушку T, которая уменьшает потери на отражения, вызванные

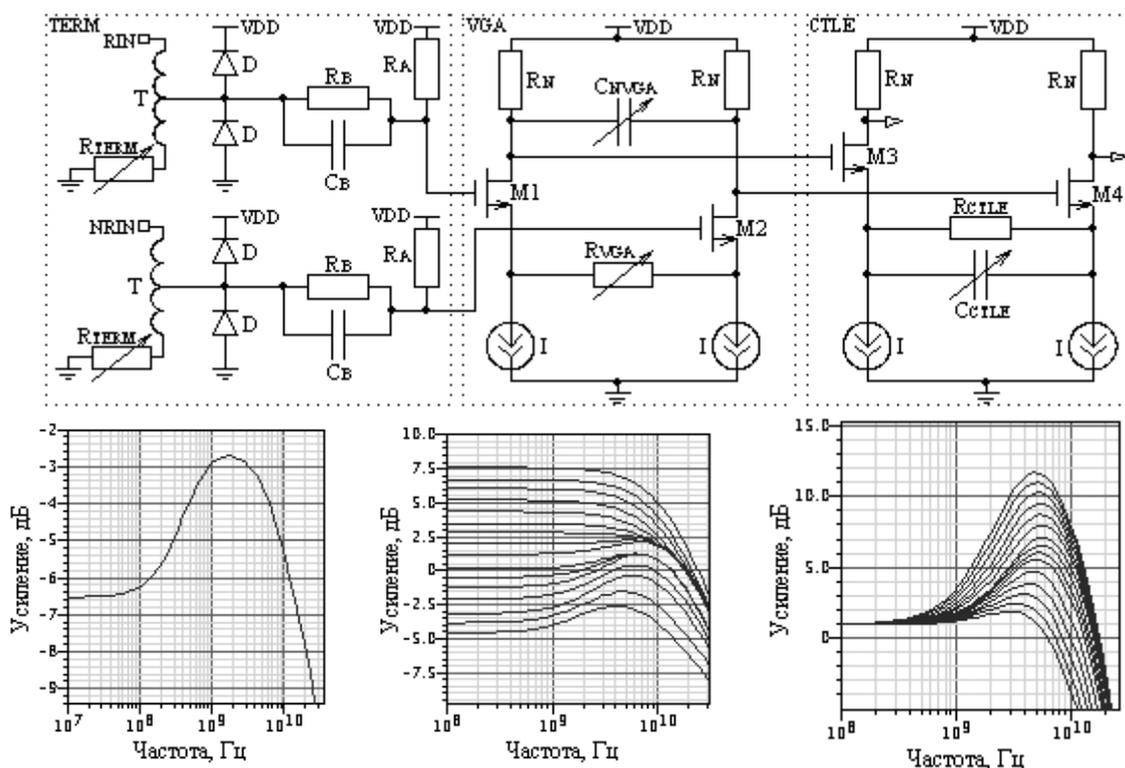


Рис. 2. Принципиальная схема входного тракта приемника и АЧХ каскадов

емкостью электростатической защиты. Терминатор R_{TERM} автоматически калибруется в диапазоне $\pm 25\%$ от номинала, компенсируя технологический разброс. Барьерный конденсатор C_B формирует независимую постоянную составляющую на входе VGA, что позволяет улучшить линейность и полосу пропускания. Желаемое значение постоянной составляющей определяется резистивным делителем R_A/R_B . Поскольку в печатных платах скин-эффект может проявляться уже на частоте 50 МГц, блок TERM также выполняет роль низкочастотного эквалайзера, ослабляя низкочастотную составляющую сигнала на величину 3,5 дБ. Коэффициент передачи VGA регулируется в диапазоне от -4,5 до 7,5 дБ резистором R_{VGA} . Для предотвращения влияния паразитного нуля в режиме аттенуатора на выходе VGA добавлен дополнительный конденсатор C_{NVGA} , величина которого зависит от текущего коэффициента передачи. Эквалайзер CTLE (на рис. 2 показан только один из двух каскадов) имеет фиксированный коэффициент передачи по постоянному сигналу. Это позволяет уменьшить либо требуемый коэффициент передачи VGA для каналов с большим затуханием, либо нелинейность DFE для каналов с малым затуханием. Регулировка коэффициента усиления CTLE осуществляется конденсатором C_{CTLE} , достигая максимального усиления около 11 дБ на частоте 5 ГГц.

В. Эквалайзер с решающей обратной связью

Блок DFE в работе [1] реализован на токовой логике CML (Current Mode Logic), что требует больших энергетических затрат. В работе [2] потребление снижено за счет замены резистивной нагрузки на активную индуктивность, потребление блока при этом все еще значительно. В [3] эквалайзер полностью реализован на логике с предзарядом, что существенно снижает потребление. Однако такой подход приводит к потере быстродействия. Более того, схема тактируется синхросигналами сложной формы, увеличивая потребление формирователя тактовых сигналов.

На рис. 3 показана схема DFE, реализованная в данном приемнике. Эквалайзер содержит два параллельных идентичных конвейера, что позволяет вдвое снизить требования к полосе пропускания элементов. Конвейер EVEN обрабатывает четные, а ODD – нечетные импульсы входной последовательности данных. В процессе проектирования DFE важно выполнить временные ограничения, накладываемые на формирование данных в петле обратной связи. Для первого порядка ($k = 1$) общее время задержки должно быть в пределах UI , для остальных порядков ($k \geq 2$) – в пределах $2UI$. Предлагается распараллелить путь данных $deven(2n)$ для формирования первого и остальных порядков фильтра (аналогично для $dodd(2n+1)$). Путь первого порядка показан пунктирной линией и полностью реализован на CML логике с активной индуктивностью в нагрузке. Для остальных порядков фильтра используются триггеры на основе усилителя

считывания SA (Sense Amplifier) [4], что позволяет существенно снизить затраты по мощности. Для 1-ого порядка:

$$T_{TAP1} = T_{SUM} + T_{BUF} + T_{SETUP_L} < UI,$$

где T_{SUM} – задержка сумматора, T_{BUF} – задержка буфера, T_{SETUP_L} – время предустановки данных защелки L. Для 2-ого и более высоких порядков:

$$T_{TAPK} = T_{SUM} + T_{BUF} + T_{SETUP_SA} + T_{C2Q_SA} < 2UI,$$

где T_{SETUP_SA} – время предустановки триггера SA, T_{C2Q_SA} – время задержки триггера SA.

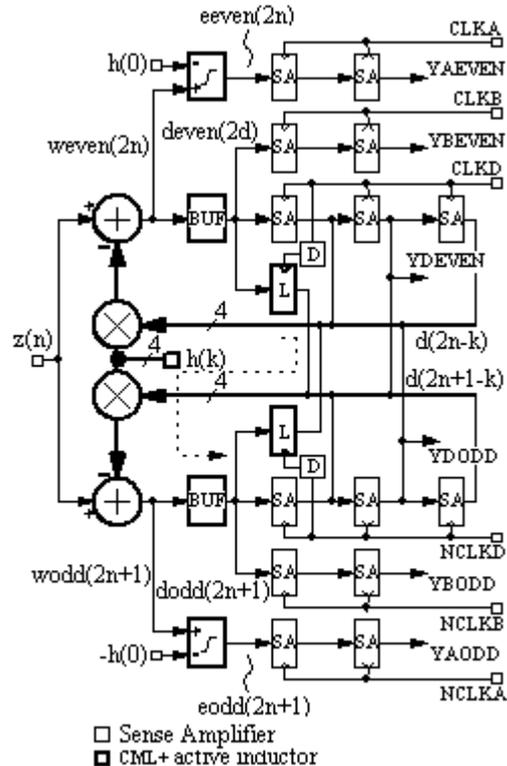


Рис. 3. Блок-схема эквалайзера с решающей обратной связью

Если CLKD подавать на защелку L и триггер SA одновременно, то временное ограничение в один UI будет уменьшено на величину $T_{SETUP_L} - T_{SETUP_SA}$. Это связано с тем, что эти значения не совпадают, T_{SETUP_L} – положительно, а T_{SETUP_SA} – отрицательно. Для компенсации этой временной разницы синхросигнал на защелку L подается с задержкой относительно триггера SA.

С. Адаптивные алгоритмы приемника

В основу алгоритмов, необходимых для восстановления целостности входного сигнала, заложен бинарный метод наименьших квадратов SSLMS [3]. Пороговый уровень и коэффициенты DFE подстраиваются исходя из уравнений:

$$h(n,0) = h(n-1,0) - \mu * \text{sign}[e(n)],$$

$$h(n,k) = h(n-1,k) - \mu * \text{sign}[e(n)] * d(n-k),$$

где k – порядковый номер фильтра от 1 до 4, μ – коэффициент передачи и $\text{sign}[e(n)]$ – знак ошибки.

Коррекция постоянной составляющей основана на выравнивании количества ошибок конвейера EVEN (где проходит проверка для позитивных данных (единиц)), с количеством ошибок конвейера ODD (где проверяются негативные данные (нули)):

$$h_{OFFC}(n) = h_{OFFC}(n-1) - \mu * (-1)^n * \text{sign}[e(n)].$$

Из АЧХ на рис. 2 видно, что CTLE усиливает в диапазоне от 0,6 до 5 ГГц. Достаточно накопить 8 значений данных, предшествующих текущему значению. Регулировка глубины CTLE:

$$h_{CTLE}(n) = h_{CTLE}(n-1) - \mu_{CTLE} * \text{sign}[e(n)] * \sum_{k=1}^8 d(n-k),$$

μ_{CTLE} – коэффициент передачи линейного эквалайзера.

После подстройки коэффициентов CTLE, DFE и постоянной составляющей осуществляется однократная проверка $h(0)$ на условие:

$$h_{MIN}(0) \leq h(0) \leq h_{MAX}(0).$$

Если условие выполнено, то коэффициент передачи VGA остается неизменным (значение по умолчанию). В противном случае он меняется в зависимости от текущего значения $h(0)$, используя аппаратную прошивку. Затем приемник сбрасывает все адаптивные настройки и подстраивается заново с учетом актуального значения коэффициента передачи VGA.

D. Контроллер поиска оптимальной фазы вспомогательного тактового сигнала

На рис. 4 показана диаграмма сигналов конвейера EVEN после сходимости всех алгоритмов приемника. Информация фиксируется тремя синхросигналами. CLKD фиксирует $\text{deven}(2n)$ по центру, формируя исходные переданные по каналу данные. CLKB фиксирует $\text{deven}(2n)$ в моменты переключений, формируя данные, необходимые для синхронизации входного сигнала с внутренней тактовой системой. CLKA фиксирует $\text{eeven}(2n)$ по центру, формируя данные для восстановления целостности входного сигнала. В момент выборки CLKD размах сигнала $\text{deven}(2n)$ будет соответствовать эталонному уровню $h(0)$, а в момент выборки CLKA размах сигнала $\text{eeven}(2n)$ будет равен нулю.

Из рис. 4 видно, что неправильная позиция CLKA вызовет ошибку Δe . Эта ошибка приводит к тому, что регистрируемая системой величина МСИ входного

сигнала $z(n)$ будет казаться больше, чем есть на самом деле. Суммарное значение $h(k)$ будет завышено, а значение $h(0)$ – занижено. Неоптимальные коэффициенты $h(k)$ снижат эффективность системы. Возможные причины возникновения ошибки:

1) квадратура CLKA к CLKB может быть нарушена, например, в силу технологического разброса,

2) истинность фазы CLKB также не гарантирована. Причина в возможном асимметричном распределении детерминированного джиттера входного сигнала [7],

3) задержки компаратора и буфера на рис. 3 не идентичны.

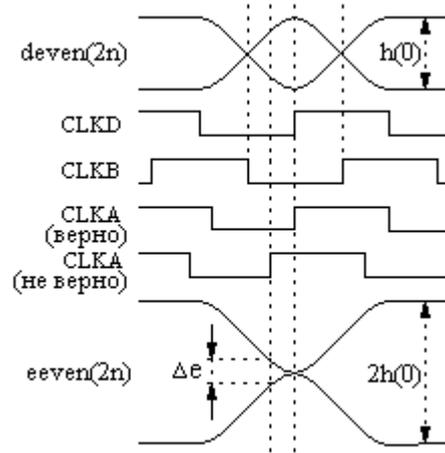


Рис. 4. Диаграмма работы DFE после сходимости всех алгоритмов приемника

Методика поиска оптимальной фазы вспомогательного синхросигнала CLKA, предложенная в данной работе, основана на мониторинге порогового уровня $h(0)$. Суть методики сводится к поиску максимального значения $h(0)$ путем принудительного варьирования фазы CLKA в диапазоне, перекрывающем возможное отклонение от идеальной позиции. Положение фазы CLKA, при котором пороговое напряжение $h(0)$ будет максимальным, означает, что ошибка e_0 минимизирована и коэффициенты $h(k)$ оптимальны.

В блок SSLMS встроен контроллер AACC, задача которого регулировать фазу CLKA через блок CDR. Схема CDR на рис. 5 состоит из бинарного фазового детектора PD, мажоритарной схемы MV, интегрально-пропорционального фильтра PIF, формирователя сдвига фазы SHIFT и декодера TC. Используя данные из Boundary и Data, фазовый детектор вырабатывает информацию о направлении сдвига синхросигналов приемника. Мажоритарная схема выполняет децимацию, снижая частоту обработки данных. Цифровой фильтр накапливает информацию для контроля частоты и фазы синхросигналов в интегральном и пропорциональном путях, соответственно. Коэффициенты K_I и K_P задают полосы пропускания в этих путях. Блок TC декодирует бинарный код в термо-код BCode, DCode, ACode,

понятный интерполяторам. Коэффициенты K_D и K_A задают сдвиг – соответственно DCode и ACode – относительно BCode.

В нормальном режиме работы CDR все коэффициенты - константы. Когда контроллер AACC активен коэффициент K_A – переменная величина. Значение $h(n,0)$ используется контроллером для оценки направления сдвига CLKA. Общий принцип работы отражен в табл. 1. На каждом шаге анализируется совокупность трех переменных: текущее значение $h(n,0)$, предыдущее значение $h(n-1,0)$ и знак коэффициента приращения $\text{sign}[a(n-1)]$ на предыдущем шаге. Исходя из этих данных формируется текущий знак $\text{sign}[a(n)]$, увеличивая или уменьшая значение коэффициента $K_A(n)$. Отметим, что коэффициент K_A изменяется на каждом шаге, даже когда $h(n,0) = h(n-1,0)$, что позволяет стимулировать машину состояний к поиску. По истечении определенного времени контроллер останавливается, а значение K_A фиксируется.

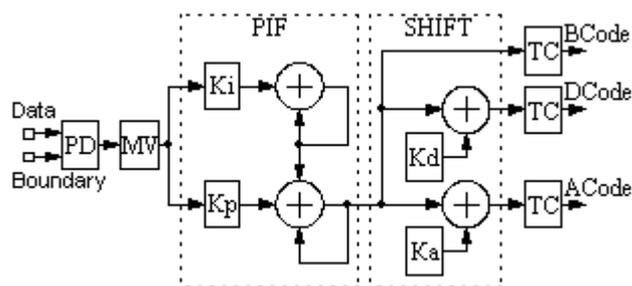


Рис. 5. Упрощенная блок-схема CDR

На рис. 6 показана реализация контроллера. Компаратор сравнивает два семибитных кода – текущий $h(n,0)$ и $h(n-1,0)$. Логический ноль или единица коэффициента приращения $a(n)$ отражают его знак, зависящий от результата на выходе компаратора и предыдущего значения $a(n-1)$. Коэффициент K_{IA} задает полосу пропускания контроллера. Данные аккумулируются в 24-разрядном знаковом сумматоре с насыщением, где 7 старших битов отражают коэффициент $K_A(n)$.

Таблица 1

Алгоритм работы контроллера AACC

Сравнение	$\text{sign}[a(n-1)]$	Тенденция	$\text{sign}[a(n)]$
$h(n,0) > h(n-1,0)$	+1	улучшение	+1
$h(n,0) < h(n-1,0)$	-1	улучшение	-1
$h(n,0) = h(n-1,0)$	+1	без изменений	+1
$h(n,0) = h(n-1,0)$	-1	без изменений	-1
$h(n,0) < h(n-1,0)$	+1	ухудшение	-1
$h(n,0) < h(n-1,0)$	-1	ухудшение	+1

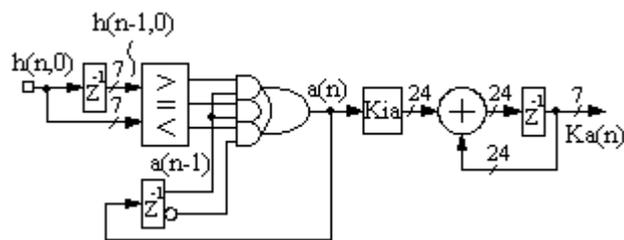


Рис. 6. Блок-схема контроллера подстройки фазы вспомогательного синхросигнала

IV. ПЕРЕДАТЧИК

К особенностям передатчика, реализованного в данной работе, относятся: контроллер минимально допустимого напряжения выходного сигнала [5] и псевдодифференциальный каскодный выходной буфер, схема которого показана на рис. 7. Аналогично входу приемника в буфер встроены калибруемый терминатор R_{TERM} и дифференциальная катушка T . Буфер представляет собой токовый сумматор из 64 одинаковых параллельно соединенных ячеек. Транзисторы $M1/M2$ выполнены на толстом окисле и формируют основной ток буфера. Ключи $M3/M6$ соединены с $M1/M2$ последовательно. Особенность буфера – вспомогательный источник тока $M7$, контролирующий потенциалы в узлах $V1$ и $V2$ через ключи $M4/M5$. Это дает два преимущества. Во-первых, снижается частотно-зависимый характер работы выходного буфера путем ликвидации остаточного заряда в $V1/V2$ в процессе ухода в отсечку $M3/M6$. Во-вторых, позволяет избежать возможные перегрузки на стоках $M3/M6$.

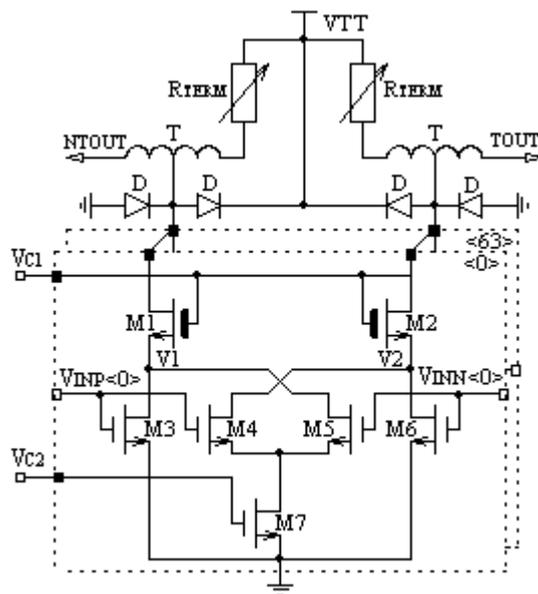


Рис. 7. Принципиальная схема псевдодифференциального каскодного выходного буфера

V. РЕЗУЛЬТАТЫ ИЗМЕРЕНИЙ

Блок спроектирован и изготовлен по технологии КМОП 65 нм. Топология показана на рис. 8 и имеет геометрические размеры 2,22 x 1,3 мм. Блок LCPLL и выходной буфер передатчика работают от напряжения питания 2,5 В, остальные блоки от 1 В. Исследовалась микросхема 1890ВГ19А, имеющая в своем составе 10 четырехканальных приемопередатчиков [6].

Толерантность приемника измерена прибором J-BERT N4903B от Agilent Technologies. PRBS generator формирует последовательность данных и подает её на вход приемника, PRBS checker снимает данные с выхода передатчика и осуществляет проверку на истинность, при этом сам приемопередатчик работает в режиме параллельной петли обратной связи. В этом режиме управляющие коды на вход интерполятора передатчика поступают из блока CDR приемника (а не из DLL, как на рис. 1). На рис. 9 показана полученная зависимость для скорости 10,3125 Гб/с. Данные, имеющие полином PRBS31, подаются на вход приемника через встроенную в J-BERT печатную плату (материал Nelco 4000-6) длиной 40 см (16 дюймов). Суммарное затухание канала на частоте Найквиста составляет около 24 дБ (18,4 дБ для Nelco 4000-6 и 5,6 дБ для соединителей, дочерней платы и корпуса). Запас толерантности к высокочастотному джиттеру JTHF_{RX} составил 0.3UI (30% единичного интервала).

Рис. 10 демонстрирует эффективность работы контроллера поиска оптимальной фазы вспомогательного тактового сигнала. Измерения проведены для 32 приемников. Результат каждой выборки представлен как разница толерантности приемника с выключенным и включенным контроллером. В 20-ти случаях улучшение не регистрируется. Максимальный эффект составил $15 \cdot 10^{-3} \text{UI}$. Отрицательного влияния контроллера на толерантность приемника не зарегистрировано. Оценка эффективности контроллера через среднearифметическое значение составляет приблизительно $2,6 \cdot 10^{-3} \text{UI}$.

На рис. 11 показан совокупный анализ измерений, демонстрирующий запас толерантности приемника к высокочастотному (> 20 МГц) синусоидальному джиттеру для четырех скоростей с различными длинами печатной платы Nelco 4000-6. Например, для 5 Гб/с потока, прошедшего через плату в 110 см, запас составляет 0,36UI.

Дифференциальные потери на отражения для приемника измерены с помощью Tektronix DSA8300 и показаны на рис. 12. В диапазоне от 0 до 6 ГГц отражения лежат ниже -10 дБ.

На рис. 13 показана глазковая диаграмма, снятая с выхода передатчика с помощью Keysight DSAZ254A. Суммарный джиттер для 10,3125 Гб/с потока составляет 26 пс для BER = 10^{-12} , что менее 27% от единичного интервала. Отметим, что с целью компенсации затухания корпуса и печатной платы,

эквалайзер передатчика был запрограммирован на величину 4,1 дБ на частоте Найквиста.

На заключительном этапе тестирования два модуля были соединены между собой через печатную плату длиной 50 см. Суммарное затухание канала на частоте 5,15 ГГц составило около 33 дБ (23 дБ – тестовая плата на рис. 14, 10 дБ – остальные компоненты). Эквалайзер передатчика запрограммирован на величину 7,2 дБ. Приемопередатчики продемонстрировали безошибочную работу в течение 72 часов, обмениваясь данными на скорости 10,3125 Гб/с.

В табл. 2 приведены основные характеристики четырехканальных приемопередатчиков для этой и ранее представленных работ.

Таблица 2

Основные характеристики четырехканальных приемопередатчиков

Дизайн	Эта раб.	[1]	[7]	[8]
Тех., нм	65	32	90	90
	CMOS	CMOSLP	CMOS	CMOS
Скор., Гб/с	1,25÷10,3	14,025	8	1,25÷10,3
Затухание канала, дБ	33	22	36,8	41
Площ., мм ²	2,89	2,925	2,56	3,04
Пит., В	1,0/2,5	1,0	1,2	1,2/2,5
Мощ., Вт	0,76	0,88	0,928	1,264

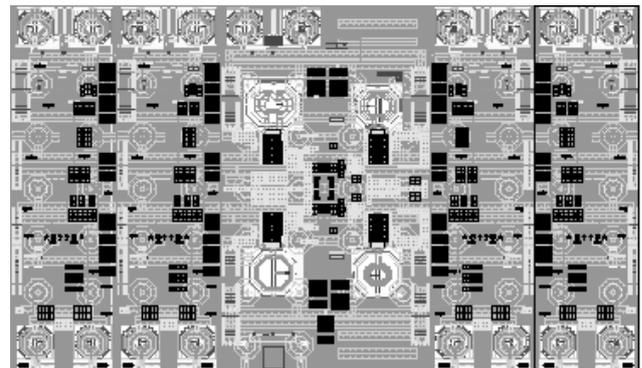


Рис. 8. Топология четырехканального приемопередатчика

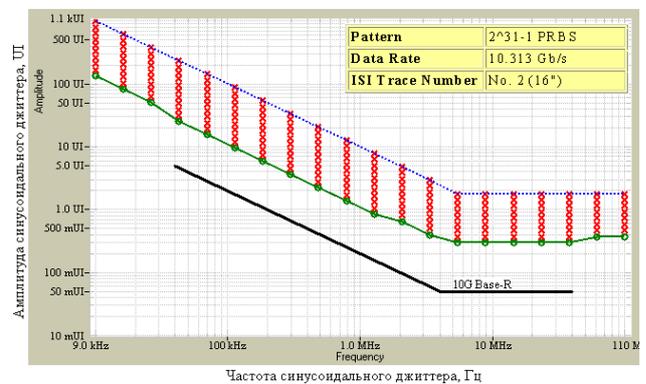


Рис. 9. Зависимость толерантности приемника от частоты синусоидального джиттера для 10,3125 Гб/с

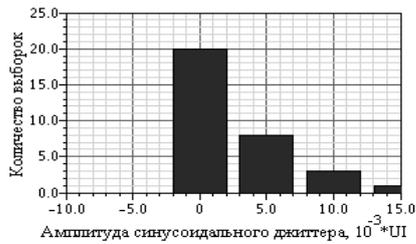


Рис. 10. Статистическое распределение разности толерантности приемника к синусоидальному джиттеру на частоте 20 МГц с выключенным и включенным контроллером ААСС

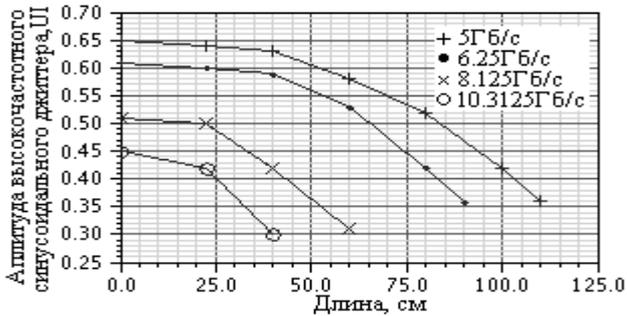


Рис. 11. Зависимость толерантности приемника к высокочастотному (> 20 МГц) синусоидальному джиттеру от длины печатной платы Nelco 4000-6

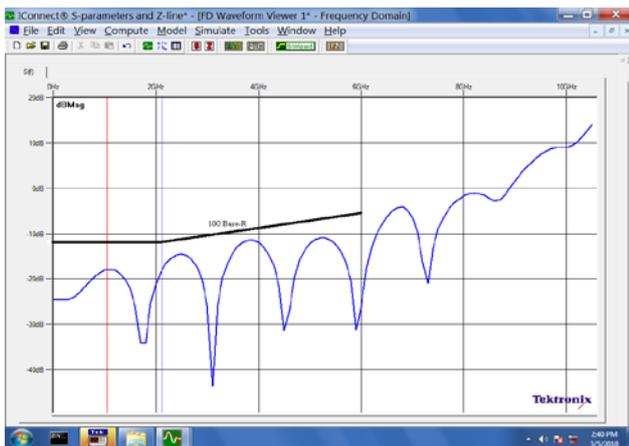


Рис. 12. Зависимость дифференциальных потерь на отражение от частоты на входе приемника



Рис. 13. Глазковая диаграмма на выходе передатчика

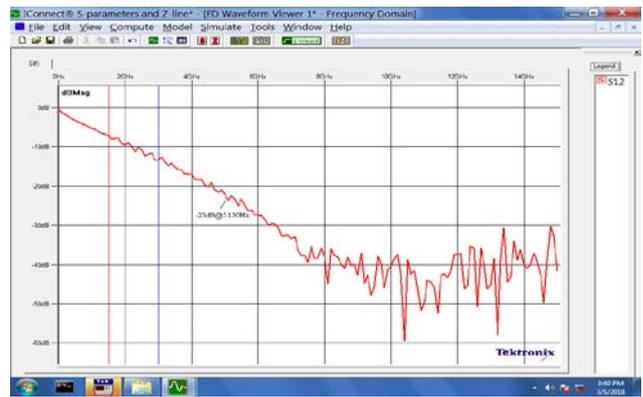


Рис. 14. Зависимость затухания от частоты для тестовой печатной платы длиной 50 см

VI. ЗАКЛЮЧЕНИЕ

Спроектирован мультистандартный полностью адаптивный последовательный четырехканальный приемопередатчик для электрических коммутационных сред. Блок покрывает диапазон скоростей от 1,25 до 10,3125 Гб/с и способен функционировать в канале с затуханием 33 дБ с вероятностью ошибок менее 10^{-12} .

ЛИТЕРАТУРА

- [1] Erba S. Multi-standard transceiver for NRZ serial communication up to 14Gbps // IEEE Signal and Power Integrity. 2012. P. 17-19.
- [2] Ларионов А.В. Эквалайзер с решающей обратной связью и активной индуктивностью для высокоскоростного приемника // VII Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и нанoeлектронных систем-2016 (МЭС-2016)» Сборник научных трудов. / Под ред. А.Л. Степковского – М.: ИППМ РАН, 2016. Часть III - С. 2-7.
- [3] Zhong F., Quan S., Liu W., et al. A 1.0625 ~ 14.025 Gb/s multi-media transceiver with full-rate source-series-terminated transmit driver and floating-tap decision-feedback equalizer in 40nm CMOS // IEEE Journal of Solid-State Circuits. 2011. V. 46. № 12. P. 3126-3139.
- [4] Nikolic B., Oklobdzija V., Stojanovic V. Improved sense-amplifier-based flip-flop: design and measurements // IEEE Journal of Solid-State Circuits. 2000. V. 35. № 6. P. 876-884.
- [5] Ларионов А. В. Адаптивный эквалайзер с контроллером минимально допустимого дифференциального напряжения выходного сигнала и псевдо-дифференциальным каскодным выходным буфером для 10 Гб/с передатчика по технологии 65 нм // Микроэлектроника. 2015. Т. 44. № 6. С. 464-471.
- [6] Алексан П. А. Методика тестирования приемопередатчика PCI Express // Труды НИИСИ РАН. 2016. Т. 6. № 1. С. 98-101.
- [7] Fucuda K., Yamashita H., Yuki M., et al. An 8Gb/s transceiver with 3x-oversampling 2-threshold eye-tracking CDR circuit for -36.8dB loss backplane // IEEE International of Solid-State Circuits Conference. 2008. SES. 5. P. 98-99.
- [8] Hidaka Y., Horie T., Koyanagi Y., et al. A 4-channel 10.3Gb/s transceiver with adaptive phase equalizer for 4-to-41dB loss PCB channel // IEEE International of Solid-State Circuits Conference. 2011. SES. 20. P. 346-347.

A 4-channel Multi-Standard Adaptive Serial Transceiver for the Range 1.25–10.3Gb/s in CMOS 65nm

A.V. Larionov, O.N. Buyakova, O.V. Sysoeva, S.E. Osina, S.O. Zadiabin, P.A. Aleksan, I.V. Tarasov, Yu.B. Rogatkin, V.V. Masterov

Scientific Research Institute for the System Analysis, alar@cs.niisi.ras.ru

Abstract — The article presents a fully adaptive serial 4-channel transceiver for the standards 10G Base-R, SATA, PCI Express, FC, RapidIO, DisplayPort. The unit is capable of operating in the range 1.25–10.3125Gb/s with a bit error rate less 10^{-12} . The total jitter of the output signal transmitter $<26\text{ps}@10.3125\text{Gb/s}$ for $\text{BER}=10^{-12}$. At 10.3125Gb/s receiver tolerance to high-frequency jitter $>0.3\text{UI}$ (30% of the unit interval) with channel loss 24dB for polynomial PRBS31. The transceiver demonstrates error-free data processing at a speed 10.3125Gb/s for a channel with a total attenuation of 33dB. The unit is designed using CMOS 65nm technology and has power consumption of 760mW@10.3125Gb/s. The features of this transceiver include: 1) the decision feedback equalizer with direct access with reduced power consumption, 2) the controller for searching for the optimum position of the auxiliary clock phase to increase the receiver's tolerance, 3) the pseudo-differential cascode output buffer, 4) the controller of the minimally admissible differential voltage of the output buffer [5].

Power hungry direct feedback DFE (Decision-Feedback Equalizer) in [1] is implemented on CML (Current Mode Logic). In [2] consumption is reduced by replacing the resistive load of the CML elements with the active inductor, but the power consumption is still significant. In [3] DFE is fully implemented on domino logic, significantly reducing the power. However, this approach leads to a decrease in the speed. Moreover, the circuit is clocked by complex-shaped clock signals, increasing the consumption of the clock driver. DFE implemented in this work, forms data in the feedback loop for the first tap and the remaining taps in parallel. The path of the critical first tap is implemented in CML logic with an active inductance in the load. The remaining paths use the Sense Amplifier, significantly reducing power costs without degrading performance.

The article presents a technique that allow finding the optimal position of the auxiliary clock phase, which allows to register more actual information about the ISI (Inter Symbol Interference) value of the input signal. The error of in the calculated coefficients DFE and CTLE (Continuous Time Linear Equalizer) is reduced, to increase the receiver's tolerance.

The feature of our pseudo-differential output buffer is an auxiliary current source that reduces the frequency-dependent nature of the circuit, which leads to a decrease in the deterministic jitter of the output signal.

Keywords — equalizer, decision-feedback equalizer, receiver, transceiver, DFE, direct-feedback architecture, active inductor, CML, SSLMS, sign-sign least mean square.

REFERENCES

- [1] Erba S. Multi-standard transceiver for NRZ serial communication up to 14Gbps // IEEE Signal and Power Integrity. 2012. P. 17-19.
- [2] Larionov A.V. Jekvalajzer s reshajushhej obratnoj svjaz'ju i aktivnoj induktivnost'ju dlja vysokoskorostnogo priemnika (A high-speed receiver with adaptive auxiliary clock for high loss backplane channels) // VII Vserossijskaja nauchno-tehnicheskaja konferencija «Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem-2016 (MJeS-2016)» Sbornik nauchnyh trudov. / Pod red. A.L. Stempkovskogo – M.: IPPM RAN, 2016. Chast' III - S. 2-7.
- [3] Zhong F., Quan S., Liu W., et al. A 1.0625 ~ 14.025 Gb/s multi-media transceiver with full-rate source-series-terminated transmit driver and floating-tap decision-feedback equalizer in 40nm CMOS // IEEE Journal of Solid-State Circuits. 2011. V. 46. № 12. P. 3126-3139.
- [4] Nikolic B., Oklobdzija V., Stojanovic V. Improved sense-amplifier-based flip-flop: design and measurements // IEEE Journal of Solid-State Circuits. 2000. V. 35. № 6. P. 876-884.
- [5] Larionov A. V. Adaptivnyj jekvalajzer s kontrollerom minimal'no dopustimogo differencial'nogo naprjazhenija vyhodnogo signala i psevdodifferencial'nym kaskodnym vyhodnym buferom dlja 10 Gb/s peredatchika po tehnologii 65 nm (Adaptive equalizer with a controller of a minimally admissible differential voltage of the output signal and pseudodifferential cascode output buffer for the 10-Gb/s transmitter according to the 65-nm CMOS technology) // Mikroelektronika. 2015. T. 44. № 6. S. 464-471.
- [6] Aleksan P. A. Metodika testirovanija priemperedatchika PCI Express (Methodology of testing of the PCI Express transceiver) // Trudy NIISI RAN. 2016. T. 6. № 1. S. 98-101.
- [7] Fucuda K., Yamashita H., Yuki M., et al. An 8Gb/s transceiver with 3x-oversampling 2-threshold eye-tracking CDR circuit for -36.8dB loss backplane // IEEE International of Solid-State Circuits Conference. 2008. SES. 5. P. 98-99.
- [8] Hidaka Y., Horie T., Koyanagi Y., et al. A 4-channel 10.3Gb/s transceiver with adaptive phase equalizer for 4-to-41dB loss PCB channel // IEEE International of Solid-State Circuits Conference. 2011. SES. 20. P. 346-347.