

# Скоростной преобразователь логического уровня с высокой разницей питающих напряжений

Д.Ю. Сергейчук

АО «ПКК Миландр», г. Москва, sergeyuchukdmitry@gmail.com

**Аннотация** — Разработана новая конфигурация высокоскоростного преобразователя логического уровня. Данная схема использует входной каскод для увеличения эффективной крутизны входных транзисторов. Для повышения быстродействия данный каскод управляется не низковольтным транзистором, а низковольтным инвертором, что значительно ускоряет работу схемы. Выход преобразователя подключен к высоковольтному р-канальному транзистору, в то время как нижний n-канальный транзистор заменен на каскод и управляется низковольтным напряжением. Данный схемотехнический прием позволяет достигать высоких скоростей работы, при этом преобразователь имеет достаточно простую структуру, что повышает его надежность.

**Ключевые слова** — преобразователь логического уровня; сквозной ток; каскод.

## 1. ВВЕДЕНИЕ

Уменьшение размеров транзисторов в КМОП технологии повышает быстродействие схемы, однако с уменьшением технологического базиса возрастает риск пробоя транзисторов, вызванный возрастанием напряженности поля внутри прибора. Зависимость напряженности поля от толщины диэлектрика представлена в формуле (1), где  $U$  – разность потенциалов, а  $d$  – расстояние между потенциалами. Для того, чтобы сохранить работоспособность приборов, приходится уменьшать питающее напряжение.

$$E = \frac{U}{d}. \quad (1)$$

К сожалению, использование низковольтных транзисторов не везде возможно, поэтому часто приходится реализовывать схему с двумя уровнями питающих напряжений. При этом цифровая часть схемы, как правило, реализована в низковольтном домене, а аналоговая – в высоковольтном. Примером таких схем могут служить микроконтроллеры со встроенным АЦП. При этом в ряде случаев для реализации высокоскоростного устройства необходимо осуществлять максимально быстрое взаимодействие аналоговой и цифровой частей схемы, что требует создания быстрых преобразователей логического уровня, при этом такой прибор должен обладать высокой надежностью. Также преобразователи уровня применяются в таких

областях, как аэрокосмические системы, МЭМС, преобразователи напряжения и в других электромеханических системах, взаимодействующих с современными низковольтными микропроцессорами [1].

Базовая схема преобразователя логического уровня представлена на рис. 1 [2]. Здесь низковольтные входные сигналы  $V_{ip}$  и  $V_{in}$  подаются на затворы транзисторов MN2 и MN1. Высоковольтные сигналы (с амплитудой от 0 В до  $V_{ddh}$ ) снимаются с узлов  $V_{on}$  и  $V_{op}$ . В тот момент, когда на  $V_{ip}$  подается напряжение, равное напряжению питания низковольтного источника, а на  $V_{in}$  подается ноль вольт, транзистор MN2 открывается, а MN1 закрывается. Напряжение на узле  $V_{op}$  все еще низкое и начнет возрастать только тогда, когда  $V_{on}$  понизится на величину, равную пороговому напряжению р-канального транзистора ( $V_{th}$ ). Следовательно, существует промежуток времени, когда через транзисторы MN2 и MP2 течет сквозной ток. Это приводит к тому, что увеличивается энергопотребление схемы и ее задержки. Увеличение задержек связано с тем, что n-канальный транзистор должен, помимо тока перезарядки емкостей, пропускать через себя еще и ток открытого р-канального транзистора.

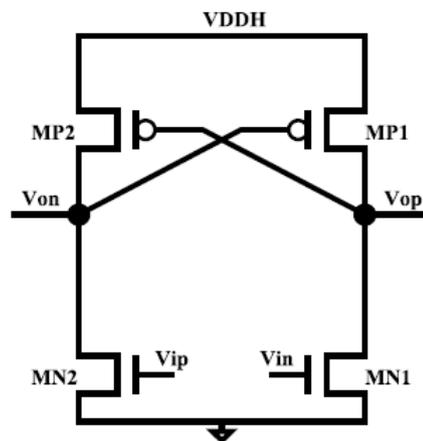


Рис. 1. Базовая схема преобразователя логического уровня [2]

Стоит отметить, что уменьшение крутизны р-канальных транзисторов не поможет решить проблему, так как будет сильно ограничивать ток перезарядки

паразитных емкостей при переключении выходного узла в логическую единицу.

Еще одной проблемой является то, что данная схема подвержена сбоям переключения. Это связано с тем, что если сделать слишком малое значение отношение крутизны n-канальных транзисторов к r-канальным, то первый просто не сможет обеспечить напряжение на выходе близким к нулю, так как сопротивление открытого p-канального транзистора будет значительно ниже (2) [3]. Здесь  $V_{out}$  – это напряжение, снимаемое между двумя резисторами делителя, образованного двумя открытыми транзисторами ( $R_n$  – сопротивление n-канального транзистора,  $R_p$  – сопротивление p-канального транзистора).

$$V_{out} = V_{dd} \frac{R_n}{R_p + R_n} \quad (2)$$

## II. ОБЗОР СУЩЕСТВУЮЩИХ РЕШЕНИЙ

В статьях [4-7] предлагается решать проблему быстродействия с помощью сдвига логического уровня к уровню высоковольтного питания, не изменяя при этом перепад напряжения между логической единицей и нулем, как это показано на рис. 2 [4].

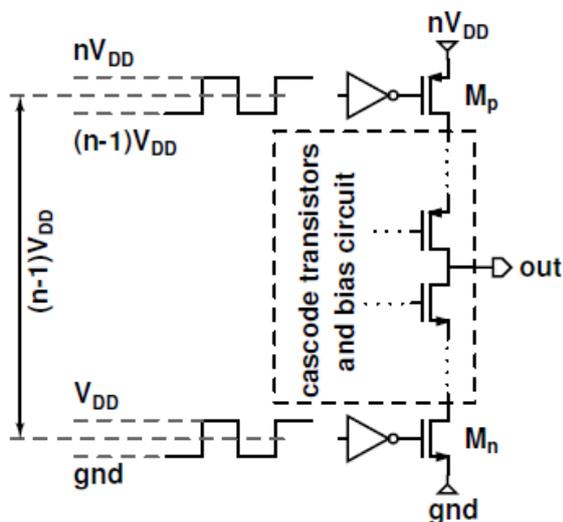


Рис. 2. Концепция ускорения преобразователя, предложенная в статьях [4-7]

Данная техника реализуется с помощью введения динамической связи и использования истоковых повторителей (рис. 3) [7].

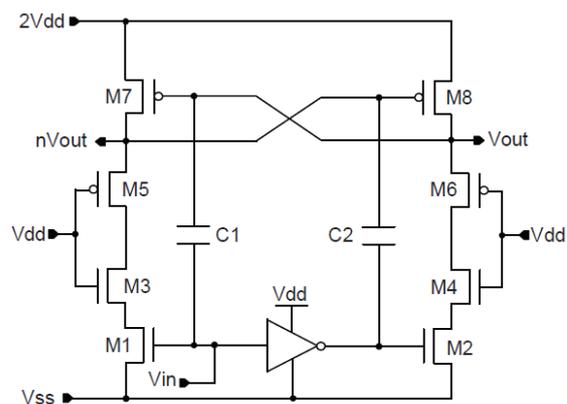


Рис. 3. Преобразователь логического уровня, сохраняющий разницу напряжений между «0» и «1» [7]

Однако данная техника имеет ряд недостатков. Одним из них является необходимость использования нескольких источников опорного напряжения при разнице питающих напряжений больше минимального напряжения питания ( $V_{ddh} > 2V_{ddl}$ , где  $V_{ddl}$  – напряжение низковольтного источника питания). Этого можно избежать если использовать высоковольтные транзисторы, но тогда схема станет более медленной. То же касается и выходного каскада. Если использовать на выходе схемы низковольтные транзисторы, то возникает необходимость использования дополнительных схем защиты низковольтных транзисторов, что уменьшает стабильность работы схемы. Стоит заметить, что схема использует динамическую связь. С одной стороны это увеличивает скорость переключения, но с другой занимаемая преобразователем на кристалле площадь также сильно возрастет. Значительное возрастание сложности схемы для питаний  $3V_{dd}$  и  $V_{dd}$  можно заметить на рис. 4 [4].

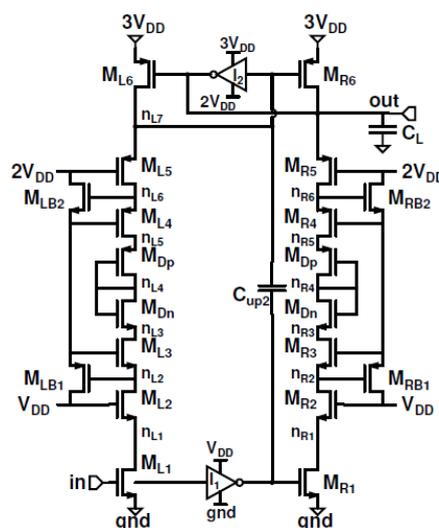


Рис. 4. Преобразователь логического уровня, сохраняющий разницу напряжений между «0» и «1» при сдвиге логического уровня на  $2V_{dd}$  [4]

Результат работы рассмотренного преобразователя представлен на рис. 5 [4].

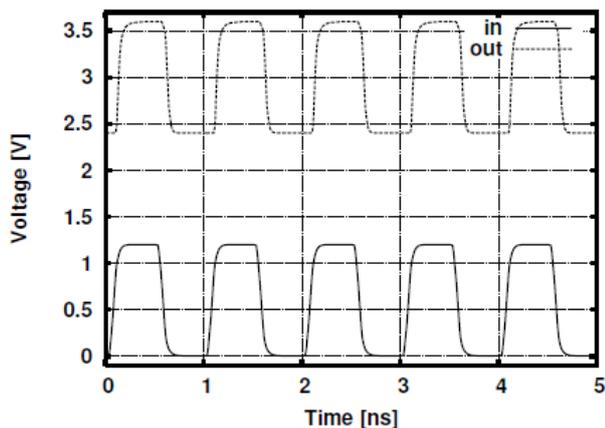


Рис. 5. Результаты работы преобразователя, представленного на рис. 4 [4]

Здесь, помимо значительного усложнения части схемы между базовыми транзисторами  $M_{L1}$ ,  $M_{L6}$ ,  $M_{LR6}$  и  $M_{R1}$ , можно заметить, что один из конденсаторов пропал ( $C1$  на рис. 3), но зато появился инвертор  $I_2$ . Данное введение позволяет уменьшить занимаемую схемой площадь, а также ускоряет перезарядку выходного узла, так как данный инвертор выступает в качестве дополнительного источника напряжения. Однако стоит иметь в виду, что напряжение  $2V_{dd}$  – это, как правило, опорное напряжение. А значит для правильной работы схемы придется встраивать буфер после источника опорного напряжения, способный генерировать значительные токи в моменты переключения схемы. Обратим внимание на транзисторы  $M_{LB1}$ ,  $M_{LB2}$ ,  $M_{RB1}$  и  $M_{RB2}$ . Они необходимы для защиты низковольтных транзисторов  $M_{L4}$ ,  $M_{L5}$ ,  $M_{R4}$  и  $M_{R5}$  от пробоя.

### III. КРАТКИЙ ОБЗОР РАЗРАБОТАННОЙ СХЕМЫ

Конечный вариант разработанной схемы представлен на рис. 6.

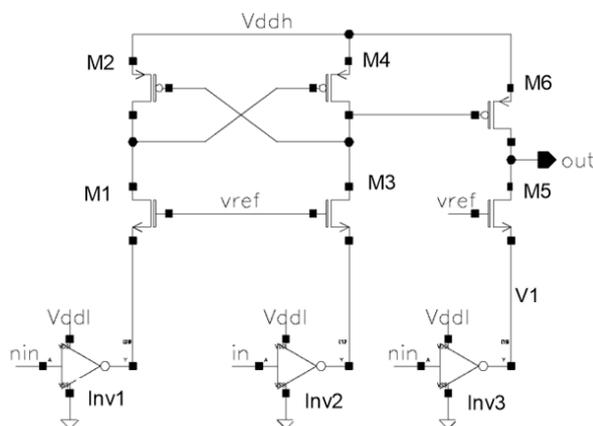


Рис. 6. Разработанная схема быстрого преобразователя логического уровня

Особенностью данной схемы является управление преобразователем через каскодное включение низковольтных и высоковольтных транзисторов. Для ускорения закрытия высоковольтных p-канальных транзисторов напряжение на их истоке контролируется не низковольтным n-МОП транзистором, а КМОП инвертором. Значительный вклад в ускорение работы преобразователя также вносит тот факт, что сам преобразователь управляет только p-канальным транзистором  $M_6$ , в то время как  $M_5$  управляется низковольтным сигналом через инвертор, подключенный к истоку данного транзистора. Данная конфигурация получилась весьма эффективной, так как каскодное подключение обеспечивает высокую крутизну n-канальных транзисторов, а следовательно – быстрое переключение в логический ноль. Таким образом, при входном сигнале, равном логическому нулю, транзистор  $M_5$  быстро разряжает нагрузочную емкость до логического нуля. При подаче на вход логической единицы затвор транзистора  $M_6$  быстро разряжается до логического нуля и он открывается, что снова способствует высокой скорости изменения напряжения на выходе схемы до напряжения высоковольтного источника питания.

### IV. ДЕТАЛЬНЫЙ РАЗБОР РАЗРАБОТАННОЙ СХЕМЫ

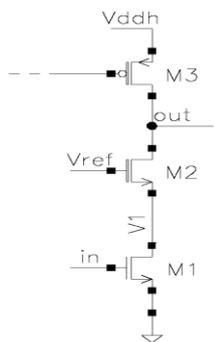
Как уже говорилось во Введении основной проблемой, ограничивающей скорость переключения схемы, является то, что на высоковольтные транзисторы подается входной сигнал в низковольтном домене. Однако в современных условиях имеет место большая разница между низковольтным и высоковольтным питанием. Данная схема разрабатывалась для использования с питанием 1.1 В и 3.3 В, что приводит к тому, что низковольтное питание становится близко к пороговому напряжению n-МОП транзистора. Из-за этого эффективная крутизна таких транзисторов становится значительно меньше по сравнению с p-канальными транзисторами.

Учитывая вышеописанную проблему для повышения быстродействия преобразователя приходится значительно увеличивать ширину входных n-канальных транзисторов. Однако с увеличением геометрических размеров увеличивается и паразитная емкость, замедляющая работу преобразователя, что не позволяет получать малые задержки.

Для решения задачи использован метод каскодирования, где высоковольтный транзистор соединен с низковольтным по схеме подключения «общий затвор» (рис. 7).

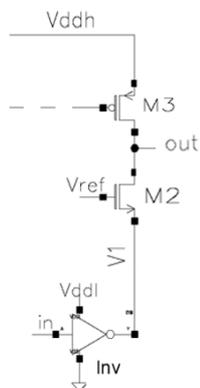
Как видно из рисунка комбинация транзисторов  $M1$  и  $M2$  представляет собой истоковый повторитель. Таким образом, напряжение на узле  $V1$  будет равно примерно  $V_{ref} - V_{th}$ . Учитывая, что транзистор  $M1$  является низковольтным,  $V_{ref}$  необходимо рассчитывать по формуле  $V_{ddl} + V_{th}$ . Тогда автоматически исключается возможность возникновения пробоя у транзистора  $M1$ , так как

напряжение на его стоке не будет значительно превышать  $V_{ddl}$ .



**Рис. 7. Каскодное подключение транзисторов в преобразователе**

Однако такая конфигурация имеет один недостаток: транзистор  $M2$  будет медленно закрываться, так как с возрастанием напряжения в узле  $V1$  напряжение затвор-исток транзистора  $M2$  будет уменьшаться, что, в свою очередь, приведет к плавному уменьшению тока перезарядки. Это повлияет на увеличение времени переключения. Поэтому для более быстрого закрытия  $M2$  предлагается управлять напряжением на его истоке с помощью инвертора, как это представлено на рис. 8 (таким образом каскодированы все  $p$ -канальные транзисторы конечной схемы из рис. 6).

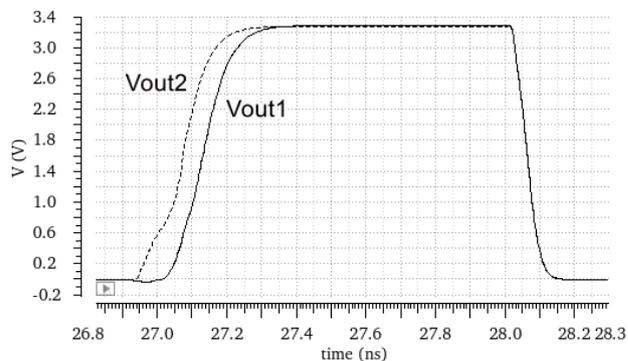


**Рис. 8. Каскодное подключение транзисторов в преобразователе с использованием низковольтного инвертора**

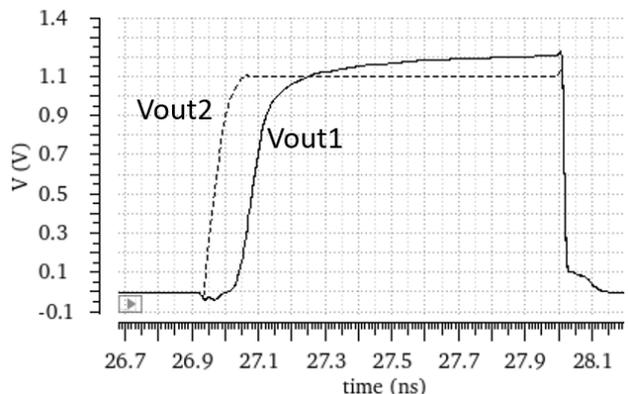
Результаты моделирования схемы, представленной на рис. 8 с комбинацией транзисторов  $M2$ ,  $M3$  и инвертора  $Inv$  представлены на рис. 9. Выход схемы нагружен емкостью  $20\text{ фФ}$ , а напряжение  $V_{ref}$  равно  $1,88\text{ В}$ , что примерно равно значению  $V_{ddl} + V_{th}$ . Графики напряжений на узлах  $V1$  в тех же схемах представлены на рис. 10.

Как уже говорилось ранее, в схеме преобразователя логического уровня нельзя масштабировать  $p$ -канальные транзисторы так, чтобы их крутизна совпадала с крутизной  $n$ -канальных транзисторов, иначе схема будет иметь большие задержки или вообще не переключится. В традиционной схеме с этой

проблемой связаны ограничения на время переключения выхода в логическую единицу. В разработанной схеме данная проблема решается тем, что выходной инвертор управляется одновременно и низковольтным сигналом, и высоковольтным. То есть сам преобразователь может быть оптимизирован именно для быстрого переключения в логический ноль, что приведет к малым задержкам переключения в логическую единицу на выходе инвертора, в то время как переключение в логический ноль будет определяться каскодом с большой крутизной. Следует отметить, что при этом уменьшается значение эквивалентной нагрузочной емкости на выходе преобразователя, так как теперь она определяется только  $p$ -канальным транзистором.



**Рис. 9. Сравнение переходных процессов для напряжений на выходах схем из рис. 7 ( $V_{out1}$ ) и 8 ( $V_{out2}$ )**



**Рис. 10. Сравнение переходных процессов для напряжений  $V1$  на выходах схем из рис. 7 ( $V_{out1}$ ) и 8 ( $V_{out2}$ )**

Результаты моделирования стандартной схемы преобразователя и разработанной схемы представлены на рис. 11. Они получены на частоте  $125\text{ МГц}$  при нагрузочной емкости  $120\text{ фФ}$ . Для уменьшения времен фронтов на выход разработанной схемы подключен дополнительный инвертор, а на выход стандартной схемы — два инвертора. Разработанный преобразователь способен работать на большую нагрузочную емкость при меньшем количестве выходных инверторов как раз за счет отдельного управления первого выходного инвертора, имеющего вместо простого  $n$ -канального транзистора каскод.

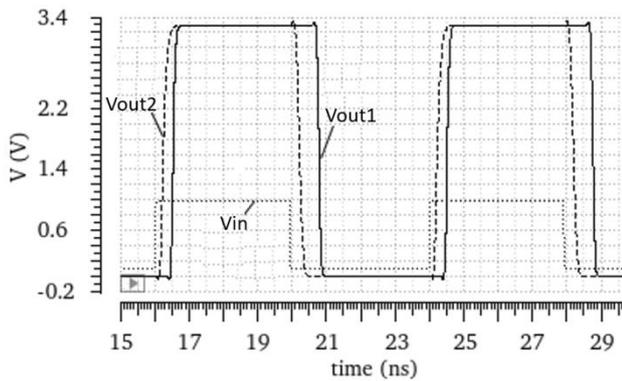


Рис. 11. Результат моделирования базовой и предложенной схемы преобразователя (Vout1 – схема из рис. 1, Vout2 – схема из рис. 6)

#### V. ИСТОЧНИК НАПРЯЖЕНИЯ СМЕЩЕНИЯ $V_{REF}$

Данный раздел посвящен реализации напряжения смещения  $V_{ref}$ . Задача реализации источника напряжения смещения была решена с использованием схемы, представленной на рис. 12. Здесь транзистор M2 с большой длиной канала работает в крутой области и по сути является нагрузочным резистором для транзистора M1 в диодном включении. Для уменьшения энергопотребления схема сделана так, что имеет рабочий и нерабочий режимы. Они задаются сигналом en, работающим в высоковольтном домене. При подаче нулевого сигнала ( $en = 0$ ) транзистор M2 закрывается, а M3 открывается, подтягивая опорное напряжение к низковольтному источнику питания. В рабочем режиме ( $en = 1$ ) схема обеспечивает опорное напряжение, примерно равное  $V_{th}$  (при малых токах транзистора M1). Емкость C вместе с транзисторами M1 и M2 образует фильтр высоких частот, который тоже способствует более быстрому переключению высоковольтных транзисторов в каскаде. Результаты моделирования опорного напряжения с использованием фильтрующей емкости и без нее показаны на рис. 13.

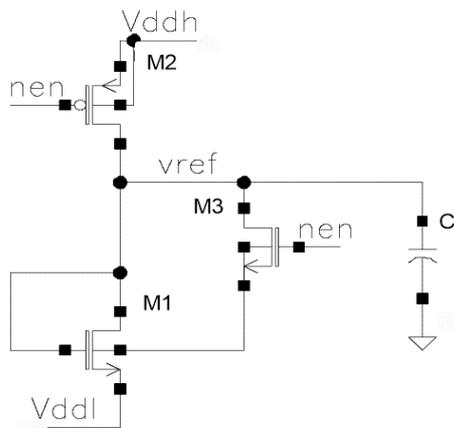


Рис. 12. Схема источника опорного напряжения для питания каскода

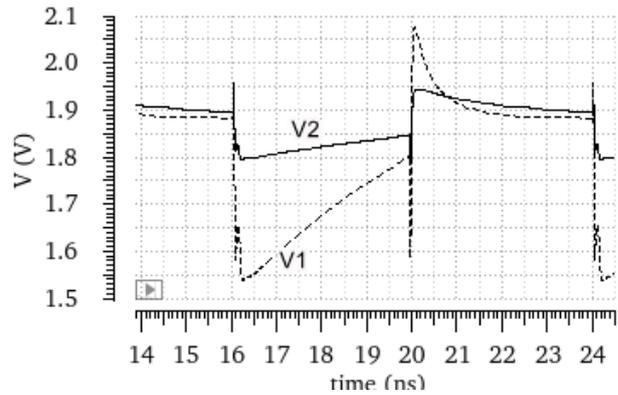


Рис. 13. Результат моделирования источника опорного напряжения с фильтрующей емкостью (V2) и без нее (V1)

Такая реализация источника опорного напряжения способствует более эффективному использованию энергии, так как ток, вытекающий из высоковольтного источника питания, не утекает в землю, а течет в источник низковольтного питания, и может использоваться повторно в низковольтных устройствах.

#### VI. ЗАКЛЮЧЕНИЕ

В данной статье представлен разработанный схемотехнический прием повышения быстродействия преобразователя логического уровня, основанный на использовании каскодов и раздельном управлении выходным инвертором, как предложено в статьях [4-7]. Однако данная схема является более простой, так как она более эффективно комбинирует низковольтные и высоковольтные транзисторы. Ее особенностью также является генерация выходного сигнала в диапазоне от нуля вольт до  $3V_{ddl}$  с последующей подачей полученного сигнала на высоковольтный p-канальный транзистор выходного инвертора. Нижняя часть инвертора улучшена за счет использования каскода, включающего в себя низковольтный инвертор и высоковольтный n-канальный транзистор. Полученная конфигурация схемы отличается простотой реализации, стабильностью работы, а также хорошими скоростными характеристиками.

Результаты моделирования преобразователя на схемотехническом уровне представлены в табл. 1.

Таблица 1  
Параметры разработанного преобразователя

Параметр	Значение
Задержка переключения из «1» в «0»	261 пс
Задержка переключения из «0» в «1»	219 пс
Динамический ток потребления от источника Vddh на частоте 125 МГц	113 мкА
Динамический ток потребления от источника Vddl на частоте 125 МГц	14 мкА
Время положительного фронта	182 пс
Время отрицательного фронта	159 пс
Коэффициент заполнения на частоте 125 МГц	49,53 %

## ЛИТЕРАТУРА

- [1] Pan, D. Li, H.W. Wilamowski, B.M., A low voltage to high voltage level shifter circuit for MEMS application// Proc. 15th Biennial symposium on University/Government/Industry Microelectronics, July 2003.
- [2] Shafqat Ali, Steve Tanner and Pierre Andre Farine A Robust, Low Power, High Speed Voltage Level Shifter With Built-in Short Circuit Current Reduction// 20th European Conference on Circuit Theory and Design (ECCTD), 2011 – C. 142-145.
- [3] Хоровиц П., Хилл У. Искусство схемотехники: учеб. пособие / П Хоровиц, У. Хилл – М. : Издательство БИНОМ, 2015. – 15 с.
- [4] Bert Serneels, Michiel Steyaert and Wim Dehaene A High speed, Low Voltage to High Voltage Level Shifter in Standard 1.2V 0.13 $\mu$ m CMOS//IEEE, june, 2006 – C. 668-671.
- [5] Dong Pan, Harry W. Li, and Bogdan. M. Wilamowski A Low Voltage to High Voltage Level Shifter Circuit for MEMS Application//IEEE, march, 2008 – C. 385-388.
- [6] Sara Pashmineh, Dirk Killat Design of a High-Voltage Driver based on Low-Voltage CMOS with an Adapted Level Shifter optimized for a Wide Range of Supply Voltage//IEEE, april, 2012 – C. 611-614.
- [7] José Rocha, Marcelino Santos, J. M. Dores Costa Floriberto Lima High Voltage Tolerant Level Shifters and Logic Gates in Standard Low Voltage CMOS Technologies//IEEE, march, 2012 – C. 685-658.

# A High Speed Level Shifter for High Voltage Supply Range with High Reliability

D.Yu. Sergeychuk

IC Design Center “Milandr”, Moscow, sergeychukdmitry@gmail.com

**Abstract** — A novel topology for a high speed voltage level shifter (LS) has been made up. This new circuit uses common-gate input cascode, which consists of low- and high-voltage transistors for increasing strength of push of n-MOS transistors. To reduce “0”-to-“1” delay, low-voltage n-MOS transistors have been replaced by low-voltage invertors It leads to more rapid turn-off of high-voltage n-MOS transistors. Usage of cascode in level shifter topology allows to get rid of Miller effect. Another feature is that level shifter drives only output inverter’s p-MOS transistor. It leads to less load capacitance for cross-coupled level shifter stage output and makes LS work more rapidly. Output n-MOS transistor has been replaced on cascode too and is driven with input low voltage signal directly. The suggested level shifter demonstrates “1”-to-“0” 261 ps delay, “0”-to-“1” 219 ps delay, duty cycle of 49.53% and 127  $\mu$ A dynamic consumption current (table 1). The circuit requires bias voltage source. The one implemented with connection voltage divider is presented (MOS-diode M1 plus M2 in triode region). The circuit of bias voltage source has two modes (on/off). It is implemented with transistors M2 and M3, which may be on and off depending on enable signal. The voltage level shifter is designed with CMOS 40nm process. Simulation results, at the schematic level, are presented to validate the design concept.

**Keywords** — Voltage Level Shifter; High Speed; Short Circuit Current; Cascode.

**Keywords** — Voltage Level Shifter; High Speed; Short Circuit Current; Cascode.

## REFERENCES

- [1] Pan, D. Li, H.W. Wilamowski, B.M., A low voltage to high voltage level shifter circuit for MEMS application// Proc. 15th Biennial symposium on University/Government/Industry Microelectronics, July 2003.
- [2] Shafqat Ali, Steve Tanner and Pierre Andre Farine A Robust, Low Power, High Speed Voltage Level Shifter With Built-in Short Circuit Current Reduction// 20th European Conference on Circuit Theory and Design (ECCTD), 2011 – C. 142-145.
- [3] Horowitz P., Hill W. Искусство схемотехники (The Art of Electronics): учеб. пособие/ P Horowitz, W. Hill – М. : Издательство БИНОМ, 2015. – 15 p.
- [4] Bert Serneels, Michiel Steyaert and Wim Dehaene A High speed, Low Voltage to High Voltage Level Shifter in Standard 1.2V 0.13 $\mu$ m CMOS//IEEE, june, 2006 – C. 668-671.
- [5] Dong Pan, Harry W. Li, and Bogdan. M. Wilamowski A Low Voltage to High Voltage Level Shifter Circuit for MEMS Application//IEEE, march, 2008 – C. 385-388.
- [6] Sara Pashmineh, Dirk Killat Design of a High-Voltage Driver based on Low-Voltage CMOS with an Adapted Level Shifter optimized for a Wide Range of Supply Voltage//IEEE, april, 2012 – C. 611-614.
- [7] José Rocha, Marcelino Santos, J. M. Dores Costa Floriberto Lima High Voltage Tolerant Level Shifters and Logic Gates in Standard Low Voltage CMOS Technologies//IEEE, march, 2012 – C. 685-658.