

14-битный АЦП последовательного приближения с фоновой калибровкой

А.А. Рыбаков, Д. Сергейчук

АО ПМК Миландр, rybakov.a@ic-design.ru

Аннотация — Предложена архитектура полностью дифференциального SAR (Successive Approximation Register – Регистр Последовательного Приближения) АЦП с цифровой псевдо-фоновой калибровкой на основе метода двойного преобразования (Offset Double Conversion – ODC), которая обеспечивает преобразование дифференциального сигнала в диапазоне $\pm V_{ref}$. Особенностью архитектуры является использование четырех избыточных ЦАП для формирования симметричного дифференциального напряжения на входах компаратора, а также использование цифровой псевдо-фоновой калибровки на основе метода двойного преобразования для расчета оптимальных весов рассогласованных элементов ЦАП. По результатам моделирования в пакете MATLAB улучшение линейности после калибровки составило примерно 40 дБ. Было обнаружено, что время сходимости обратно пропорционально амплитуде смещения нуля на входе компаратора Δ_a , и для достижения устойчивого состояния требуется около 20000 выборок при $\Delta_a = 27.3$ МЗР.

Ключевые слова — избыточный АЦП последовательного приближения, псевдо-фоновая калибровка.

I. ВВЕДЕНИЕ

Идея фоновой калибровки возникла в 90-е годы [1]. В таких преобразователях алгоритм калибровки выполняется непрерывно и адаптирует коэффициенты компенсации параллельно с процедурой преобразования, устраняя возникающий дрейф параметров элементов. Существующие методы фоновой калибровки можно поделить на три типа [2]:

- псевдо-фоновая калибровка (pseudo-background),
- калибровка на основе корреляции (correlation-based),
- калибровка с двухканальным выравниванием (two-ADC equalization-based).

В первом методе адаптация коэффициентов компенсации может быть реализована двумя способами: либо на вход АЦП подается дополнительное напряжение смещение нуля через путь (i) (рис. 1) [3], либо АЦП переключается между различными режимами работы [4]. Преимуществом этого метода является детерминированная процедура калибровки и, следовательно, ее быстрое время сходимости. Недостатком этого метода является

уменьшение скорости преобразования вдвое из-за необходимости двойного преобразования после каждой фазы выборки.

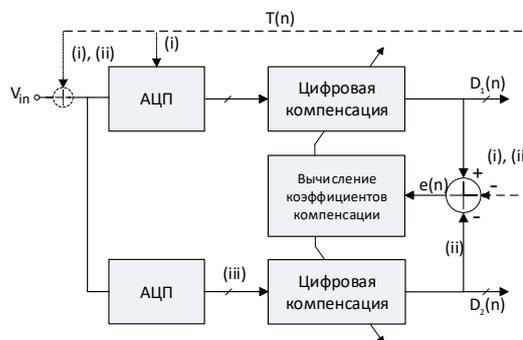


Рис. 1. Фоновая калибровка АЦП

Во втором методе адаптация коэффициентов компенсации реализуется путем введения одного или нескольких тестовых сигналов в форме псевдослучайной последовательности бит (PRBS – Pseudo Random Binary Sequence), которая подается на вход АЦП через путь (ii) (рис. 1) [5], [6]. В этом методе скорость преобразования выше, чем в первом, но при этом время сходимости возрастает примерно на два порядка [4], [7] из-за статистической процедуры калибровки.

В третьем методе адаптация коэффициентов компенсации реализуется за счет вспомогательного АЦП через путь (iii) (рис. 1) [8], [9], [10]. Недостатком этого метода является увеличение площади и энергопотребления такой системы.

Стоит отметить, что первый метод не накладывает ограничений на входной сигнал, в то время как два других метода требуют входного сигнала, соответствующего полной шкале, и/или специфического метода линеаризации передаточной характеристики АЦП [11].

Недостатками существующих архитектур АЦП последовательного приближения с фоновой калибровкой является отсутствие дифференциального входа [3], а также асимметричное управление напряжениями на входе компаратора [12], что приводит к уменьшению диапазона исправляемых ошибок, вызванных рассогласованием элементов ЦАП [13].

В данной работе предложена архитектура полностью дифференциального АЦП последовательного приближения с цифровой псевдо-фоновой калибровкой на основе метода двойного преобразования, которая обеспечивает преобразование дифференциального сигнала в диапазоне $\pm V_{ref}$. Особенностью архитектуры является использование четырех избыточных ЦАП для формирования симметричного дифференциального напряжения на входах компаратора, а также использование цифровой псевдо-фоновой калибровки на основе метода двойного преобразования для расчета оптимальных весов рассогласованных элементов ЦАП.

II. АРХИТЕКТУРА АЦП

Архитектура представленного на рис. 2а АЦП включает в себя: четыре ЦАП, компаратор, источник опорного напряжения (не показан на рисунке), ключи и цифровую логику управления ЦАП.

17-битный избыточный ЦАП представлен на рис. 3а. Он состоит из массива конденсаторов, каждый из которых разбивается на одинаковые по размерам элементы, которые мы в дальнейшем будем называть юнитами. Для уменьшения размеров основного ЦАП его массив конденсаторов разделен мостовым конденсатором C_B на два подмассива – фиксированный и плавающий, которые включают в себя по 7 и 10 конденсаторов, соответственно, и имеют следующий вид

$$S_{fix} = \{[7, 13, 24, 44, 81, 149, 274] \cdot C_u\},$$

$$S_{flr} = \{[1, 1, 2, 4, 7, 13, 24, 44, 81, 149] \cdot C_u\},$$

где C_u – юнит фиксированного подмассива.

Конденсаторы ЦАП масштабированы по формуле $C_i = rC_{i-1}$ до целого числа юнитов с коэффициентом избыточности $r = 1.84$ (за исключением четырех младших конденсаторов). Погрешность округления для обоих вышеуказанных подмассивов при этом не превышает $\pm 0.63\%$.

К каждому из входов компаратора на рис. 2а дополнительно подключена схема инжекции смещения нуля (рис. 3б), которая представляет собой два конденсатора $C_{p0} = C_u$ и $C_{p1} = 2C_u$, нижние обкладки которых коммутируются на опорные напряжения V_{refL} и V_{refH} . В зависимости от управляющего кода величина смещения нуля на одном из “плечей” компаратора при этом составляет

$$\Delta_a = \pm V_{ref} \frac{p_0 C_{p0} + p_1 C_{p1}}{2 \cdot 274 / 10609 \sum S_{init}} = \pm \{1, 2, 3\} mB, \quad (1)$$

или в цифровом виде $\Delta_d = \pm \{13.7, 27.3, 40.1\} МЗР$,

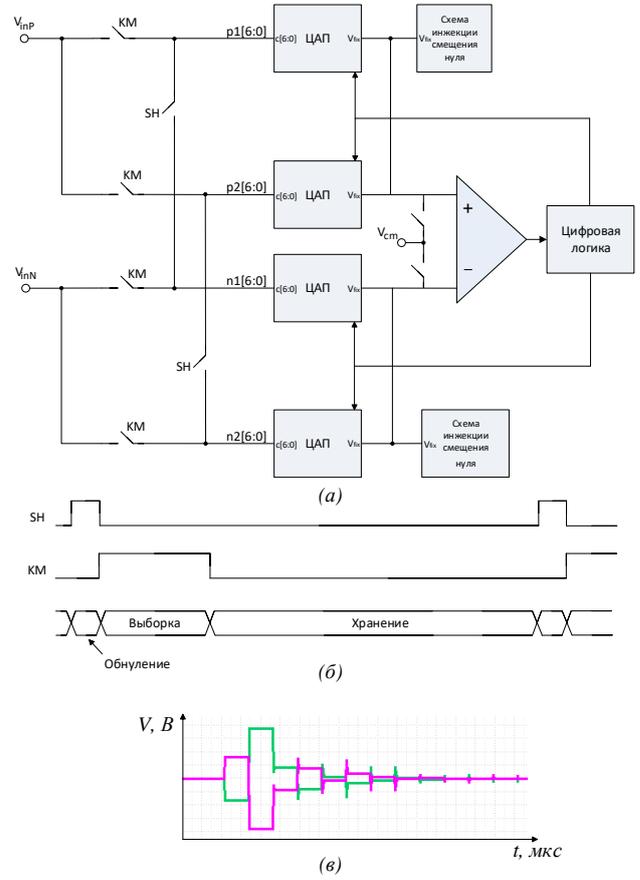


Рис. 2. (а) архитектура АЦП, (б) упрощенная тактовая диаграмма без схемы инжекции смещения нуля, (в) напряжения на входе компаратора во время преобразования

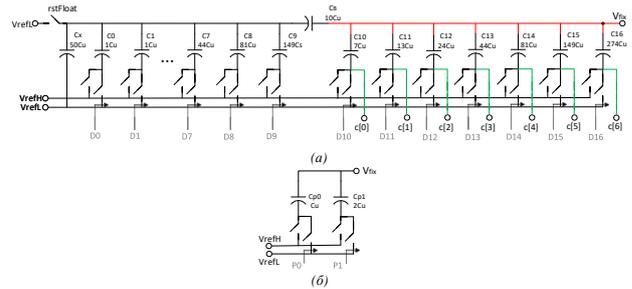


Рис. 3. (а) схема ЦАП, (б) схема инжекции смещения нуля

где $V_{ref} = V_{refH} - V_{refL} = 1.2B$ – опорное напряжение, $p_0, p_1 \in \{0, 1\}$ – управляющие биты конденсаторов C_{p0} и C_{p1} . Двойка в знаменателе выражения (1) указывает на то, что ко входу компаратора подключены две одинаковые матрицы конденсаторов.

Мостовой конденсатор C_B в схеме ЦАП на рис. 3а является причиной существенных ошибок в АЦП последовательного приближения [15]. Для уменьшения влияния этого конденсатора на точность преобразования АЦП его делают кратным C_u [16]. При этом к плавающему подмассиву дополнительно

подключают конденсатор C_x , вторая обкладка которого подключается к низкому опорному напряжению V_{refL} (рис. 3а). Чтобы рассчитать емкость конденсатора C_x , представим схему ЦАП на рис. 3а в виде упрощенной схемы, представленной на рис. 4а, где $C_{sFix} = \sum S_{fix}$, $C_{sFlt} = \sum S_{flt}$. С другой стороны схема на рис. 4а может быть представлена как эквивалентная ей схема без мостового конденсатора C_B , представленная на рис. 4б, для которой справедливо выражение

$$W_T = \frac{\sum_{i=1}^{M_{flt}} S_{init}(i)}{\sum S_{init}} = 0.014,$$

где W_T – это вес конденсатора C_T ,

$$S_{init} = \{[1, 1, 2, 4, 7, 13, 24, 44, 81, 149, 274, 503, 926, 1703, 3134, 5766, 10609] \cdot C_u\},$$

– массив конденсаторов, эквивалентный массиву на рис. 3а при отсутствии мостового конденсатора C_B , $M_{flt} = 10$ – длина массива S_{flt} .

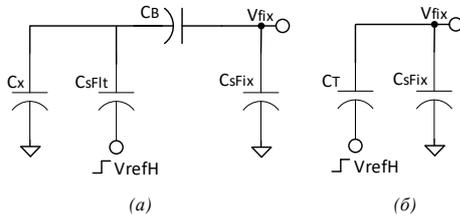


Рис. 4. (а) упрощенная схема ЦАП, (б) эквивалентная схема ЦАП

Из рис. 4а следует, что вес конденсатора C_T может быть также представлен в виде

$$\begin{aligned} W_T &= \frac{V_{fix}}{V_{refH}} = \frac{C_{sFlt}}{C_{sFlt} + C_x + C_B \parallel C_{sFix}} \frac{C_B}{C_B + C_{sFix}} \\ &= \frac{C_{sFlt} C_B}{(C_{sFlt} + C_x)(C_B + C_{sFix}) + C_B C_{sFix}} \\ &= \frac{C_{sFlt} C_B}{C_{sFix}(C_{sFlt} + C_x + C_B) + C_B(C_{sFlt} + C_x)} \end{aligned}$$

Откуда

$$\begin{aligned} C_B &= \frac{W_T C_{sFix}(C_{sFlt} + C_x)}{C_{sFlt} - W_T(C_{sFix} + C_{sFlt} + C_x)}, \\ C_x &= \frac{C_{sFlt} C_B - W_T[C_{sFix}(C_{sFlt} + C_B) + C_{sFlt} C_B]}{W_T(C_{sFix} + C_B)}. \end{aligned}$$

При условии, что $C_B = 10C_u$, получаем $C_x = 50.23C_u \approx 50C_u$.

III. ФУНКЦИОНИРОВАНИЕ АЦП

Рассмотрим упрощенный вариант функционирования АЦП при отключенной схеме инъекции смещения нуля. В этом случае оцифровка сигнала происходит за три фазы (рис. 2б). В первой фазе замыкаются ключи SH. Это позволяет обнулить заряд в матрицах и таким образом исключить влияние предыдущего результата преобразования на последующий. При этом узлы p1[6:0], p2[6:0], n1[6:0], n2[6:0], соответствующие нижним обкладкам конденсаторов ЦАП, отсоединены от входов V_{inP} и V_{inN} ключами КМ. Вторая фаза – фаза выборки. Ключи КМ замыкаются и нижние обкладки конденсаторов ЦАП заряжаются до напряжений V_{inP} и V_{inN} , как показано на рис. 5а. В то же время верхние обкладки заряжаются до напряжения V_{cm} , соответствующего рабочему напряжению компаратора. Далее начинается третья фаза – фаза хранения, во время которой происходит преобразование. На начальном этапе этой фазы (рис. 5б) все нижние обкладки 1-го и 3-го ЦАП подключаются к высокому опорному напряжению V_{refH} , в то время как все нижние обкладки 2-го и 4-го ЦАП подключаются к низкому опорному напряжению V_{refL} . При этом верхние обкладки отключаются от V_{cm} . Таким образом на верхних обкладках ЦАП устанавливается дифференциальное напряжение $V_{in} = V_{inP} - V_{inN}$. После этого начинается процесс преобразования, во время которого 1-й и 3-й ЦАП отнимают напряжение на входах компаратора, а 2-й и 4-й – прибавляют, в зависимости от текущего кода формируется симметричный дифференциальный сигнал (рис. 2в), обеспечивающий максимальный диапазон исправляемых ошибок, вызванных рассогласованием элементов ЦАП [13].

После того как получен выходной M-битный избыточный код, его необходимо преобразовать в N-битный код по следующей формуле

$$D_{out} = 2^{N-1} + \alpha \left(\sum_{i=1}^{M-1} [C_i(2r_i - 1)] + C_0(r_0 - 1) \right), \quad (2)$$

где $N = 14$ – разрядность АЦП, $M = 17$ – количество шагов преобразования, $\alpha = 2^{N-1} / S_I$, где $S_I = 23241$ – сумма элементов массива

$$I = [1, 1, 2, 4, 7, 13, 24, 44, 81, 149, 274, 503, 926, 1703, 3134, 5766, 10609].$$

Отметим, что калибровка в соответствии с уравнением (2) возможна, только если известны оптимальные веса рассогласованных элементов ЦАП [2]. Хотя на схеме присутствует четыре ЦАП, для калибровки необходим только один массив оптимальных весов W .

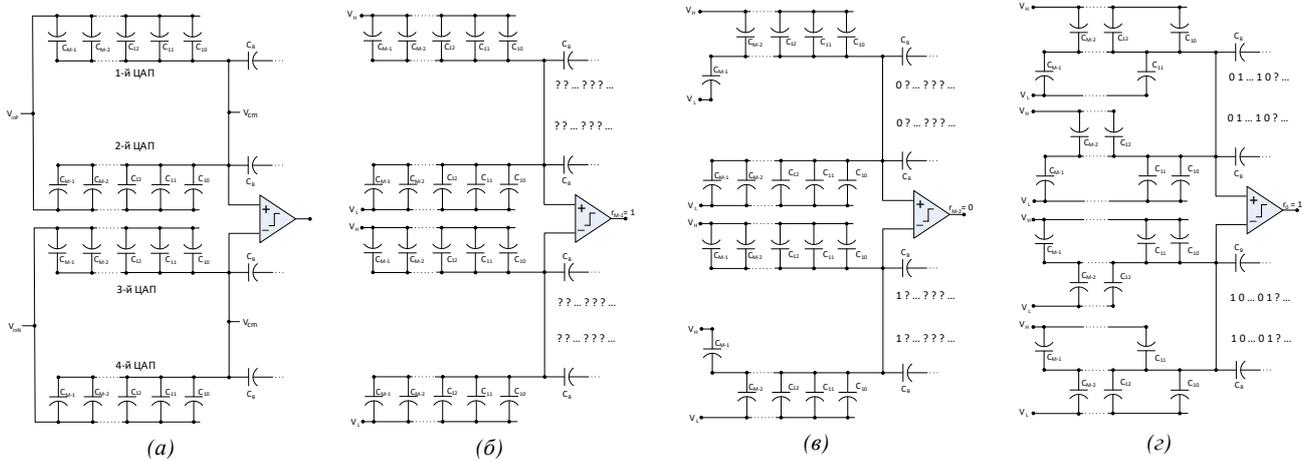


Рис. 5. Схема оцифровки сигнала: (а) выборка; (б), (в), (г) хранение

IV. КАЛИБРОВКА

Калибровка ЦАП выполняется на основе метода двойного преобразования [3], функциональная схема и тактовая диаграмма которого представлены на рис. 6а и 6б, соответственно. Как видно из рис. 6а цифровой блок включает в себя блоки скалярного произведения векторов, сумматоры и блок расчета ошибки по Методу Наименьших Квадратов (МНК). Оцифровка входного сигнала происходит дважды с двумя противоположными по знаку смещениями нуля $-\pm\Delta_a$, которые формируются непосредственно перед фазами преобразования (рис. 6б). В результате на выходе АЦП формируются два избыточных кода $-D_+$ и $-D_-$, соответственно. Используя веса $W = \{w_i\}, i = 0, \dots, N-1$, полученные на предыдущем шаге, в цифровом блоке АЦП рассчитываются выходные коды, обозначаемые как d_+ и d_- , соответственно. Разница ε между d_+ и d_- получается путем вычитания $2\Delta_d$ (цифровое представление Δ_a):

$$\varepsilon(n) = d_+ - d_- - 2\Delta_d$$

Эта разница должна стремиться к нулю при оптимальных весах, гарантирующих линейность АЦП. Корректировка весов W по формуле [15]

$$W_i(n+1) = W_i(n) - \mu_w \varepsilon(n)(D_{+i} - D_{-i})$$

будет продолжаться пока ε не достигнет нуля. В этом случае среднее значение d_+ и d_- дает истинное значение оцифрованного сигнала d_{out} .

Недостатком такого метода является уменьшение скорости преобразования вдвое из-за необходимости двойного преобразования после каждой фазы выборки. Преимуществом является ослабление шумов квантования и шумов компаратора на 3 дБ из-за усреднения. Время сходимости этого метода по сравнению с калибровкой на основе корреляции [4], [7] короче примерно на два порядка из-за детерминированной процедуры калибровки.

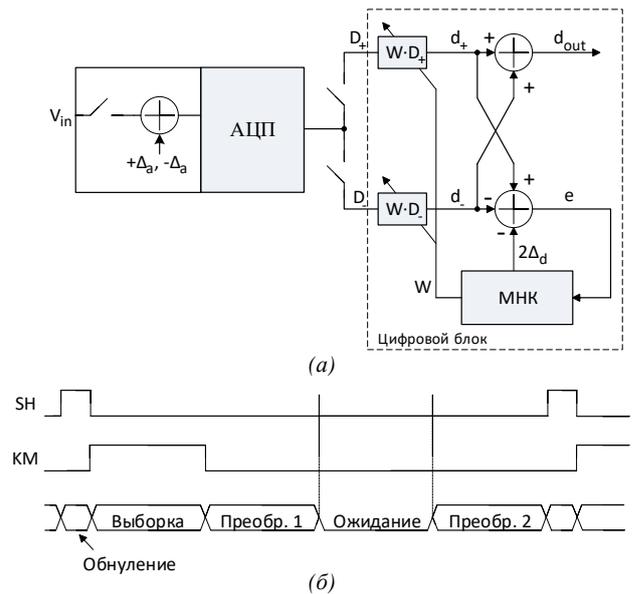
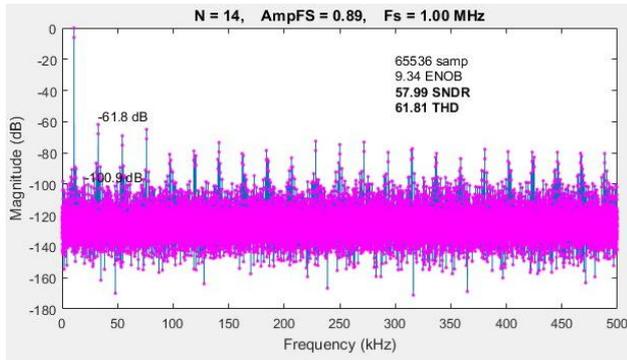


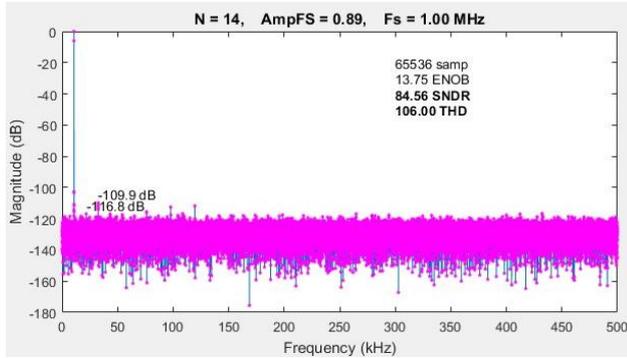
Рис. 6. ODC калибровка: (а) схема, (б) тактовая диаграмма

V. РЕЗУЛЬТАТЫ

Предложенная архитектура реализована и промоделирована в пакете MATLAB. По результатам моделирования получены спектральные характеристики (до и после калибровки) оцифрованного сигнала амплитудой -1 дБ от полной шкалы, которые представлены на рис. 7. Из рисунка видно, что после калибровки SNDR и THD были улучшены от 60.0, 61.8 дБ до 84.6, 106.0 дБ, соответственно. Таким образом, улучшение линейности составило примерно 40 дБ. Было обнаружено, что время сходимости обратно пропорционально амплитуде смещения нуля на входе компаратора Δ_a (рис. 8) и для достижения устойчивого состояния требуется около 20000 выборок при $\Delta_d = 27.3$ МЗР.



(a)



(б)

Рис. 7. Результаты моделирования: (а) до калибровки, (б) после калибровки

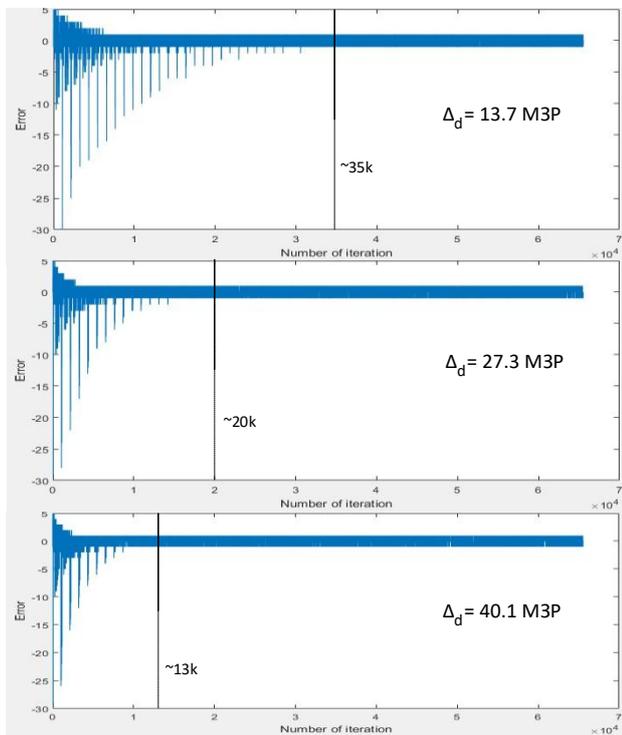


Рис. 8. Ошибка на входе блока МНК

- [1] H. E. Hilton, Statistically based continuous autocalibration method and apparatus, US Patent 4996530, 1991.
- [2] Jiang X. Digitally-Assisted Analog and Analog-Assisted Digital IC Design // Cambridge University Press, 2015
- [3] Liu W., Huang P.-L., Chiu Y. A 12b 22.5/45 MS/s 3.0 mW 0.059 mm² CMOS SAR ADC achieving over 90~dB SFDR // IEEE ISSCC Dig. Tech. Papers, 2010. P. 308–381.
- [4] Siragusa E., Galton I. A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC // IEEE Journal of Solid-State Circuits. 2004. V. 39, № 12. P. 2126–2138.
- [5] Liu W., Huang P., Chiu Y. A 12-bit 50-MS/s 3.3-mW SAR ADC with background digital calibration // Proceedings of the IEEE 2012 Custom Integrated Circuits Conference. 2012. P. 1–4.
- [6] Chiu Y., et al. Digital calibration of SAR ADC // Proceedings of the 10th International Conference on Sampling Theory and Applications. 2013. P. 544–547.
- [7] Shu Y.-S., Song B.-S. A 15-bit Linear 20-MS/s Pipelined ADC Digitally Calibrated With Signal-Dependent Dithering // IEEE Journal of Solid-State Circuits. 2008. V. 43, № 2. P. 342–350.
- [8] Wang X., Hurst P. J., Lewis S. H. A 12-bit 20-MS/s pipelined ADC with nested digital background calibration // Proceedings of the IEEE 2003 Custom Integrated Circuits Conference. 2003. P. 409–412.
- [9] Chiu Y., Tsang C. W., Nikolic B., Gray P. R. Least Mean Square Adaptive Digital Background Calibration of Pipelined Analog-to-Digital Converters // IEEE Transactions on Circuits and Systems I: Regular Papers. 2004. V. 51, № 1. P. 38–46.
- [10] McNeill J., Coln M. C. W., Larivee B. J. “Split ADC” architecture for deterministic digital background calibration of a 16-bit 1-MS/s ADC // IEEE Journal of Solid-State Circuits. 2005. V. 40, № 12. P. 2437–2445.
- [11] McNeill J., et al. All-Digital Background Calibration of a Successive Approximation ADC Using the “Split ADC” Architecture // IEEE Transactions on Circuits and Systems I: Regular Papers. 2011. V. 58, № 10. P. 2355–2365.
- [12] Kuttner F. A 1.2 V 10b 20 MS/s non-binary SAR ADC in 0.13 um CMOS // ISSCC 2002, Feb. 2002: Proceedings. San Francisco, CA, USA, 2002. P. 176–177.
- [13] Chang A. H., Lee H.-S., Boning D. A 12b 50MS/s 2.1mW SAR ADC with Redundancy and Digital Background Calibration // 2013 Proceedings of the ESSCIRC, 16–20 Sept. 2013: Proceedings. Bucharest, 2013.
- [14] Hsiao V. W.-H., He Y.-T., Lin Mark P.-H., Chang R.-G., Lee S.-Y. Automatic common-centroid layout generation for binary-weighted capacitors in charge-scaling DAC // 2012 International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design, 19–21 Sept. 2012: Proceedings. Seville, 2012. P. 173–176.
- [15] Agnes A., et al. A 9.4-ENOB 1V 3.8uW 100k/s SAR ADC with Time-Domain Comparator // 2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers, 3-7 Feb. 2008: Proceedings. San Francisco, CA, USA, 2008. P. 246–247.
- [16] Liu C. C. and et al. A 10b 100 MS/s 1.13 mW SAR ADC with binaryscaled error compensation // ISSCC 2010, Digest of Technical Papers, San Francisco, CA, USA. 2010. P. 386–387.

14b SAR ADC with ODC Background Calibration

A.A. Rybakov, D. Sergeychuk

JSC «ICC Milandr», rybakov.a@ic-design.ru

Abstract — An architecture of a fully differential SAR (Successive Approximation Register) ADC with a digital pseudo-background calibration based on the ODC (Offset Double Conversion) method is proposed. The architecture provides the conversion of a differential signal in a range $\pm V_{ref}$. A feature of the architecture is the use of four redundant DACs to form a symmetrical differential voltage at the inputs of the comparator. It allows to increase the tolerance of the DAC mismatch errors. As well a digital pseudo-background calibration based on the ODC method is used to calculate the optimal weights of mismatched DAC elements. The injection of the signal during calibration is provided by two circuits connected to the comparator inputs. The value of the injection signal is controlled within $\Delta_d = \pm\{13.7, 27.3, 40.1\}$ LSB. Digitization of the signal occurs during five phases: zeroing, sampling, conversion of the signal perturbed by positive injected offset, reserved, conversion of the signal perturbed by negative injected offset. Based on the MATLAB simulation results, the improvement in linearity after calibration is approximately 40 dB. It is found that the convergence time is inversely proportional to the amplitude of the perturbation signal that is injected at the comparator input and to achieve a stable state it takes about 20,000 samples for $\Delta_d = 27.3$ LSB.

Keywords — redundant SAR ADC, pseudo-background calibration.

REFERENCES

- [1] H. E. Hilton, Statistically based continuous autocalibration method and apparatus, US Patent 4996530, 1991.
- [2] Jiang X. Digitally-Assisted Analog and Analog-Assisted Digital IC Design // Cambridge University Press, 2015
- [3] Liu W., Huang P.-L., Chiu Y. A 12b 22.5/45 MS/s 3.0 mW 0.059 mm² CMOS SAR ADC achieving over 90-dB SFDR // IEEE ISSCC Dig. Tech. Papers, 2010. P. 308–381.
- [4] Siragusa E., Galton I. A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC // IEEE Journal of Solid-State Circuits. 2004. V. 39, № 12. P. 2126–2138.
- [5] Liu W., Huang P., Chiu Y. A 12-bit 50-MS/s 3.3-mW SAR ADC with background digital calibration // Proceedings of the IEEE 2012 Custom Integrated Circuits Conference. 2012. P. 1–4.
- [6] Chiu Y., et al. Digital calibration of SAR ADC // Proceedings of the 10th International Conference on Sampling Theory and Applications. 2013. P. 544–547.
- [7] Shu Y.-S., Song B.-S. A 15-bit Linear 20-MS/s Pipelined ADC Digitally Calibrated With Signal-Dependent Dithering // IEEE Journal of Solid-State Circuits. 2008. V. 43, № 2. P. 342–350.
- [8] Wang X., Hurst P. J., Lewis S. H. A 12-bit 20-MS/s pipelined ADC with nested digital background calibration // Proceedings of the IEEE 2003 Custom Integrated Circuits Conference. 2003. P. 409–412.
- [9] Chiu Y., Tsang C. W., Nikolic B., Gray P. R. Least Mean Square Adaptive Digital Background Calibration of Pipelined Analog-to-Digital Converters // IEEE Transactions on Circuits and Systems I: Regular Papers. 2004. V. 51, № 1. P. 38–46.
- [10] McNeill J., Coln M. C. W., Larivee B. J. “Split ADC” architecture for deterministic digital background calibration of a 16-bit 1-MS/s ADC // IEEE Journal of Solid-State Circuits. 2005. V. 40, № 12. P. 2437–2445.
- [11] McNeill J., et al. All-Digital Background Calibration of a Successive Approximation ADC Using the “Split ADC” Architecture // IEEE Transactions on Circuits and Systems I: Regular Papers. 2011. V. 58, № 10. P. 2355–2365.
- [12] Kuttner F. A 1.2 V 10b 20 MS/s non-binary SAR ADC in 0.13 um CMOS // ISSCC 2002, Feb. 2002: Proceedings. San Francisco, CA, USA, 2002. P. 176–177.
- [13] Chang A. H., Lee H.-S., Boning D. A 12b 50MS/s 2.1mW SAR ADC with Redundancy and Digital Background Calibration // 2013 Proceedings of the ESSCIRC, 16–20 Sept. 2013: Proceedings. Bucharest, 2013.
- [14] Hsiao V. W.-H., He Y.-T., Lin Mark P.-H., Chang R.-G., Lee S.-Y. Automatic common-centroid layout generation for binary-weighted capacitors in charge-scaling DAC // 2012 International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design, 19–21 Sept. 2012: Proceedings. Seville, 2012. P. 173–176.
- [15] Agnes A., et al. A 9.4-ENOB 1V 3.8uW 100kS/s SAR ADC with Time-Domain Comparator // 2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers, 3-7 Feb. 2008: Proceedings. San Francisco, CA, USA, 2008. P. 246–247.
- [16] Liu C. C. and et al. A 10b 100 MS/s 1.13 mW SAR ADC with binaryscaled error compensation // ISSCC 2010, Digest of Technical Papers, San Francisco, CA, USA. 2010. P. 386–387.