

Исследование механизма разрыва и перетрассировки на этапе топологического синтеза в базе реконфигурируемых систем на кристалле

Д.А. Железников, М.А. Заплетина, В.М. Хватов

Институт проблем проектирования в микроэлектронике РАН, г. Зеленоград

zheleznikov_d@ippm.ru, zapletina_m@ippm.ru, khvatov_v@ippm.ru

Аннотация — Предложены и исследованы способы реализации механизма разрыва и перетрассировки для алгоритма автоматической трассировки межсоединений в маршруте проектирования схем в базе реконфигурируемой системы на кристалле (РСнК) «Алмаз-14». Система на кристалле «Алмаз-14» является отечественной разработкой АО «НИИМЭ» и ПАО «Микрон» на базе классической иерархической программируемой интегральной схемы (ПЛИС). Помимо ПЛИС в состав данной РСнК входят блоки фазовой автоподстройки частоты, умножители, а также блоки внешней конфигурационной памяти. Алгоритм трассировки межсоединений схем, проектируемых в базе РСнК, реализован в виде модифицированного алгоритма A* – улучшенной версии классического алгоритма Дейкстры для поиска кратчайшего пути на графе. Применительно к данному алгоритму механизм разрыва и перетрассировки представляет собой комбинаторную задачу перебора списка трассировки цепей для нахождения оптимального порядка, обеспечивающего полноту разводимости. Предпринята попытка определения границ применимости и оценки итоговой эффективности некоторых простых приемов по изменению приоритета трассировки межсоединений.

Ключевые слова — трассировка межсоединений, автоматизация проектирования, программируемые логические интегральные схемы (ПЛИС), FPGA.

I. ВВЕДЕНИЕ

В настоящее время коммерческие системы автоматизированного проектирования в базе программируемых логических интегральных схем по большей части нацелены на разработку для микросхем зарубежных фирм (Altera, Xilinx и подобных), поэтому они являются мало пригодными для применения к реконфигурируемым системам иных, в том числе отечественных, архитектур.

Крупнейший российский производитель интегральных микросхем и RFID-меток (Radio Frequency Identification) ПАО «Микрон» совместно с АО «НИИМЭ» и ИППМ РАН в рамках программы импортозамещения в 2017-18 гг. проводит подготовку к запуску производства реконфигурируемых систем на кристалле на базе отечественных ПЛИС семейства «Алмаз-14» емкостью до 250 тыс. логических вентилей со встроенными блоками фазовой автоподстройки

частоты, умножителями и блоками внешней конфигурационной памяти.

Наряду с адаптацией архитектурных решений от зарубежных производителей разработчики РСнК заложили в свой проект специфические конфигурационные решения, не имеющие аналогов за рубежом. В частности, к ним относится большое разнообразие типов коммутационных элементов, используемых для конфигурирования межсоединений. Как следствие, это вызвало необходимость в разработке собственных методов и средств автоматизированного проектирования, ориентированных на эффективное использование конфигурационных и трассировочных ресурсов такого типа схем, в частности, особого внимания требовали механизмы полной и целостной трассировки межсоединений.

II. ПОСТАНОВКА ЗАДАЧИ ТРАССИРОВКИ МЕЖСОЕДИНЕНИЙ

Задача трассировки межсоединений в РСнК имеет значительное сходство с задачей глобальной трассировки заказных интегральных микросхем (ИС), однако из-за их различия в нескольких фундаментальных положениях нет возможности применять те же алгоритмы в прямом виде и для РСнК.

Основной задачей трассировки межсоединений в базе РСнК является достижение полной разводимости всех электрических цепей с использованием доступных ресурсов трассировки [1]. Данная задача осложняется тем, что доступные трассировочные ресурсы в РСнК дискретны и ограничены, в то время как ресурсы трассировки в заказных интегральных схемах распределены более равномерно и слабо ограничены в выборе форм и способов расположения межсоединений. Другое отличие заключается в том, что решение задачи глобальной трассировки заказных ИС состоит в построении неориентированного графа, встроенного в декартово пространство. В РСнК переключатели часто имеют направление, а места соединения привязаны к произвольной (но фиксированной) позиции и требуют построения ориентированного графа, который не может быть встроен в декартово пространство.

Оба отличия являются достаточно важными, поскольку не позволяют напрямую применять для РСнК большую часть алгоритмов, разработанных для решения задачи трассировки межсоединений в заказных ИС.

Не стоит также забывать о задаче улучшения временных характеристик проектируемой схемы, в том числе задаче уменьшения длины критического пути. Часто задача минимизации задержек и достижения необходимой рабочей частоты в РСнК начинает конкурировать с задачей достижения полноты трассировки межсоединений. Таким образом, трассировка межсоединений в РСнК начинает требовать одновременного решения двух взаимодействующих и конкурирующих подзадач.

Наиболее распространенным подходом к трассировке межсоединений заказных ИС является волновой алгоритм (алгоритм Ли) поиска кратчайшего пути с обходом препятствий [2]. Данный метод обычно оставляет много неразведенных цепей, которые необходимо разводить вручную. Существует множество подходов с разрывом и перетрассировкой цепей для устранения недостатков данного метода [3]-[5]. Основная проблема данных техник в том, что успех трассировки зависит не только от выбора цепи для перетрассировки, но и от порядка, в котором производится изменение общего маршрута трассировки.

Задержка, как правило, учитывается в стандартном подходе с разрывом и перетрассировкой заданием порядка трассировки цепей таким образом, чтобы критические цепи трассировались в первую очередь [6]. Вопросы баланса конкурирующих задач минимизации задержки в критических путях и устранения перегруженности выходят за рамки данной статьи.

III. МЕХАНИЗМ РАЗРЫВА И ПЕРЕТРАССИРОВКИ

Механизм разрыва и перетрассировки состоит из трех этапов: обнаружение «проблемной» цепи, обозначение для неё более высокого приоритета при разводке, повторная трассировка. При этом задачу разрыва и перетрассировки можно классифицировать как комбинаторную задачу перебора списка трассировочных приоритетов цепей для нахождения оптимального порядка, гарантирующего полноту разводимости.

Вследствие большой размерности задачи трассировки межсоединений (количество цепей, требующих разводки на РСнК, способно достигать десятков тысяч) полный перебор списка трассировки оказывается невозможен, что обуславливает необходимость в поиске эвристического подхода к решению данной задачи.

В данной работе было исследовано несколько достаточно тривиальных подходов к его реализации, отличающихся, главным образом, позицией в общем списке цепей, которую после разрыва займет «проблемная» цепь, а также моментом разрыва и начала

перетрассировки: во время процедуры общей трассировки межсоединений (при достижении первой неразведенной) или по её завершении.

Было проведено рассмотрение следующих модификаций механизма разрыва и перетрассировки:

- 1) проблемная цепь менялась местами с вышестоящей успешно разведенной, после этого проводилась повторная трассировка этих двух цепей;
- 2) неразведенная цепь перемещалась в середину списка ранее разведенных, затем аналогично первому варианту;
- 3) неразведенная цепь менялась местами с вышестоящей до тех пор, пока не фиксировалось их заикливание, после чего она поднималась на $1/8$, $1/4$, $3/8$, $1/2$ списка ранее разведенных цепей;
- 4) аналогично третьей модификации, но цепь не поднималась выше $3/8$ списка ранее разведенных.

IV. ПРАКТИЧЕСКАЯ РЕАЛИЗАЦИЯ

Особенности РСнК семейства «Алмаз-14» привели к разработке специальной модели смешанного коммутационного графа, обеспечивающего возможность эффективного использования широкого набора элементов конфигурирования и трассировки межсоединений, помимо используемых наравне с ними ключей стандартного типа: мультиплексоров с инверсией и без, инверторов с третьим состоянием, усиленных инверторов, усиленных управляемых буферов, инверторов без управления и прочих [7]. Обозначим такой граф как $G := (V, E)$, где множество вершин V представляет собой электрические узлы или сигналы схемы, а множество рёбер E – коммутационные элементы, соединяющие эти узлы, причем наличие как одно-, так и двунаправленных элементов приводит к смешиванию в графе ориентированных дуг и неориентированных рёбер между вершинами (рис. 1).

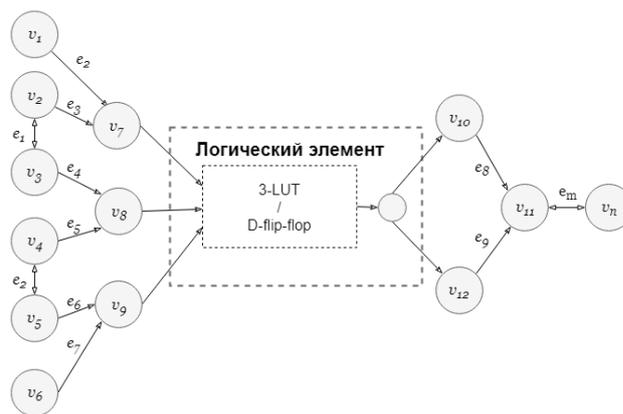


Рис.1. Пример смешанного графа для трассировки межсоединений (3-LUT – функциональная таблица истинности, D-flip-flop – триггер)

Каждой вершине графа $v_i \in V, i = \{1, 2, \dots, n\}$ приведены в соответствие стоимость w_v , величина, как

правило, пропорциональная длине межсоединения; задержка D_v , учитываемая в алгоритме; а также длина пути L_v , вычисляемая в процессе его работы. С каждым ребром графа $e_j \in E, j = \{1, 2, \dots, m\}$, в свою очередь, связана своя весовая характеристика w_e , отражающая относительную стоимость прохождения сигнала через данный коммутационный элемент, а также его логическая функция.

Практическая реализация алгоритма трассировки межсоединений основана на использовании модифицированного алгоритма A* [8]. Алгоритм A* наследован от алгоритма Дейкстры – метода поиска кратчайшего пути на взвешенном графе [9], и отличается специальной целевой функцией, в которой стоимость пути вычисляется как сумма ранее пройденного и оценки оставшегося пути.

Для каждой рассматриваемой вершины $v_i \in V, i = \{1, 2, \dots, n\}$ алгоритм вычисляет функцию стоимости прохождения сигнала через неё:

$$w_i = g(v_i) + \alpha h(v_i), \quad (1)$$

где $g(v_i)$ – наименьший путь до текущей вершины v_i , α – весовой коэффициент, по умолчанию равный единице; $h(v_i)$ – эвристическая оценка оставшегося пути, получаемая в результате прохода волнового алгоритма от приемников сигнала до текущей вершины с нахождением минимального расстояния путем их рекурсивного обхода по следующей формуле:

$$h(v_i) = \min_{v_j: \{v_i, v_j\} \in E} (h(v_j) + 1) \quad (2)$$

В данный алгоритм внесены дополнительные изменения, а именно: учет одно- и двунаправленных типов ключей, а также дополнительных элементов конфигурирования. Помимо этого алгоритм может использовать возможность инвертирования сигнала на информационных входах логических элементов при наличии инверсии в найденном пути.

Реализация алгоритма основана на использовании очереди с приоритетами, реализованной в виде двоичной кучи (пирамиды). Двоичная куча (binary heap) представляет собой частично сортированное полное двоичное подвешенное дерево, удовлетворяющее следующим условиям:

- 1) в убывающей двоичной пирамиде (min-heap) значение ключа любой вершины не больше, чем значение ключа её потомков.
- 2) На i -ом уровне кучи находятся 2^i вершин, кроме последнего, при этом уровни нумерованы, начиная с нуля.
- 3) Последний уровень кучи заполняется слева направо.

Структура данных двоичной кучи поддерживает такие операции, как вставка нового элемента, поиск и

извлечение минимального значения, а также обновление значения ключа вершины за время $O(\log n)$, где n – количество элементов в куче. Время выполнения основных операций в двоичной куче не является наилучшим показателем среди существующих структур данных, однако компенсируется простотой её реализации и является достаточным для решения задачи трассировки межсоединений за полиномиальное время.

V. РЕЗУЛЬТАТЫ ЭКСПЕРИМЕНТОВ

Проведение численных экспериментов позволяет судить о влиянии каждого способа реализации механизма разрыва и перетрассировки на итоговое время разводки проектируемой схемы, а также о его способности к повышению процента трассируемости. Так, при равных результатах по увеличению процента трассируемости второй механизм оказался наиболее затратным по времени итоговой разводки, в то время как третий показал себя как самый быстрый.

Ниже представлена таблица 1 сводных результатов вычислительных экспериментов по оценке эффективности трёх (со второго по четвертый) разработанных способов разрыва и перетрассировки, обеспечивающих полную трассируемость тестовых схем. Первый способ из раздела III не обеспечивает полноты трассируемости исследуемых схем, поэтому при сравнении не рассматривается.

Таблица 1

Сравнительные характеристики применения 2-4-го способа реализации механизма разрыва и перетрассировки

Схема	Суммарное время трассировки	Увеличение трассируемости (%)	Число разрывов и перетрассировок
c432 (127)	199.05	0.79	12
	165		15
	166.39		12
c1355 (273)	2782.24	5.86	157
	2106.93		216
	2167.98		222
s444 (95)	146.09	2.1	22
	143.48		23
	154.86		32
c1908 (253)	1006.1	5.53	96
	1530.98		204
	1372.82		213

Примечания:

- 1) суммарное время трассировки указано в секундах, а каждому из трёх вариантов реализации приведены в

соответствие результаты, полученные при трассировке 3 интегральных схем на РСнК «Алмаз-14».

2) Поскольку при активации механизма разрыва и перетрассировки для исследуемых схем была получена стопроцентная трассируемость для каждого из трёх способов его реализации, значение в третьем столбце таблицы общее. Следует заметить, что оно рассчитывалось относительно итога трассировки цепей без применения механизма разрыва и перетрассировки.

3) В первом столбце рядом с названием тестируемой схемы в скобках указано общее количество трассируемых цепей.

В ходе работы также были выявлены недостатки и особенности предложенных способов. Так, для первого варианта при перестановке между собой двух цепей, расположенных рядом, возможна ситуация так называемого цикла, когда успешная трассировка одной из пары цепей становится помехой для разводки второй цепи, а после смены приоритета обеих проблема повторяется зеркально. Достаточно тривиальным решением стала вторая модификация, однако она приводит к значительному увеличению суммарного числа разрывов и перетрассировок и росту общих временных затрат на этап трассировки, кроме того, она не устраняет проблему образования циклов наверняка, поскольку в цикле могут находиться более двух цепей. Последующие две вариации были призваны скорректировать недостатки первых двух.

VI. ЗАКЛЮЧЕНИЕ

Исследованные способы реализации механизма разрыва и перетрассировки, будучи достаточно простыми, не учитывают особенности цепей, наследованные из трассировочного графа, и, фактически, решают поставленную задачу методом перебора. С точки зрения повышения трассируемости схем они показали себя достаточно хорошо, однако невысокая вычислительная эффективность требует их усовершенствования и «интеллектуализации», которые видятся в качестве направления дальнейшей работы.

Одним из перспективных улучшений описанного алгоритма может стать сбор предварительной статистики о нагруженности отдельных частей графа

трассировки, в частности, информации о количестве цепей, проходящих через каждую его вершину v_i и ребро e_j при разводке в условиях «чистого поля», когда каждое межсоединение прокладывается при отсутствии других. Полученные значения позволят выделить группу коммутационных элементов, наиболее часто используемых алгоритмом для построения пути, и уточнить весовой коэффициент α в функции (1) стоимости прохождения сигнала.

ЛИТЕРАТУРА

- [1] Гарбулина Т.В., Лялинская О.В., Хватов В.М. Повышение эффективности проектирования интегральных схем на ПЛИС с ограниченными трассировочными ресурсами // VII Всеросс. науч.-техн. конф. «Проблемы разработки перспективных микро- и нанoeлектронных систем – 2016»: сб. научн. тр. / Под общ. ред. А.Л. Стемпковского. – М.: ИППМ РАН, 2016. – Ч. I. – С. 165–171.
- [2] Lee C.Y. An Algorithm for Path Connections and Its Applications // IRE Transactions on Electronic Computers. – 1961. – Vol. EC-10, No. 2. – PP. 364–365.
- [3] W. Dees and R. Smith. Performance of Interconnection Rip-Up and Reroute Strategies // Proc. 18th Design Automation Conference, June 1981. – PP. 382-390.
- [4] R. Linsker. An Iterative-Improvement Penalty-Function-Driven Wire Routing System // IBM Journal of Research and Development. – Vol. 28, Sept. 1984. – PP. 613-624.
- [5] J. Cohn, D. Garrod, R. Rutenbar, and L. Carley, KOAN/ANAGRAM II: New Tools for Device-Level Analog Placement and Routing // IEEE Journal of Solid-State Circuits. – Vol. 26, March 1991. – PP. 330-342.
- [6] D. Hill. A CAD System for the Design of Field Programmable Gate Arrays // Proc. 28th Design Automation Conference, June 1991. – PP. 187-192.
- [7] Гаврилов С.В., Железников Д.А., Хватов В.М. Решение задач трассировки межсоединений с ресинтезом для реконфигурируемых систем на кристалле // Изв. вузов. Электроника. – 2017. – Т.22. – №3. – С. 266–275.
- [8] Sharma A., Hauck S. Accelerating FPGA routing using architecture-adaptive A* techniques // Proc. Field-Programmable Technology. – 2005. – P. 225–232.
- [9] Dijkstra E.W. A note on two problems in connexion with graphs // Numerische Mathematik. – 1959. – Vol. 2. – P. 269–271.

The Rip-up and Reroute Technique Research for Physical Synthesis in the Basis of Reconfigurable SoCs

D.A. Zheleznikov, M.A. Zapletina, V.M. Khvatov,

Institute for Design Problems in Microelectronics of Russian Academy of Sciences (IPPM RAS)

zheleznikov_d@ippm.ru, zapletina_m@ippm.ru, khvatov_v@ippm.ru

Abstract — In this work we proposed and investigated several ways to implement the rip-up and reroute technique for the automatic interconnect routing. Interconnect routing step is a very important part of the circuit design flow in the basis of reconfigurable system-on-a-chip (RSoC) «Almaz-14». This RSoC is a domestic development of JSC Molecular Electronics Research Institute and Mikron PJSC, based on the classical hierarchical field programmable gate array (FPGA). In addition to FPGA, this RSoC includes different types of macro blocks, such as phase-locked loop (PLL) blocks, multipliers, and blocks of external configurational memory. The algorithm for circuit interconnect routing is based on the algorithm A*. This is the modification of a classical algorithm of searching shortest path on graph (Dijkstra's algorithm). In the context of this algorithm, the rip-up and reroute technique is a combinatorial task of sorting and ordering nets array by changing routing priority to find the optimal configuration. Here an attempt has been made to determine the limits of applicability and to estimate the overall efficiency of some simple tricks for rip-up and reroute technique. Some advantages, limitations, problems and features of each of them are reviewed and discussed.

Keywords — interconnect routing, computer-aided design, Field-Programmable Gate Array (FPGA).

REFERENCES

- [1] Garbulina T.V., Ljalinskaja O.V., Hvatov V.M. Povyshenie effektivnosti proektirovaniya integral'nyh shem na PLIS s
- [2] Lee C.Y. An Algorithm for Path Connections and Its Applications // IRE Transactions on Electronic Computers. – 1961. – Vol. EC-10, No. 2. – PP. 364–365.
- [3] W. Dees and R. Smith. Performance of Interconnection Rip-Up and Reroute Strategies // Proc. 18th Design Automation Conference, June 1981. - PP. 382-390.
- [4] R. Linsker. An Iterative-Improvement Penalty-Function-Driven Wire Routing System // IBM Journal of Research and Development. – Vol. 28, Sept. 1984. – PP. 613-624.
- [5] J. Cohn, D. Garrod, R. Rutenbar, and L. Carley, KOAN/ANAGRAM II: New Tools for Device-Level Analog Placement and Routing // IEEE Journal of Solid-State Circuits. – Vol. 26, March 1991. – PP. 330-342.
- [6] D. Hill. A CAD System for the Design of Field Programmable Gate Arrays // Proc. 28th Design Automation Conference, June 1991. – PP. 187-192.
- [7] Gavrilov S.V., Zheleznikov D.A., Khvatov V.M. Solution of Interconnect Trace Tasks with Resynthesis for Reconfigurable Systems-on-Chip // Proc. of universities. Electronics. – 2017. – Vol.22. – №3. – P. 266–275.
- [8] Sharma A., Hauck S. Accelerating FPGA routing using architecture-adaptive A* techniques // Proc. Field-Programmable Technology. – 2005. – P. 225–232.
- [9] Dijkstra E.W. A note on two problems in connexion with graphs // Numerische Mathematik. – 1959. – Vol. 2. – P. 269–271.