

Алгоритм межвентильного ресинтеза на транзисторном уровне для автоматизированного проектирования микроэлектронных схем

Д.И. Рыжова, Н.О. Васильев, Т.Д. Жукова

Институт проблем проектирования в микроэлектронике РАН, г. Москва, г. Зеленоград

ryzhova_d@ippm.ru, kolyavas97@gmail.com

Аннотация — В статье рассматривается метод межвентильного ресинтеза схем. Предлагаемый подход сочетает в себе методы логического ресинтеза и структурной оптимизации схемы с целью достижения требуемых параметров (площади, сбоеустойчивости или учета конструктивных особенностей СБИС). Алгоритм успешно применяется в автоматизированных средствах проектирования топологии схем на FinFET транзисторах, также возможно применение модификаций метода к проектированию схем с повышенной сбоеустойчивостью и для оптимизации размещения элементов и блоков на программируемых логических интегральных схемах.

Ключевые слова — межвентильный ресинтез, структурная оптимизация, интегральная схема (ИС), система автоматизированного проектирования (САПР), булева алгебра.

I. ВВЕДЕНИЕ

Современные успехи в развитии микроэлектронных систем связаны с эволюцией средств автоматизированного проектирования. Важную роль в современных САПР играют алгоритмы оптимизации таких характеристик, как занимаемая площадь, потребляемая мощность, быстродействие. Для того чтобы достичь требуемых значений по параметрам мощности, быстродействия и площади разрабатываются новые более эффективные алгоритмы структурной и параметрической оптимизации в маршруте автоматизированного проектирования ИС. Такие алгоритмы, как правило, состоят из следующих этапов: логическая оптимизация системы булевых функций [1], оптимизация принципиальных схем [5] и топологическая оптимизация.

Предлагаемый в работе подход к оптимизации состоит из двух связанных воедино этапов, которые поочередно выполняются в цикле оптимизации. На первом этапе происходит оптимизация булевых функций и принципиальной схемы. Следом за этим происходит топологическая оптимизация.

Далее в разделе II представлена графовая модель для описания схемы с учетом топологической реализации. В разделе III рассматривается алгоритм структурной оптимизации на основе логических преобразований. Раздел IV содержит описание метода

топологической оптимизации. В разделе V приведено описание работы программы на основе разработанных методов и алгоритмов. Результаты приводятся в разделе VI.

II. ГРАФОВАЯ МОДЕЛЬ

В основе предлагаемого подхода лежит известная модель на основе графа вложенности последовательно-параллельных структур [1]-[3]. Для логического описания схемы используются следующие функции: конъюнкция для последовательного соединения внутри вентиля ($f(a,b) = a \& b$), дизъюнкция для параллельного соединения внутри вентиля ($f(a,b) = a + b$), отрицание ($f(a) = \sim a$), конъюнкция с отрицанием для последовательного соединения на выходе вентиля ($f(a,b) = \sim(a \& b)$), дизъюнкция с отрицанием для параллельного соединения на выходе вентиля ($f(a,b) = \sim(a + b)$). Данную систему логических функций можно описать в виде ациклического графа, в котором вершины соответствуют логическим функциям, а дуги – ссылкам на аргументы функций (рис. 1, 2).

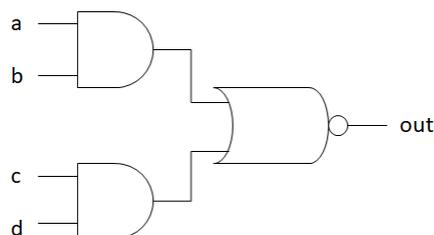


Рис. 1. Описание вентиля AOI22 на логическом уровне

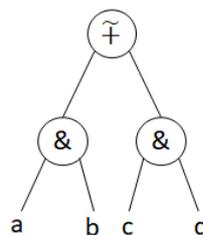


Рис. 2. Графовая модель вентиля AOI22

Причем, несмотря на то, что логические операции обладают коммутативностью, порядок дуг будет иметь

значение в дальнейшем. Поэтому граф является упорядоченным.

В разработанном алгоритме предусмотрен выбор физической ориентации транзисторов. Если направление слева направо соответствует направлению от истока к стоку, то транзистор находится в нормальной ориентации. Если направление слева направо соответствует направлению от стока к истоку, то транзистор находится в зеркальной ориентации (рис. 3).

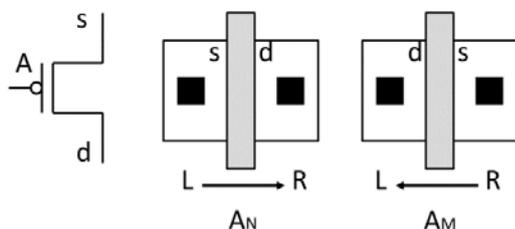


Рис. 3. Ориентации транзистора (N-нормальная ориентация, M-зеркальная ориентация)

Выбор топологической ориентации транзисторов в эскизе топологии позволяет уменьшить итоговую площадь схемы за счет сокращения количества изолирующих затворов [4].

III. АЛГОРИТМ СТРУКТУРНОЙ ОПТИМИЗАЦИИ

Для решения проблемы реструктуризации схем требуется алгоритм сравнения подграфов. Есть два варианта решения данной проблемы: логический и структурный. Логический (например, сравнение диаграмм двоичных решений [1]) обеспечивает проверку эквивалентности логических функций, но является достаточно медленным, т.к. требуется проверка $n!$ комбинаций, где n – количество входов. Структурный подход позволяет проверить изоморфизм графов схемы с точностью до перестановок. Эквивалентность в структурном плане является достаточным, но не необходимым условием логической эквивалентности. Структурный подход является более быстрым, но для обеспечения того, чтобы структурная эквивалентность была также и необходимым условием, требуется отсутствие повторяющихся входов. В работе используется алгоритм, комбинирующий оба подхода. Структурное сравнение используется рекурсивно внутри логического сравнения в случае отсутствия повторяющихся входов.

Целевая функция алгоритма структурной оптимизации имеет следующий вид:

$$F_{cost}(G) = k_A \frac{A}{A_0} + (1 - k_A) \frac{P}{P_0} + k_{Dex} \frac{D_{ex}}{D_0} + k_{Dmax} \frac{D_{max}}{D_0} + k_{nLG} N_{nLG},$$

где A – суммарная площадь, P – суммарная мощность, D_{ex} – суммарное превышение норм по задержкам для

первичных выходов, D_{max} – максимальное превышение нормы по задержке среди первичных выходов, N_{nLG} – количество не библиотечных элементов, A_0 – начальная площадь, P_0 – начальная мощность, D_0 – задержка минимального инвертора, k_A , k_{Dex} , k_{Dmax} , k_{nLG} – коэффициенты, которые задают приоритет составных частей целевой функции.

Логическая оптимизация строится на законах булевой алгебры. В работе используются следующие виды логических преобразований:

- Преобразования де Моргана (рис. 4) [5];
- Декомпозиция вентилей (рис. 5) [6];
- Слияние вентилей (рис. 5) [7];
- Использование двойного отрицания [8].

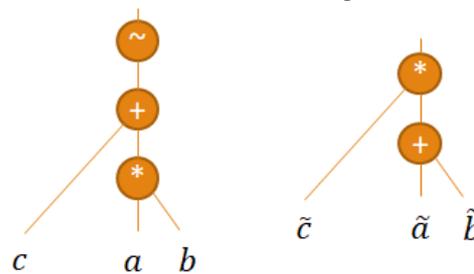


Рис. 4. Замена вентилей комплементарным

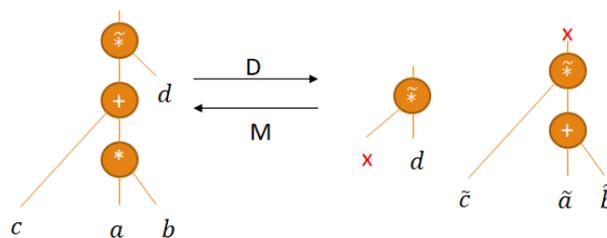


Рис. 5. Декомпозиция(D) и слияние(M)

Алгоритм синтеза не рассматривает всю схему целиком, а выбирает фрагмент схемы, с которым будет проводиться оптимизация на данном шаге (данный фрагмент называется «окном»). Далее проводится структурная оптимизация с помощью модификации алгоритма моделирования отжига. В данном случае этот алгоритм состоит из двух этапов: шаги с бесконечной температурой и шаги с нулевой температурой. Шаги с бесконечной температурой являются полностью случайными и могут привести к ухудшению стоимости целевой функции. Шаги с нулевой температурой являются жадными, и на этом этапе принимаются только те решения, которые улучшают стоимость целевой функции. На каждом шаге отжига сначала выбирается логическая трансформация, затем выбирается объект для данной трансформации. После этого происходит исследование пространства стояний преобразований де Моргана.

IV. ТОПОЛОГИЧЕСКАЯ ОПТИМИЗАЦИЯ

Изолирующий затвор между двумя рядом расположенными транзисторами можно удалить, если два контакта, расположенных по разные стороны от

изолирующего затвора, подключены к одному узлу [9]. Например, на рис. 6 два транзистора подключены параллельно, оба транзистора находятся в нормальной ориентации. В таком случае убрать изолирующий затвор нельзя, так как контакты, находящиеся по обе стороны от него, подключены к разным узлам. Но если у одного из транзисторов изменить ориентацию на зеркальную, как это сделано на рис. 7, то можно будет избавиться от изолирующего затвора и одного из контактов и получить более компактный эскиз топологии (рис. 8).

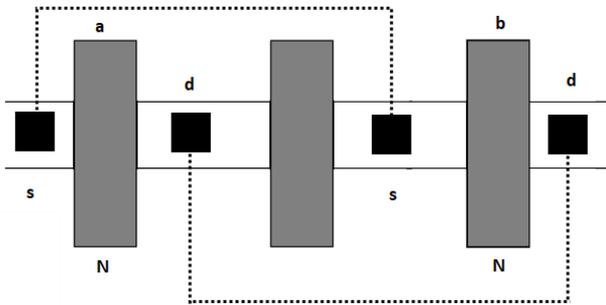


Рис. 6. Транзисторы находятся в нормальной ориентации

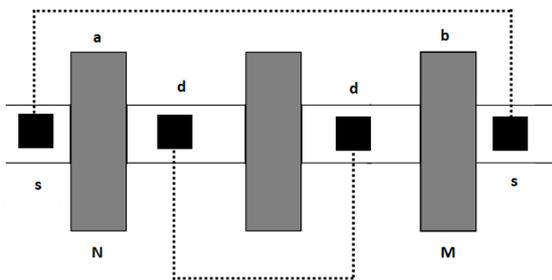


Рис. 7. Транзистор а находится в нормальной ориентации, транзистор b – в зеркальной

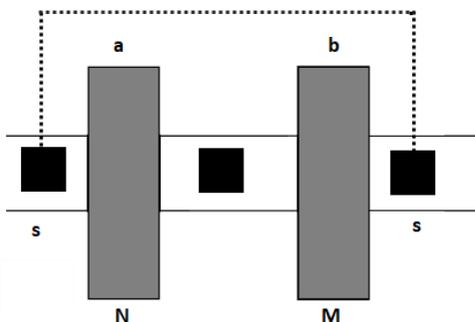


Рис. 8. Удаление изолирующего затвора

Для получения оптимального варианта реализованы два метода. Первый используется, если количество входов в вентиле меньше заданного числа, и заключается в полном переборе всех возможных вариантов. Всего будет $n! (2^n + 2^n)$ вариантов, где n – число входов вентиля, $n!$ – число возможных перестановок транзисторов, 2^n – число возможных вариантов ориентаций транзисторов. В таком случае

обеспечивается наилучшее решение. Но в связи с тем, что $n!$ возрастает очень быстро, то с увеличением числа входов в вентиле требуется достаточно много ресурсов для полного перебора.

В связи с этим, если количество входов превышает определенное число, то решение ищется с помощью эвристического подхода, суть которого сводится к тому, чтобы найти два транзистора, у которых два контакта подключены к одному узлу, и поставить их рядом, повернув их в наиболее подходящие ориентации.

V. ОПИСАНИЕ РАЗРАБОТАННОЙ ПРОГРАММЫ

На вход программы подается схемотехническое описание схемы, которое экстрагируется в логическое. Затем происходит вход в цикл локального ресинтеза. На следующем шаге происходит логический ресинтез в окне. После этого полученное логическое описание экстрагируется в транзисторное описание для выбора оптимальных расположений и ориентаций транзисторов в вентилях. Затем новый вариант сравнивается со старым. Цикл локального ресинтеза продолжается до тех пор, пока не будут рассмотрены все вентиля. Выходными данными программы являются SPICE-описание и Verilog-описание ресинтезированной схемы.

Общая последовательность действий изображена на рис. 9.

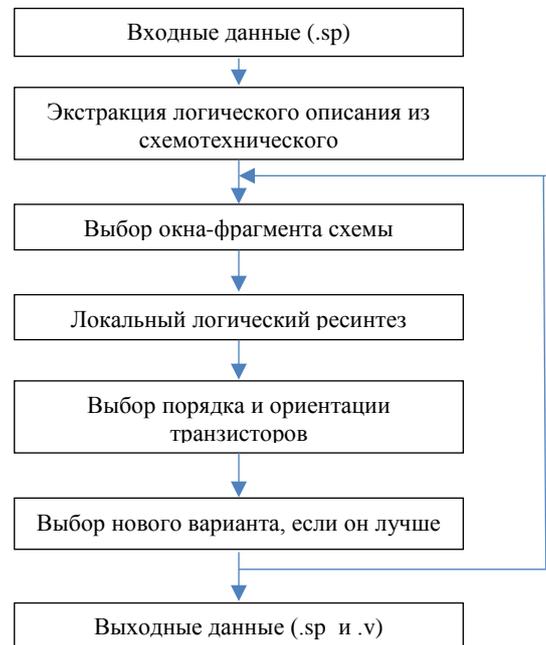


Рис. 9. Блок-схема разработанного алгоритма

На рис. 10 изображена схема c17 из набора ISCAS 85, для которой в ходе структурной оптимизации получаем схему, изображенную на рис. 11.

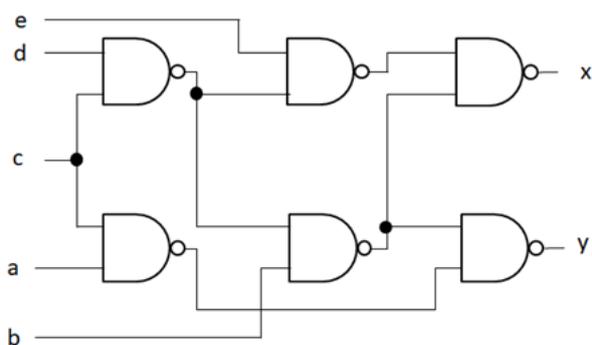


Рис. 10. Схема c17

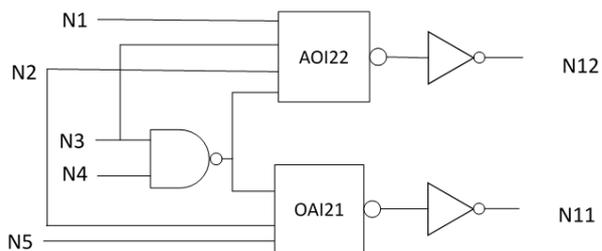


Рис. 11. Схема, полученная в результате ресинтеза схемы c17

Результат топологической оптимизации после ресинтеза представлен в виде эскиза топологии схемы без отрисовки входных и выходных шин (рис. 12).

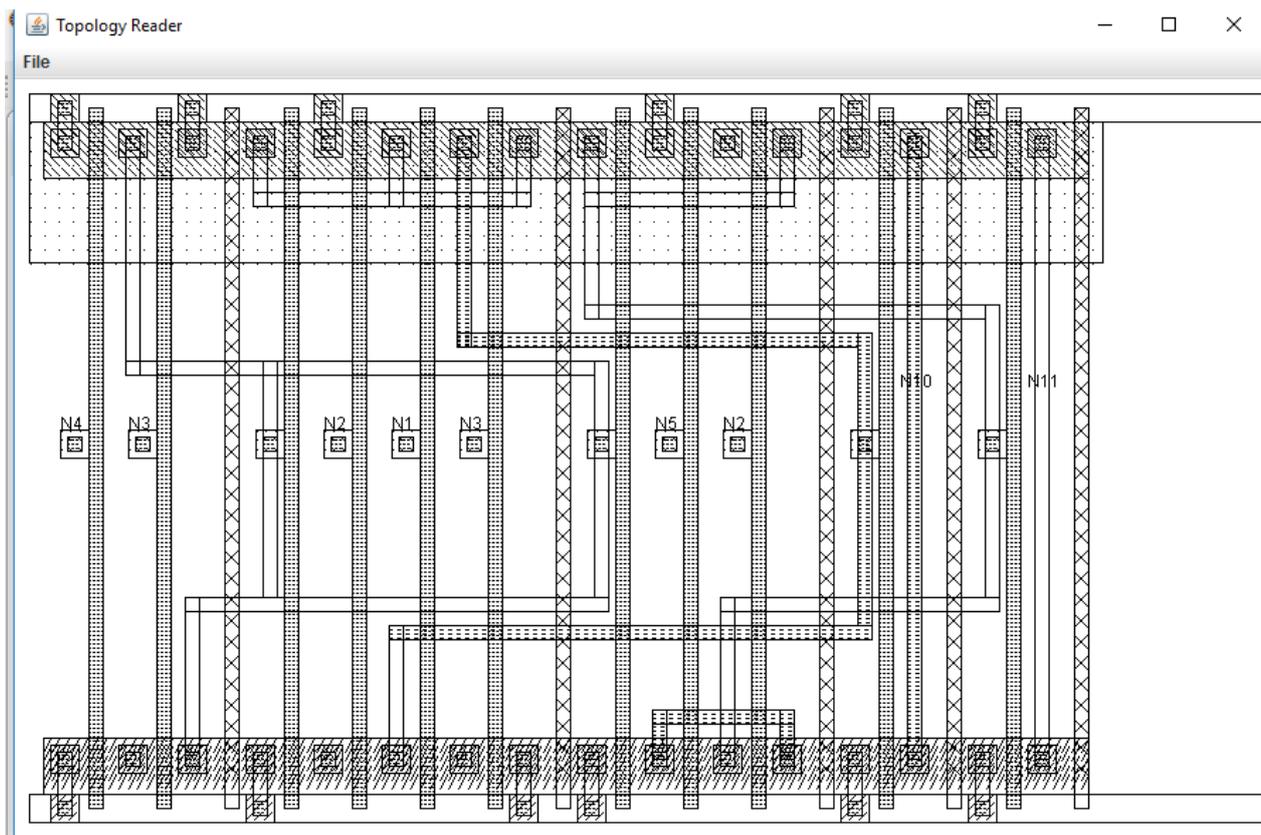


Рис. 12. Вид полученной схемы после оптимизации местоположения и ориентации транзисторов

VI. РЕЗУЛЬТАТЫ

Численные эксперименты, подтверждающие эффективность разработанных методов и алгоритмов, проводились с использованием тестовых схем из стандартных наборов. Тестирование проводилось в двух режимах: в первом происходила структурная оптимизация (табл. 1), во втором добавлялась топологическая оптимизация (табл. 2).

Структурная оптимизация проводилась дважды: в первый раз не было ограничения на процент деградации задержки, во втором осуществлялся контроль превышения норм задержки. Максимальный допустимый процент деградации задержки при оптимизации равен 10%.

Таблица 1

Результаты работы программы

Схема	Начальное количество транзисторов	Количество транзисторов после структурной оптимизации без контроля норм задержек	Количество транзисторов после структурной оптимизации с контролем норм задержек
C1355	2308	1452	1570
C1908	3482	1662	1746
Cnt_0	352	268	278
Cnt_1	372	270	316
Cla	1008	720	802
C17	24	22	22

Таблица 2

Результаты работы программы

Схема	Начальное количество изолирующих затворов	Количество изолирующих затворов после топологической оптимизации
C1355	725	266
C1908	830	305
Cnt_0	133	56
Cnt_1	134	53
Cla	359	149
C17	10	4

За счет структурной оптимизации на больших схемах возможно уменьшение количества транзисторов на 30-50% при контроле быстродействия. За счет выбора порядка и ориентации транзисторов можно улучшить полученный результат в среднем еще на 8%.

VII. ЗАКЛЮЧЕНИЕ

В работе был предложен метод ресинтеза микросхем, применяющий два подхода.

Первый подход направлен на минимизацию площади с помощью оптимизации логической функции. Для него была разработана графовая модель, описывающая логическую функцию схемы. Благодаря булевой форме графа удается сохранить достаточное количество степеней свободы.

Второй подход оптимизирует топологическую структуру схемы. Кроме дополнительного выигрыша по площади, это обеспечивает упрощение автоматизации синтеза топологии.

В результате был получен алгоритм, в котором последовательно выполняются эти подходы внутри цикла оптимизации. Он был протестирован на наборе стандартных тестовых схем. В ходе этого эксперимента были получены результаты, подтверждающие его эффективность. Были получены результаты с контролем задержек и без. Кроме того, алгоритм

межвентильного ресинтеза уже зарекомендовал себя как эффективный и быстрый в области проектирования блоков и элементов на перспективных FinFET технологиях [10].

В перспективе планируется провести сравнение результатов разработанных методов и алгоритмов с существующими аналогами по параметрам сбоеустойчивости и эффективности размещения элементов в базе ПЛИС с иерархической архитектурой.

ПОДДЕРЖКА

Исследование проведено при поддержке Российского фонда фундаментальных исследований (проекты № 18-07-00621 А, 18-07-00626 А).

ЛИТЕРАТУРА

- [1] Bryant R.E. Graph-Based Algorithms for Boolean Function Manipulation // IEEE Transactions on Computers. 1986. P. 677–691.
- [2] Гаврилов С.В., Гудкова О.Н., Щелоков А.Н. Логико-временной анализ нанометровых схем на основе интервального подхода. // Известия ЮФУ. Технические науки. 2012. №7 (132). С. 85–91.
- [3] Гаврилов С.В., Иванова Г.А., Манукян А.А. Методы проектирования заказных сложно-функциональных блоков в базе элементов с регулярной топологической структурой в слоях поликремния и диффузии // VI Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и нанoeлектронных систем - 2014». Сб. тр. под общ. ред. академика РАН А.Л. Стемповского. М.: ИПИМ РАН, 2014. Часть I. С. 161–166.
- [4] Гаврилов С.В., Карева Е.С., Рыжова Д.И. Разработка алгоритмов логико-топологического синтеза библиотечных элементов и блоков с регулярной структурой для технологических норм проектирования 32 нм // Известия ВУЗов. Электроника. 2017. Т. 22. № 4. С. 369–378.
- [5] Уилкинсон Б. Основы проектирования цифровых схем. Издательский дом Вильямс, 2004. 320 с.
- [6] Gavrilov S.V., Glebov A.L., Pullera S., Moore S., Vijayan G., Dharchoudhury A., Rajendran Panda, Blaauw D. Library-Less Synthesis for Static CMOS Combinational Logic Circuits // Proceedings ICCAD-97. 1997, San Jose, CA. P. 658–662.
- [7] Gavrilov S.V., Glebov A.L. BDD-based circuit level structural optimization for digital CMOS // 1-st Intern. Workshop «Multi-Architecture Low Power Design». 1999. P. 45–49.
- [8] Turgis S., Azemad N., Auvergne D. Design and Selection of Buffers for Minimum Power-Delay Product // ED&TC-96. P. 224–228.
- [9] Гаврилов С.В., Карева Е.С., Рыжова Д.И., Щелоков А.Н. Методы разработки графовых моделей регулярных структур FinFET транзисторов с независимыми затворами // Известия ЮФУ. Технические науки. 2017. №7 (192). С. 175–185.
- [10] Gavrilov S., Ryzhova D., Vasilyev N. Models and methods of inter-gate resynthesis at the transistor level for nanoelectronic circuits based on FinFETs // IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering. 2018. P. 1364–1367.

Algorithm of Inter-gate Resynthesis at the Transistor Level for Computer-aided Design of Microelectronic Circuits

D.I. Ryzhova, N.O. Vasilyev, T.D. Zhukova

Institute for Design Problems in Microelectronic of Russian Academy of Sciences (IPPM RAS),
Russia, Moscow, Zelenograd

ryzhova_d@ippm.ru, kolyavas97@gmail.com

Abstract — In this article we offer inter-gate resynthesis algorithm that combine two optimization stages. At the first the method optimizes the Boolean function of given circuit. To this end, we propose graph model in which each vertex describes a logical function, and arcs describes references to arguments of functions. We use five types of logical functions: conjunction, disjunction, negation, conjunction with negation, disjunction with negation. Using this graph model provides sufficient degrees of freedom. For this graph model we use the following logical transformation: de Morgan's transformation, decomposition of gate, merge of gates, insertion and exclusion of buffers. At the next step the method optimizes layout structure of circuit. The layout optimization provides minimization of the area by removing isolating gates between the transistors. To achieve this goal, we propose to choose the orientation and position of each transistor inside the gate. If the source of the transistor is to the left of the gate and the drain is to the right, then this orientation of the transistor will be called normal. In the opposite case, orientation of the transistor is considered mirror. It's important because two transistors can be placed without isolating gate, if they have contacts connected to the same node and this contacts are placed next to each other. For example, two parallel connected transistors can be placed without isolating gate, if they have opposite directions (e.g. the first transistor with normal orientation and the second one with mirror orientation). Steps of logical and structural optimization are performed one after the other in the optimization cycle. The method was tested on a set of standard test circuits. The achieved average reduction of the area is 30-40%. In addition, this method can be used to design fault-tolerant circuits, circuits on the FinFETs or for initial placement of FPGA elements and blocks.

Keywords — inter-gate resynthesis, structural optimization, integrated circuit (IC), computer-aided design (CAD), Boolean algebra.

REFERENCES

- [1] Bryant R.E. Graph-Based Algorithms for Boolean Function Manipulation // IEEE Transactions on Computers. 1986. P. 677–691.
- [2] Gavrilov S.V., Gudkova O.N., Schelokov A.N. Logiko-vremennoj analiz nanometrovyh shem na osnove interval'nogo podhoda (Time analysis of nanoelectronic circuits based on interval approach) // Izvestiya UFU. Tehnicheskie nauki 2012. №7 (132). S. 85–91.
- [3] Gavrilov S.V., Ivanova G.A., Manukyan A.A. Metody proektirovaniya zakaznyh slozhno-funkcional'nyh blokov v bazise elementov s reguljarnoj topologicheskoy strukturoj v sloyah polikremniya i diffuzii (Design methods for custom complex-functional blocks in the elements basis with a regular layout structure in the polysilicon and diffusion layers) // VI Vserossijskaya nauchno-tehnicheskaya konferenciya «Problemy razrabotki perspektivnyh mikro- i nanoelektronnyh sistem - 2014». Sb. tr. pod obsch. red. akademika RAN A.L. Stempkovskogo. M.: IPPM RAN, 2014. Chast' I. S. 161–166.
- [4] Gavrilov S.V., Kareva E.S., Ryzhova D.I. Razrabotka algoritmov logiko-topologicheskogo sinteza bibliotechnyh elementov i blokov s reguljarnoj strukturoj dlya tehnologicheskikh norm proektirovaniya 32 nm (Development of algorithms for the logic-layout synthesis of library elements and blocks with a regular structure for technological design standards 32 nm) // Izvestiya VUZov. Elektronika. 2017. T. 22. № 4. S. 369–378.
- [5] Uilkinson B. Osnovy proektirovaniya cifrovyh shem (The Essence of Digital Design). Izdatel'skij dom Vil'yams, 2004. 320 s.
- [6] Gavrilov S.V., Glebov A.L., Pullera S., Moore S., Vijayan G., Dharchoudhury A., Rajendran Panda, Blaauw D. Library-Less Synthesis for Static CMOS Combinational Logic Circuits // Proceedings ICCAD-97. 1997, San Jose, CA. P. 658–662.
- [7] Gavrilov S.V., Glebov A.L. BDD-based circuit level structural optimization for digital CMOS // 1-st Intern. Workshop «Multi-Architecture Low Power Design». 1999. P. 45–49.
- [8] Turgis S., Azemad N., Auvergne D. Design and Selection of Buffers for Minimum Power-Delay Product // ED&TC-96. P. 224–228.
- [9] Gavrilov S.V., Kareva E.S., Ryzhova D.I., Schelokov A.N. Metody razrabotki grafovyh modelej reguljarnyh struktur FinFET tranzistorov s nezavisimymi zatvorami (Methods of developing graph models of regular structures of FinFET with independent gates) // Izvestiya UFU. Tehnicheskie nauki. 2017. №7 (192). S. 175–185.
- [10] Gavrilov S., Ryzhova D., Vasilyev N. Models and methods of inter-gate resynthesis at the transistor level for nanoelectronic circuits based on FinFETs // 2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus). 2018. P. 1364–1367.