

Методы верификации на кристалле задержек распространения стандартных цифровых элементов

А.В. Кобыляцкий, Д.К. Сергеев

НИЯУ МИФИ, г. Москва, AVKobylyatskiy@mephi.ru, DK Sergeev@mephi.ru

Аннотация — В статье представлен сравнительный анализ методов измерения временных интервалов на кристалле, которые могут быть применены для верификации задержек распространения стандартных цифровых элементов. Сравнение производится по сложности реализации, точности определения задержек, занимаемой площади и т.д. Один из рассмотренных методов использован авторами на тестовом кристалле. На основе проведенного моделирования дана оценка точности определения задержек при измерении с использованием разработанной схемы.

Ключевые слова — СБИС, система-на-кристалле, стандартный цифровой элемент, временные параметры, задержка распространения, верификация на кристалле, тестовая структура, характеристика, кольцевой генератор.

I. ВВЕДЕНИЕ

Уменьшение проектных норм позволило добиться высокой степени интеграции элементов интегральных схем, а также значительно увеличить их быстродействие. Однако проведение статического временного анализа и предсказание выхода годных таких схем является сложной задачей, поскольку при переходе на нанометровые проектные нормы наблюдается существенное увеличение вклада перекрестных помех, вариаций технологии и внешних факторов в разброс временных параметров схем. По этой причине проблема верификации разрабатываемых устройств на кристалле особенно актуальна в наши дни.

Проектирование современных СБИС осуществляется на основе стандартных цифровых элементов (СЦЭ) и сложно-функциональных (СФ) макроблоков. Библиотеки СЦЭ являются законченными функциональными изделиями, работоспособность которых, как и любого устройства или изделия, должна быть подтверждена в кремнии (Silicon-proven). Это необходимо, в первую очередь, для того, чтобы разработчики СБИС, использующие данные библиотеки, были уверены в том, что реальные характеристики элементов лежат в пределах заявленных значений. Недостаточно точная характеристика СЦЭ может привести к уменьшению выхода годных и существенному увеличению временных и экономических издержек.

Функциональная верификация элементов библиотек представляется тривиальной задачей, в то время как

верификация их временных параметров является более сложной задачей, требующей наличия дополнительных измерительных схем или специального оборудования. Одним из важнейших временных параметров цифровых элементов является задержка распространения. Для проведения верификации задержки отдельного СЦЭ, необходимо измерить временной интервал, лежащий в пикосекундном диапазоне. Большинство представленных на настоящий момент решений, предназначенных для измерения временных интервалов, имеют разрешение, недостаточное для оценки столь малой задержки. Поэтому схема для верификации задержек СЦЭ должна иметь точность, не хуже единиц пикосекунд.

Проблема верификации временных параметров СЦЭ широко освещена в зарубежной литературе, в то время как отечественные источники практически не акцентируют на ней внимание. В настоящее время существует большое количество методик измерения задержек на кристалле, отличающихся точностью, сложностью реализации и т.п. Однако малое количество из них упоминается в контексте верификации СЦЭ. Таким образом, информация о существующих методах верификации задержек СЦЭ не систематизирована, что значительно усложняет процесс поиска оптимального решения для интеграции на собственные тестовые структуры.

В данной работе проводится сравнительный анализ применимых для верификации задержек распространения СЦЭ методов измерения временных интервалов на кристалле. Один из рассматриваемых методов использован авторами на тестовом кристалле. По результатам проведенного моделирования дана оценка точности определения задержек при измерении с использованием разработанной схемы.

II. МЕТОДЫ ИЗМЕРЕНИЯ ВРЕМЕННЫХ ИНТЕРВАЛОВ НА КРИСТАЛЛЕ

В данной главе рассмотрены описанные в литературе методы измерения временных интервалов, позволяющие с достаточной точностью определить задержки распространения СЦЭ.

A. Использование специального оборудования

Современные технологии позволяют бесконтактно проводить внутрисхемные измерения временных характеристик. Наиболее известным из таких методов является зондирование электронным лучом (E-Beam

Probing), однако с появлением новых технологий данный метод стал менее популярным [1]. На настоящий момент в зарубежной микроэлектронной индустрии наиболее часто используются лазерное зондирование (ЛЗ, Laser Voltage Probing) и временные измерения при фотонной эмиссии (ВИФЭ, Time Resolved Photon Emission).

Тестирование схем по методам ЛЗ и ВИФЭ осуществляется со стороны подложки. Для этого кристалл декорпусируется, после чего подложка утончается до толщины 50-100 мкм [2]. Далее кристалл устанавливается в стенд для тестирования, а на его входы подаются периодические электрические сигналы. Детектор регистрирует отраженное лазерное (в случае ЛЗ), либо индуцированное (в случае ВИФЭ) фотонное излучение, а специализированный анализатор восстанавливает временные диаграммы интересующих электрических узлов. По полученным диаграммам определяется задержка соответствующей схемы.

Несмотря на высокую цену и отсутствие отечественных разработок, ЛЗ и ВИФЭ являются мощнейшими инструментами в арсенале инженера-тестировщика. Наличие таких установок существенно ускоряет и упрощает процесс поиска некорректно работающих узлов СБИС. Временное разрешение такого оборудования достаточно высоко для оценки задержек СЦЭ.

В. Линия Вернье

Линия Вернье (Vernier Delay Line) состоит из триггеров и двух линий задержки (рис. 1). Для измерения задержки интересующего элемента, на входы START и STOP подаются соответственно входные и выходные напряжения этого элемента. Параметры буферов выбираются таким образом, чтобы задержка между сигналами после каждого каскада сокращалась на величину δ . В зависимости от задержки между сигналами START и STOP срабатывает i триггеров. Тогда измеренная задержка T_z определяется по формуле:

$$T_z = (i - 1) \times \delta.$$

Элементы задержки (буферы) такой линии крайне чувствительны к шумам, технологическим и температурным вариациям. Кроме того, временное разрешение ограничено временами предустановки и удержания триггеров. Для повышения точности данного метода используется автоподстройка по задержке (Delay-locked loop) [3], а также дополнительная обвязка и схема калибровки [4].

Основным недостатком данного метода является большая занимаемая площадь, поскольку при уменьшении значения δ требуется большее количество триггеров и калибровочных блоков. Так, например, в [4] для размещения измерительной схемы с временным разрешением 5 пс, используется весь кристалл. Кроме того, большой объем ручного проектирования делает данный метод довольно ресурсозатратным.

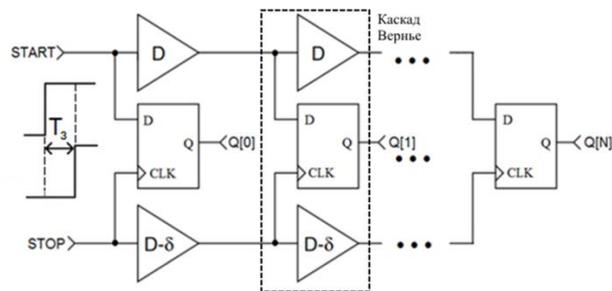


Рис. 1. Принципиальная схема линии Вернье

С. «Встроенный осциллограф»

Рассматриваемый метод имеет сходства в подходе к обработке сигналов с цифровым осциллографом, принцип работы которого основан на оцифровке исследуемого сигнала. Цифровой осциллограф производит составление выборки (дискретизацию) мгновенных значений исследуемого сигнала, а затем записывает полученные данные в запоминающее устройство для дальнейшей обработки и вывода на экран. Метод «встроенного осциллографа» основан на аналогичных операциях в пределах кристалла.

На тестируемый элемент подается периодическое входное воздействие. Затем составляются выборки мгновенных значений входного и выходного сигналов («осциллограммы»). Эти данные поступают на контроллер, который вычисляет задержку между этими сигналами. Дискретизация сигнала может проводиться, как в псевдослучайные [5]-[7], так и в детерминированные [8]-[9] моменты времени.

Метод «встроенного осциллографа» является наиболее часто используемым для верификации на кристалле задержек СЦЭ. Его точность достигает 1 пс, а занимаемая площадь измерительных схем значительно меньше, чем, например, у большинства реализаций метода линии Вернье [9]. Однако получение столь высокого временного разрешения влечет за собой использование дополнительных схем калибровки и без того сложных аналоговых цепей таких, как генератор опорного напряжения, блоки дискретизации и схемы выборки-хранения. Кроме того, дискретизированные временные диаграммы нуждаются в постобработке, что требует дополнительных временных затрат на разработку соответствующего программного обеспечения.

Д. Гомодинный преобразователь

Самым точным из предложенных на настоящий момент методов измерения задержек является гомодинный преобразователь время-код [10], позволяющий получить временное разрешение порядка десяти фемтосекунд. В основе данного метода лежит гомодинный смеситель, преобразующий разность фаз между входными сигналами в пропорциональное постоянное напряжение, используя аналоговый умножитель и фильтр нижних частот, как показано на рис. 2. Генерация постоянного напряжения V_{dc} происходит за счет модуляции первого входного сигнала вторым и последующей фильтрации,

удаляющей переменную составляющую модулированного сигнала. Далее напряжение V_{dc} оцифровывается сигма-дельта АЦП, которое получает код, соответствующий задержке между интересующими сигналами.



Рис. 2. Структурная схема гомодинного преобразователя время-код [11]

Недостатком данной схемы является сложность реализации, связанная, в частности, с нетривиальностью схемы сигма-дельта АЦП. Проектирование устройства такой сложности требует больших трудозатрат и соблюдения специальных правил цифро-аналогового проектирования. Кроме того, в случае большого количества верифицируемых элементов, возникает проблема симметрирования сигналов с сохранением разности фаз, что требует введения дополнительных аналоговых преобразователей.

Е. Управляемый кольцевой генератор

С давних пор кольцевые генераторы используются для верификации и оценки вариаций временных параметров логических элементов [12]. Имеется множество работ [13]-[15], показывающих высокую точность и легкость реализации данного метода. Тем не менее классический кольцевой генератор не позволяет определить задержку конкретного одиночного элемента, ограничиваясь лишь средним по всем звеньям значением задержки.

Для определения задержки одиночного элемента было предложено [16]-[17] использовать разностный подход, а именно – рассчитывать задержки по разностям периодов кольцевых генераторов, находящихся в разных состояниях. В основе данного метода лежит кольцевой генератор, звенья (измерительные ячейки) которого управляются с помощью сигналов $S[1] \dots S[N]$ (рис. 3). Каждая измерительная ячейка (ИЯ) состоит из тестируемого устройства (I_1 , ТУ), мультиплексора (M_1), буфера (B_1) и нагрузочных элементов (I_2 , M_2 , B_2), как показано на рис. 4. Под ТУ понимается тестируемый СЦЭ, путь между входом и выходом которого является комбинационным (метод не предусматривает измерение задержек последовательных схем). Управляющий сигнал $S[i]$ регулирует прохождение сигнала через мультиплексор со входа ИЯ на ее выход через ТУ, либо в обход него.

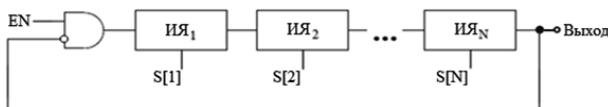


Рис. 3. Кольцевой генератор на основе измерительных ячеек. Для генератора на основе инвертирующих ячеек число N – четное

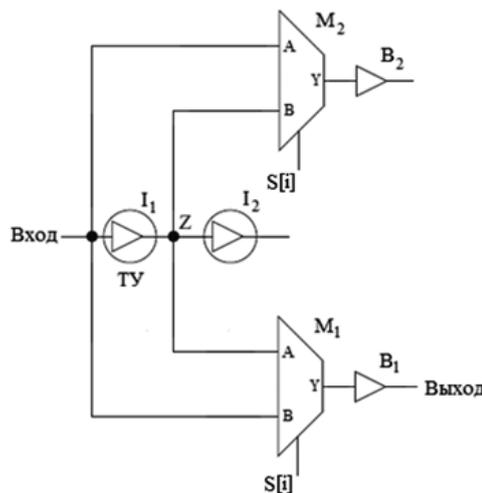


Рис. 4. Схема измерительной ячейки

В основе предложенного метода лежит вычисление разности задержек распространения сигнала со входа на выход ИЯ:

$$t_{S[i]=0} - t_{S[i]=1} = t_{pi} + M_A - M_B, \quad (1)$$

где $t_{S[i]=0}$ и $t_{S[i]=1}$ – времена распространения сигнала через ИЯ соответственно при низком и высоком логическом уровне сигнала на линии $S[i]$; t_{pi} – задержка распространения сигнала через ТУ; M_A и M_B – задержки распространения сигнала через мультиплексор M_1 соответственно со входов А и В на выход Y.

Аналогично формуле (1) имеет место связь длительностей импульса и паузы на выходе кольцевого генератора (рис. 3) и задержек нуля и единицы t_{p10i} и t_{p01i} ТУ i -ой измерительной ячейки:

$$t_{p10i} = (T_{ON}^{S_{0i}} - T_{ON}^{S_{1i}}) - (M_{Ai}^{10} - M_{Bi}^{10}), \quad (2)$$

$$t_{p01i} = (T_{OFF}^{S_{0i}} - T_{OFF}^{S_{1i}}) - (M_{Ai}^{01} - M_{Bi}^{01}), \quad (3)$$

где S_{0i} и S_{1i} – статусные вектора, в которых соответственно $S[i]=0$ и $S[i]=1$, а остальные биты имеют одинаковые значения (например, $S_{04}=\{1110\}$ и $S_{14}=\{1111\}$); $T_{ON}^{S_{0i}}$ и $T_{ON}^{S_{1i}}$ – длительности импульса на выходе УКГ соответственно в состояниях S_{0i} и S_{1i} ; $T_{OFF}^{S_{0i}}$ и $T_{OFF}^{S_{1i}}$ – длительности паузы на выходе УКГ соответственно в состояниях S_{0i} и S_{1i} ; M_{Ai}^{10} и M_{Bi}^{10} – времена распространения логического нуля соответственно со входов А и В на выход Y мультиплексора i -ой измерительной ячейки; M_{Ai}^{01} и

M_{Bi}^{01} – времена распространения логической единицы соответственно со входов А и В на выход Y мультиплексора i -ой измерительной ячейки.

Второй член в скобках правой части формул (2) и (3) определяет асимметрию мультиплексора i -ой измерительной ячейки и может быть минимизирован схемотехническими и топологическими методами.

Для УКГ, состоящего из инвертирующих измерительных ячеек, не все комбинации статусных битов S являются допустимыми, поэтому определение задержек логической единицы и логического нуля является затруднительным, однако имеется возможность получить среднюю задержку

$$t_{pi} = \frac{t_{p01i} + t_{p10i}}{2},$$

рассчитываемую по периодам УКГ в различных состояниях шины S .

Несмотря на проблему измерения задержек инвертирующих элементов и последовательных схем, метод УКГ прост в реализации и обладает хорошей точностью. Кроме того, малый объем вспомогательных блоков позволяет эффективно использовать площадь на кристалле.

III. СРАВНИТЕЛЬНЫЙ АНАЛИЗ МЕТОДОВ

В табл. 1 приведено сравнение рассмотренных методов измерения временных интервалов. Каждый из этих методов имеет свои достоинства и недостатки, однако с точки зрения авторов, наравне с точностью, важнейшим критерием выбора метода верификации на кристалле является простота реализации. В методе управляемых кольцевых генераторов необходимость ручного проектирования сводится к минимуму, поскольку все элементы, кроме мультиплексора, являются библиотечными, а трассировка сигнальных линий производится автоматически с помощью САПР.

Следующая глава описывает разработанную реализацию данного метода.

Таблица 1

Сравнение методов верификации задержек СЦЭ

Название	Временное разрешение, пс	$S_{\text{виз}}^*$, мм ² / Техпроцесс, нм	Недостатки
ЛЗ [18] ВИФЭ [19]	10 6	–	• Стоимость
Линия Вернье [20] Линия Вернье (Flash) [4]	5	6 / 700 2,25 / 180	• Большая занимаемая площадь • Сложность проектирования
Встроенный осциллограф (с дискретизацией в детерминированные [9] и псевдослучайные [5] моменты времени)	1	0,25 / 90 0,15 / 90	• Сложность проектирования
Гомодинный преобразователь [10]	0.04	0,1 / 120	• Большой объем ручного проектирования • Проблема симметрирования сигналов
УКГ [17]	1,5	0,05 / 65	• Отсутствует возможность отдельного измерения t_{p01} и t_{p10} неинвертирующих элементов. Измеряется средняя задержка t_p • Отсутствует возможность измерения задержек последовательных схем

* - оценка площади кристалла, занимаемой измерительной схемой, для верификации задержек 50 СЦЭ (без учета площади верифицируемых СЦЭ)

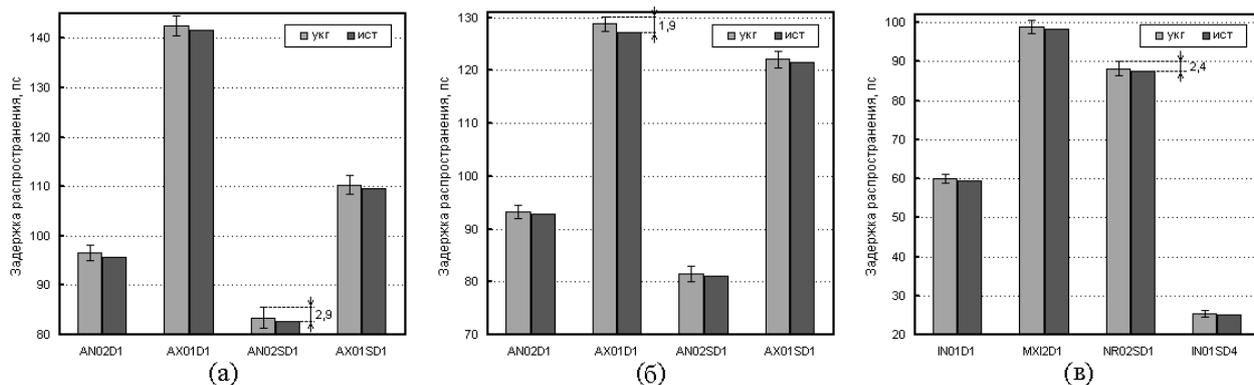


Рис. 5. Точность определения задержек распространения логической единицы (а) и нуля (б) неинвертирующих СЦЭ и средней задержки (в) инвертирующих СЦЭ по методу УКГ с использованием разработанной схемы. укг – задержка рассчитанная по методу УКГ; ист – истинное значение задержки, полученное по временным диаграммам входа и выхода ТУ

IV. РАЗРАБОТАННАЯ ТЕСТОВАЯ СТРУКТУРА

Для верификации имеющихся библиотечных элементов был разработан блок УКГ, позволяющий измерить задержки 72 СЦЭ. Всего на кристалле установлено 4 таких блока для оценки пространственно-коррелированных вариаций. Тестовый кристалл изготовлен по объемной КМОП технологии с проектными нормами 90 нм. С учетом шин земли и питания, а также площади, занимаемой верифицируемыми элементами, размеры блока составили 105×145 мкм².

В ходе анализа возможных источников погрешности измерения, вносимой измерительной схемой, было установлено, что наибольший вклад в эту погрешность вносит мультиплексор M_1 . Проведенное моделирование разработанной схемы показало, что максимальная абсолютная погрешность измерения задержек, вносимая схемой, составляет 3 пс. На рис. 5 приведены гистограммы, иллюстрирующие точность определения задержек на примере 8 верифицируемых элементов. Результирующая ошибка измерений Δt рассчитывается следующим образом:

$$\Delta t = |t_{ист} - t_{укг}| + \Delta t_{укг,3\sigma}$$

где $t_{укг}$ – задержка полученная с использованием разработанной схемы (без учета вариаций в схеме мультиплексора), $t_{ист}$ – истинное значение этой задержки, полученное по временным диаграммам входа и выхода ТУ, $\Delta t_{укг,3\sigma}$ – отклонение задержки (на уровне 3σ), полученной по методу УКГ, от своего среднего значения, вызванное вариациями в схеме мультиплексора.

Временное разрешение данной схемы может быть улучшено путем перепроектирования схемы мультиплексора, а именно увеличением размеров транзисторов и дополнительной симметризацией топологии.

Общий вид топологии тестового кристалла представлен на рис. 6.

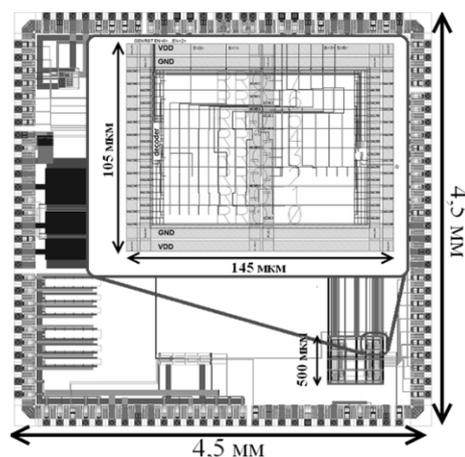


Рис. 6. Топология тестового кристалла, в который включены блоки УКГ

V. ЗАКЛЮЧЕНИЕ

Проведен сравнительный анализ применимых для верификации задержек СЦЭ методов измерения временных интервалов. Для верификации имеющихся библиотек на тестовом кристалле выбран метод управляемых кольцевых генераторов, который прост в реализации, а малый объем вспомогательных блоков позволяет эффективно использовать площадь кристалла.

Тестовый кристалл изготовлен по объемной КМОП технологии с проектными нормами 90 нм и содержит блок УКГ, который занимает 105×145 мкм², позволяя верифицировать задержки 72 СЦЭ. Установлено, что абсолютная погрешность измерений, вносимая схемой, составляет не более 3 пс.

ЛИТЕРАТУРА

- [1] Parrassin T., Larre P., Dudit S. et al. From EBT to LVP, from 130nm to 28nm node, internal timing characterization

- evolution // Proceedings from the 38th International Symposium for Testing and Failure Analysis (ISTFA). 2012. P. 232–238.
- [2] Boit C., Schlangen R., Glowacki A. et al. Physical IC debug – backside approach and nanoscale challenge // Advances in Radio Science. 2008. V. 6. P. 265-272.
- [3] Abdel-Hafeez S., Harb S.M., Lee K.M. On-Chip Jitter Measurement Architecture Using A Delay-Locked Loop With Vernier Delay Line, To The Order Of Giga Hertz // Proceedings of 18th International Conference MIXDES. 2011. P. 502-506.
- [4] Levine P.M., Roberts G.W. High-Resolution Flash Time-To-Digital Conversion and Calibration For System-On-Chip Testing // IEE Proceedings Computers and Digital Techniques. 2005. V. 152. № 3. P. 415-426.
- [5] Bhatti R.Z., Chugg K.M., Draper J. Standard Cell based Pseudo-Random Clock Generator for Statistical Random Sampling of Digital Signals // Proceedings of 50th Midwest Symposium on Circuits and Systems. 2007. P. 1110-1113.
- [6] Maggioni S., Veggetti A., Bogliolo O., Croce L. Random sampling for on-chip characterization of standard-cell propagation delay // IEEE International Symposium on Quality Electronic Design. 2003. P. 41-45.
- [7] Churayev S.O., Matkarimov B.T., Paltashev T.T. On-chip Measurements of Standard-Cell Propagation Delay // Proceedings of Design & Test Symposium (EWDTS). 2010. P.179-181.
- [8] Zhang X., Ishida K., Takamiya M., Sakurai T. An On-Chip Characterizing System for With-in-Die Delay Variation Measurement of Individual Standard Cells in 65-nm CMOS // Proceedings of the ASP-DAC. 2011. P. 109-110.
- [9] Inagaki K., Antono D., Takamiya M. et al. A 1-ps Resolution On-Chip Sampling Oscilloscope with 64:1 Tunable Sampling Range Based on Ramp Waveform Division Scheme // Symposium on VLSI Circuits. Digest of Technical Papers. 2006. P. 61-62.
- [10] Collins M., Al-Hashimi B., Wilson P. On-chip timing measurement architecture with femtosecond resolution // Proceedings of 11th IEEE European Test Symposium. 2006. P.103-110.
- [11] Collins M. On-Chip Time Measurement Architectures and Implementation. Thesis for the degree of Doctor of Philosophy. May, 2009. Southampton, UK. – 160 p.
- [12] Cassard J.M. A Sensitivity Analysis of SPICE Parameters Using an Eleven-Stage Ring Oscillator // IEEE Transactions on Electron Devices. 1984. V. 31. № 2. P. 264-269.
- [13] Masuda H., Ohkawa S., Kurokawa A. et al. Challenge: variability characterization and modeling for 65- to 90-nm processes // Proceedings of the IEEE Custom Integrated Circuits Conference. 2005. P. 593-600.
- [14] Bhushan M., Gattiker A., Ketchen M.B. et al. Ring oscillators for CMOS process tuning and variability control // IEEE Transactions on Semiconductor Manufacturing. 2006. V. 19. № 1. P. 10–18.
- [15] Ketchen M.B., Bhushan M. Product-representative “at speed” test structures for CMOS characterization // IBM Journal of Res. and Dev. 2006. V. 50. № 4/5. P. 451–468.
- [16] Das B.P., Onodera H. Area-efficient reconfigurable-array-based oscillator for standard cell characterization // IEEE Transactions on Circuits and Systems - II: Express Briefs. 2014. V. 61. № 3. P. 429-436.
- [17] Das B.P., Onodera H. On-Chip Measurement of Rise/Fall Gate Delay Using Reconfigurable Ring Oscillator // IEEE Transactions On Circuits And Systems. 2014. V. 61. № 3. P. 183-187.
- [18] Kindereit U. Fundamentals and Future Applications of Laser Voltage Probing // Proc. of IEEE International Reliability Physics Symposium. 2014. P. 3F.1.1 - 3F.1.11.
- [19] Frohmann S., Dietz E., Dittrich H., Hübers H.W. Picosecond imaging of signal propagation in integrated circuits // Advanced Optical Technologies. 2017. V. 6. № 2. P. 137–142.
- [20] Dudek P., Szczpanksi S., Hatfield J.V. A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line // IEEE Transactions on Solid-State Circuits. 2000. V. 35. № 2. P. 240–247.

On-chip Standard Cell Delay Verification Techniques

A.V. Kobylatskiy, D.K. Sergeev

NRNU MEPhI, Moscow, AVKobylatskiy@mephi.ru, DKSergeev@mephi.ru

Abstract — Standard cell libraries are complete products, functionality of which must be silicon-proven. However, the issue of standard cell delay validation is not enough highlighted. The concepts of on-chip delay measurement are well-known, yet there is no systematized information about existing techniques that are suitable for measuring standard cell propagation delays. In this work we present comparative analysis of such techniques that are referred to date. The techniques compared are as follows: on-chip oscilloscope, random sampling, Vernier delay line, flash, homodyne conversion, reconfigurable ring oscillator and some off-chip

techniques. The benchmarks chosen are delay measurement accuracy, design complexity and area overhead. We also give a short description for each technique. From all the diversity of presented techniques the reconfigurable ring oscillator approach was chosen for implementing on our test chip. The chosen technique is area-efficient, very simple to design and provides decent accuracy (authors of the concept report 1.5 ps time resolution). The concept does not involve any analog circuits and can be designed without much effort. The test chip has been fabricated in a bulk 90-nm CMOS process. The CAD simulation of the designed structure shows maximum

delay measurement error to be approximately 3 ps. We assume that the discrepancy is due to multiplexer circuit. It is supposed that timing resolution could be improved by enlarging transistor sizes and adding more symmetry to the MUX layout. The expected measurement accuracy should not be greatly less than the simulated one since possible IR drop, noise and self-heating effects were accounted.

Keywords — VLSI, SoC, standard cell, timing, propagation delay, on-chip verification, test structure, characterization, post-silicon validation, reconfigurable ring oscillator

REFERENCES

- [1] Parrassin T., Larre P., Dudit S. et al. From EBT to LVP, from 130nm to 28nm node, internal timing characterization evolution // Proceedings from the 38th International Symposium for Testing and Failure Analysis (ISTFA). 2012. P. 232–238.
- [2] Boit C., Schlangen R., Glowacki A. et al. Physical IC debug – backside approach and nanoscale challenge // Advances in Radio Science. 2008. V. 6. P. 265-272.
- [3] Abdel-Hafeez S., Harb S.M., Lee K.M. On-Chip Jitter Measurement Architecture Using A Delay-Locked Loop With Vernier Delay Line, To The Order Of Giga Hertz // Proceedings of 18th International Conference MIXDES. 2011. P. 502-506.
- [4] Levine P.M., Roberts G.W. High-Resolution Flash Time-To-Digital Conversion and Calibration For System-On-Chip Testing // IEE Proceedings Computers and Digital Techniques. 2005. V. 152. № 3. P. 415-426.
- [5] Bhatti R.Z., Chugg K.M., Draper J. Standard Cell based Pseudo-Random Clock Generator for Statistical Random Sampling of Digital Signals // Proceedings of 50th Midwest Symposium on Circuits and Systems. 2007. P. 1110-1113.
- [6] Maggioni S., Veggetti A., Bogliolo O., Croce L. Random sampling for on-chip characterization of standard-cell propagation delay // IEEE International Symposium on Quality Electronic Design. 2003. P. 41-45.
- [7] Churayev S.O., Matkarimov B.T., Paltashev T.T. On-chip Measurements of Standard-Cell Propagation Delay // Proceedings of Design & Test Symposium (EWDTS). 2010. P.179-181.
- [8] Zhang X., Ishida K., Takamiya M., Sakurai T. An On-Chip Characterizing System for With-in-Die Delay Variation Measurement of Individual Standard Cells in 65-nm CMOS // Proceedings of the ASP-DAC. 2011. P. 109-110.
- [9] Inagaki K., Antono D., Takamiya M. et al. A 1-ps Resolution On-Chip Sampling Oscilloscope with 64:1 Tunable Sampling Range Based on Ramp Waveform Division Scheme // Symposium on VLSI Circuits. Digest of Technical Papers. 2006. P. 61-62.
- [10] Collins M., Al-Hashimi B., Wilson P. On-chip timing measurement architecture with femtosecond resolution // Proceedings of 11th IEEE European Test Symposium. 2006. P.103-110.
- [11] Collins M. On-Chip Time Measurement Architectures and Implementation. Thesis for the degree of Doctor of Philosophy. May, 2009. Southampton, UK. – 160 p.
- [12] Cassard J.M. A Sensitivity Analysis of SPICE Parameters Using an Eleven-Stage Ring Oscillator // IEEE Transactions on Electron Devices. 1984. V. 31. № 2. P. 264-269.
- [13] Masuda H., Ohkawa S., Kurokawa A. et al. Challenge: variability characterization and modeling for 65- to 90-nm processes // Proceedings of the IEEE Custom Integrated Circuits Conference. 2005. P. 593-600.
- [14] Bhushan M., Gattiker A., Ketchen M.B. et al. Ring oscillators for CMOS process tuning and variability control // IEEE Transactions on Semiconductor Manufacturing. 2006. V. 19. № 1. P. 10–18.
- [15] Ketchen M.B., Bhushan M. Product-representative “at speed” test structures for CMOS characterization // IBM Journal of Res. and Dev. 2006. V. 50. № 4/5. P. 451–468.
- [16] Das B.P., Onodera H. Area-efficient reconfigurable-array-based oscillator for standard cell characterization // IEEE Transactions on Circuits and Systems - II: Express Briefs. 2014. V. 61. № 3. P. 429-436.
- [17] Das B.P., Onodera H. On-Chip Measurement of Rise/Fall Gate Delay Using Reconfigurable Ring Oscillator // IEEE Transactions On Circuits And Systems. 2014. V. 61. № 3. P. 183-187.
- [18] Kindereit U. Fundamentals and Future Applications of Laser Voltage Probing // Proc. of IEEE International Reliability Physics Symposium. 2014. P. 3F.1.1 - 3F.1.11.
- [19] Frohmann S., Dietz E., Dittrich H., Hübers H.W. Picosecond imaging of signal propagation in integrated circuits // Advanced Optical Technologies. 2017. V. 6. № 2. P. 137–142.
- [20] Dudek P., Szczpanski S., Hatfield J.V. A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line // IEEE Transactions on Solid-State Circuits. 2000. V. 35. № 2. P. 240–247.