

# Инженерные системы модулей эмуляции в форм-факторе КУБ-ПРО

А.А. Иванов<sup>1</sup>, С.В. Юрлин<sup>1,2</sup>

<sup>1</sup> АО «МЦСТ», г. Москва, Andrey.An.Ivanov@mcst.ru

<sup>2</sup> ПАО «ИНЭУМ им И. С. Брука», г. Москва

**Аннотация** — В данной статье приведены особенности реализации инженерных систем модулей эмуляции в форм-факторе КУБ-ПРО, позволяющие строить на их основе матричные масштабируемые системы эмуляции.

**Ключевые слова** — модуль, эмуляция, аппаратура, ПЛИС, прототип, КУБ-ПРО.

## I. ВВЕДЕНИЕ

В мире существует множество решений для эмуляции от разных компаний. Например, NAPS от фирмы Synopsys [1], proFPGA компании PRO DESIGN Electronic GmbH [2], платформа для эмуляции компании Onix [3], кластер на ПЛИС DNBFC\_S12\_12 компании DiniGroup [4]. Однако эти решения плохо подходят для создания распределённой системы эмуляции на множестве ПЛИС для верификации серверных микропроцессоров (МП) с большим объёмом синхронной логики [5]. Это одна из причин, почему в АО «МЦСТ» своими силами начали создавать специализированные прототипы на основе ПЛИС [6]. Созданные системы позволили успешно провести достаточно полную функциональную верификацию нескольких микропроцессоров, но вместе с тем выявились ограничения их применения [7]. В их числе: необходимость использования больших ненадёжных модулей, трудность или невозможность повторного применения уже созданных узлов, отсутствие стандартного конструктива, позволяющего строить большие высокосвязные структуры с широкими каналами между узлами, регулярная смена ранее выбранных серий ПЛИС на современные, замкнутость и нерасширяемость инженерных систем.

Для преодоления перечисленных недостатков в АО «МЦСТ» разработаны модули эмуляции в форм-факторе КУБ-ПРО [7]. Они являются базовыми элементами при построении прототипов как матричных масштабируемых систем эмуляции. Этому способствует выбранная схема положения соединителей, их количество и правила коммутации. Для связи с другими устройствами в таком модуле эмуляции используются интерфейсы прототипа типа А (ИПТА) и типа Б (ИПТБ). Первые располагаются в центре каждой из сторон. Вторые - равномерно по периметру модуля. Установлено, что для масштабирования оптимально использовать не более

четырёх каналов каждого интерфейса. Уменьшение приводит к снижению масштабируемости системы, а увеличение бесполезно ввиду геометрических ограничений, обусловленных самими модулями.

Функционирование полученного набора модулей эмуляции в качестве целостной системы требует поддержки со стороны их инженерных систем. В частности, систем конфигурации, сбросов, синхронизации, питания, удалённой диагностики. В данной статье приведены технические решения, принятые при создании инженерных систем модулей эмуляции, а также причины их реализации. Указаны сложности интеграции таких решений в рамках одного модуля.

## II. СИСТЕМА КОНФИГУРАЦИИ И СБРОСА

Распределённая система эмуляции представляет собой две отдельные системы, вложенные одна в другую: эмулируемый микропроцессор и аппаратуру прототипа, включающую множество ПЛИС. Каждая из этих систем имеет собственную сложную структуру. Как результат — необходимо выделить три различных уровня систем конфигурации и сброса: МП и прототип. Последний, в свою очередь, делится на FPGA и CPLD.

Для конфигурации и работы с логическим анализаторами МП «Эльбрус» традиционно используется интерфейс JTAG фирмы Corelis. В рамках одного микропроцессора (или прототипа) он имеет одну точку входа и распространяется по системе в соответствии с реализованной внутренней структурой микроархитектуры. Однако JTAG МП имеет ограниченные возможности по количеству выводимых сигналов и доступных триггеров, глубине получаемых данных. Поэтому эффективно проводить отладку с его помощью можно только при более или менее работоспособном МП, либо для определения направления движения при локализации ошибок.

Наиболее сложным в реализации является уровень конфигурации ПЛИС FPGA, предназначенный для эмуляции RTL-модели. Обобщая, можно выделить три принципиально разных способа: JTAG, флэш память (AS, SPI) и конфигурация с использованием PCIe (CvP). При реализации модулей эмуляции в форм-

факторе КУБ-ПРО имеет смысл реализовать все перечисленные.

В процессе функциональной верификации МП в распределённой системе эмуляции на множестве ПЛИС требуется получать данные о работе логики из каждой микросхемы набора. Исключая необходимость автономной работы с разными блоками логики для удобства работы, следует обеспечить возможность построения единой JTAG цепи, включающей все ПЛИС набора. Для того, чтобы выстроить такую цепь через множество модулей эмуляции, количество и положение которых может меняться, необходима возможность изменения топологии цепи JTAG FPGA. Эту функцию выполняет ПЛИС CPLD, которая становится транзитным посредником сигналов интерфейса от соединителей к FPGA. Поэтому часть данного уровня конфигурации реализована посредством логики проекта CPLD.

Сама микросхема CPLD конфигурируется через собственный интерфейс JTAG, подключённый к ней напрямую. Общая схема всех цепей JTAG приведена на рисунке 1.

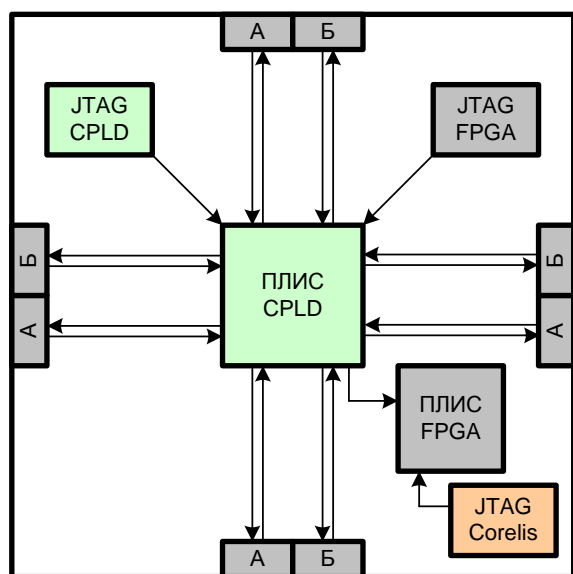


Рис. 1. Схема JTAG цепей в модуле эмуляции в формате КУБ-ПРО

В полученной системе количество абонентов цепи JTAG FPGA в одной CPLD модуля эмуляции равно девяти: соединитель JTAG FPGA, четыре модуля, подключённых посредством интерфейса ИПТА, и четыре модуля — через ИПТБ. При этом стоит выделить, что интерфейсы прототипа являются полнодуплексными, а их коммутация выполняется кросс-кабелями. Это правило актуально и для JTAG FPGA. Его выполнение обеспечивает неизменность алгоритмов конфигурации цепи при осуществлении масштабирования (рис. 2). Таким образом, получается девять входных цепей JTAG и девять выходных (рис. 3). В этом случае задача конфигурации JTAG

FPGA во внутренней логике CPLD сводится к необходимости выбора источника сигналов JTAG и дальнейших направлений их распространения. Во избежание повторений и закликивания в цепи JTAG на уровне прототипа необходимо построение однозначной маршрутной карты с последовательным обходом цепочки устройств по каждой ветке.

Управление построением маршрутной карты JTAG цепи FPGA и сбросов прототипа задается положением тумблеров микропереключателя, подключенного к CPLD. При этом можно выделить два режима работы модулей:

1) ведущий, когда корень маршрутной карты находится на самом модуле. Для JTAG - это соединитель программатора, а для сбросов – тактовые кнопки.

2) ведомый, когда источником сигналов конфигурации и сброса является один из соединителей интерфейсов прототипа.

Конфигурация распределённой системы эмуляции через JTAG занимает достаточно продолжительное время. В процессе первоначальной отладки RTL-описания МП в прототипе это неизбежно. Но после стабилизации некоторых блоков можно создать конфигурационные файлы ПЛИС FPGA и загрузить их во флэш-память. Это позволит сократить время подготовки системы к верификации после включения питания.

Интерфейсы прототипа типа Б используют в ПЛИС FPGA линии высокоскоростных приёмо-передатчиков (ВСПП). На их основе может быть реализован интерфейс PCIe, требующийся для работы схемы конфигурации CvP.

Системы конфигурации и сброса на этих уровнях имеют схожую топологию, но несколько различные особенности реализации. Систему сбросов модуля можно условно разделить на две части:

1) сбросы прототипа (аппаратный сброс прототипа `proto_pll_rst_` и логический сброс прототипа `proto_logic_rst_`);

2) сбросы микропроцессора (аппаратный сброс `cpu_hrst_` и программный сброс `cpu_srst_`).

Обе они реализованы с учётом сохранения универсальности модуля и особенностей матричного масштабирования системы эмуляции. Связь между модулями организована в полнодуплексном режиме. Узлами сети распространения сбросов прототипа являются ПЛИС CPLD, а сбросов МП – ПЛИС FPGA (рис. 4). Каждый из сбросов начинается с кнопки, подключённой к соответствующему узлу. Дальнейшее распространение сбросов осуществляется по системе соединённых друг с другом модулей посредством интерфейсов прототипа с учётом выбранной маршрутной карты, которая идентична для сбросов и цепи JTAG FPGA.

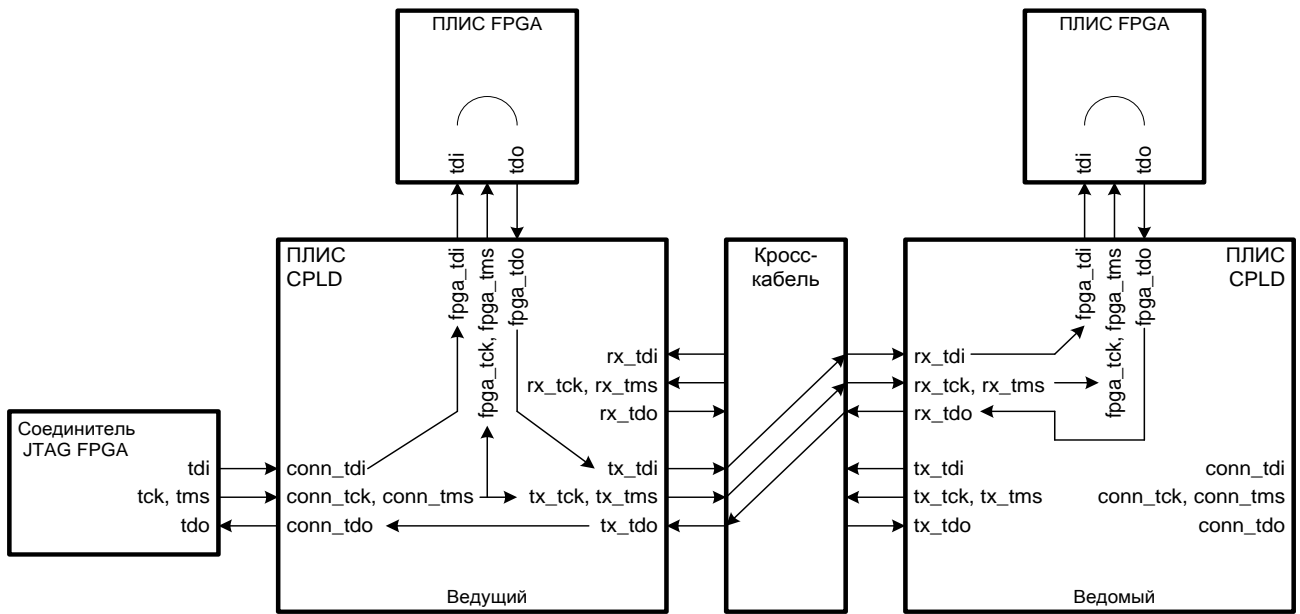


Рис. 2. Схема JTAG цепи, соединяющей два модуля

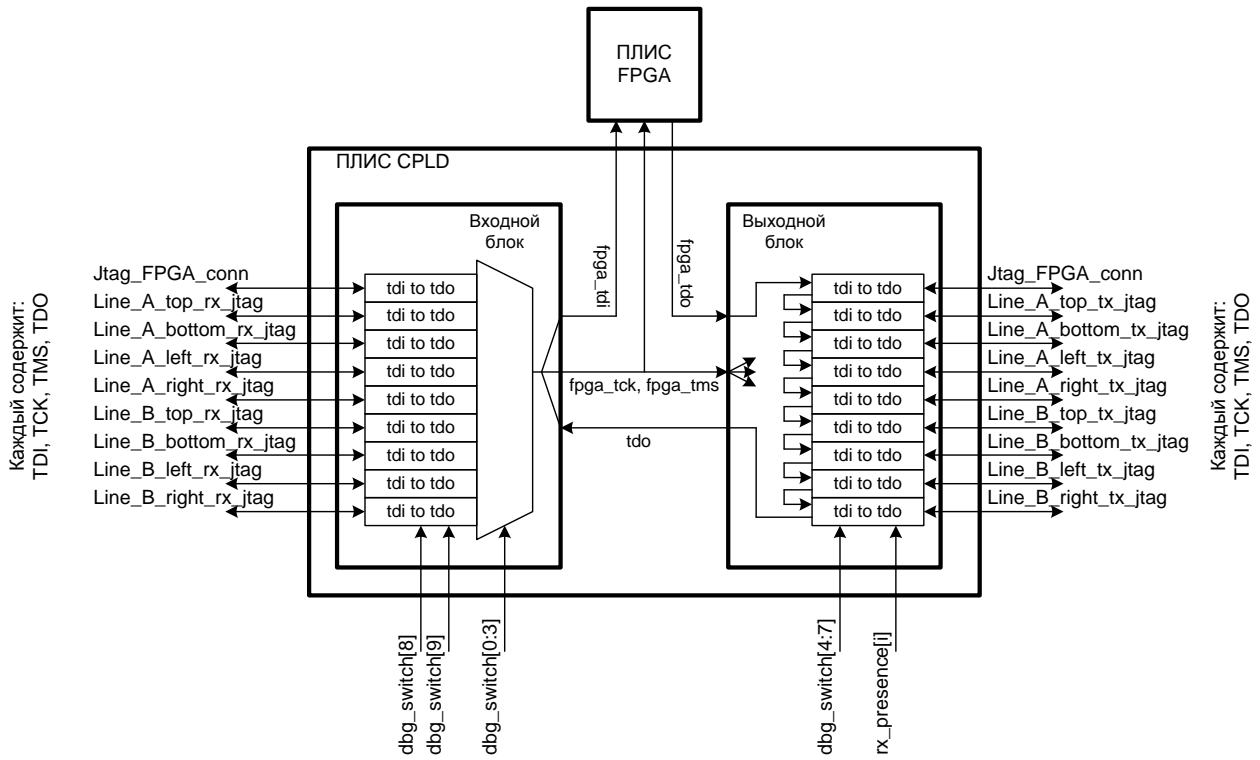
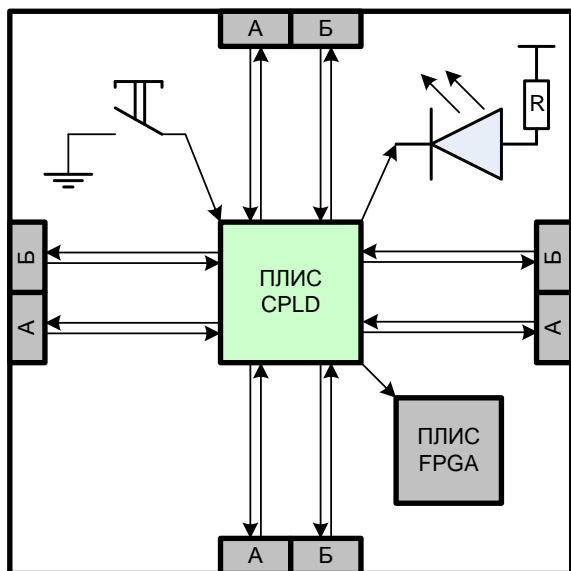
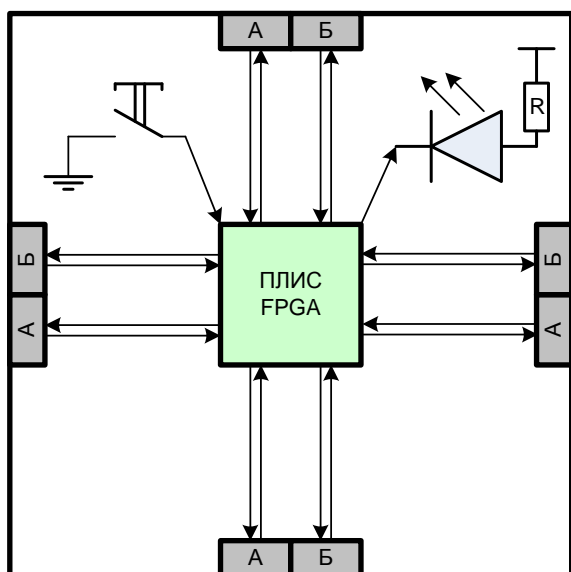


Рис. 3. Схема коммутации JTAG цепи в ПЛИС CPLD



*a*



*б*

**Рис. 4. Схема цепей сбросов в модуле эмуляции в формате КУБ-ПРО:**

*a* – сбросы прототипа; *б* – сбросы микропроцессора

### III. СИСТЕМА СИНХРОНИЗАЦИИ

Распределённая система эмуляции подразумевает деление синхронной RTL-модели микропроцессора на блоки для их загрузки в различные ПЛИС, что приводит к необходимости передачи состояний логических связей между ними. В то же время, несмотря на проведённое разделение, необходимо сохранять потактовую целостность RTL-модели на уровне системы. Для выполнения этого требования служит система синхронизации. Она обеспечивает синхронную работу логики микропроцессора,

эмулируемой на наборе ПЛИС в распределённой системе, функционирование периферийных интерфейсов, в том числе сериализаторов и десериализаторов, и бесперебойное взаимодействие блоков, работающих на разных частотах.

Вся система синхронизации прототипа состоит из трех основных групп:

1. Синхронизация логики ПЛИС.
2. Интерфейсная синхронизация.
3. Синхронизация конфигурационной схемы.

Интерфейсная синхронизация обеспечивает взаимодействие приёмников и передатчиков ПЛИС друг с другом. В новых микросхемах серии Stratix 10 цепи генерации частоты эмуляции и работы интерфейсов разделены. По этой причине для каждого канала приемо-передатчиков ПЛИС заведены отдельные синхросигналы.

Синхросигнал конфигурационной системы является независимым от синхросигнала основных ПЛИС с логикой микропроцессора. Это связано с необходимостью поддержания определённых частот, которое невозможно обеспечить при регулировке входного основного синхросигнала.

Традиционно синхронизация логики всех ПЛИС друг с другом осуществляется благодаря реализации сбалансированного дерева, корнем которого является генератор, а узлами – буферы, обеспечивающие размножение синхросигнала. Ветки деревьев на каждом уровне выравниваются между собой. Листьями дерева являются ПЛИС. Это обеспечивает одновременное поступление фронтов синхросигналов на входы ПЛИС. Однако такая традиционная система распространения синхросигнала не пригодна для реализации в масштабируемых системах, состоящих из большого количества одинаковых модулей. Во-первых, она реализуется отдельно от основных модулей и требует дополнительного оборудования и кабелей для соединения с каждым модулем. Во-вторых, в ней необходимо выдерживать одинаковую длину проводников во всех ветвях, идущих в микросхемы ПЛИС. В-третьих, переконфигурация такой схемы при увеличении количества модулей возможна только путем добавления новых веток.

В системе синхронизации КУБ-ПРО генератор, выполняющий функции корня, присутствует на каждом модуле. Для обеспечения возможности построения дерева синхронизации предусмотрен вход синхросигнала с соседних модулей через интерфейсы прототипа. Выбор источника синхросигнала - с одного из соседних модулей или из генератора - осуществляется при помощи мультиплексора. Управление мультиплексором выполняется посредством микропереключателя. Выбранный синхросигнал через систему буферов подаётся на ПЛИС и на все соединители интерфейса прототипа (рис. 5). В применяемой схеме длины трасс синхросигналов каждого уровня дерева не выровнены

между собой. В этом случае синхронность логического сброса обеспечивает одновременный старт работы логики на всех ПЛИС. Для синхронизации начала работы используется алгоритм определения задержки распространения сигнала. В качестве этой задержки фиксируется половина времени распространения сигнала от одного модуля к соседнему и обратно. Затем полученное значение используется для определения момента времени сброса устройств, подключённых непосредственно к главному модулю. Такая система позволяет последовательно распространять и размножить синхросигнал через модули, подключённые к системе. Важно отметить, что корнем системы синхронизации может быть любой модуль. В результате снимаются ограничения на масштабирование, связанные с замкнутостью традиционной системы синхронизации.

Следует подчеркнуть, что внутри ПЛИС используется PLL, генерирующая частоту эмуляции и частоты, необходимые для работы приёмопередатчиков. Изменения значения опорного синхросигнала в допустимых пределах в такой системе приводят к сбалансированному изменению частоты эмуляции и частоты передачи данных. В некоторых случаях, когда топологическая разводка проекта в ПЛИС устанавливает соотношение сигналов на границе временных ограничений, можно добиться работоспособности системы путём уменьшения опорной частоты без перекомпиляции проекта. По этой причине необходимо наличие регулируемого генератора в системе синхронизации.

Теоретическая эффективная частота эмуляции микропроцессора, рассчитанная с учетом особенностей сериализации и десериализации данных и используемых интерфейсов ПЛИС, составляет 5-10 МГц.

Замкнутость на интерфейсы прототипа создаёт ограничения. Для их ликвидации предусмотрены соединители USB, подключаемые к дополнительным входам мультиплексора и к выходу буфера. Такое решение позволяет вне зависимости от конфигурации системы прототипа подать опорный синхросигнал с внешнего источника или одной из имеющихся модулей эмуляции на дополнительное оборудование.

#### IV. СИСТЕМА ПИТАНИЯ

Основной функцией системы питания в рамках модуля является обеспечение ПЛИС FPGA, как основного элемента системы, стабилизированным напряжением, необходимым для ее надежного функционирования во всех режимах работы. В качестве входного напряжения используется +12 В, которое подается непосредственно от блока питания посредством 6-контактных угловых соединителей питания Mini-Fit или от соседних модулей эмуляции через ИПТА. Этот номинал преобразуется DC/DC преобразователями в нужные значения напряжений для питания различных цепей ПЛИС. Включение преобразователей питания должно происходить

последовательно в том порядке, который установлен в документации на ПЛИС.

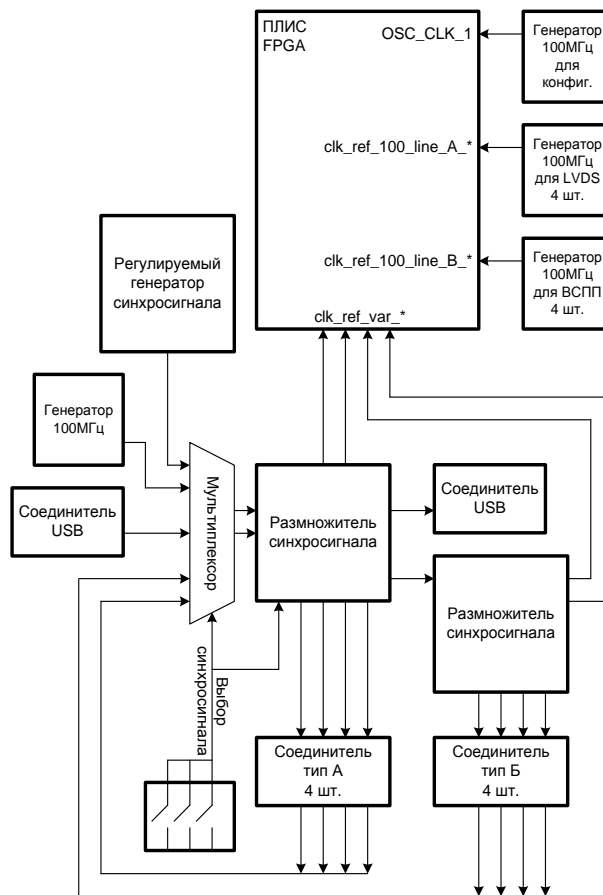


Рис. 5. Схема опорных синхросигналов в модуле эмуляции в форм-факторе КУБ-ПРО

Логической ёмкости одной ПЛИС недостаточно для загрузки в нее RTL-модели современных МП, что вынуждает использовать несколько микросхем. В целях минимизации сложности системы часто приходится использовать микросхемы, не прошедшие широкой отладки. В случае возникновения ошибок в уже выпущенных микросхемах ПЛИС формируется перечень особенностей их работы (Errata). Возможны ситуации, когда рекомендации противоречат исходной документации, а сроки и ресурсы, отведенные этапу прототипирования, не позволяют осуществить перевыпуск модулей. Для нивелирования рисков рекомендуется в подобных изделиях закладывать возможность изменений порядков включения и уровней номиналов цепей питаний.

В качестве примера таких доработок можно выделить две наиболее простые. Первая – это применение резисторов с сопротивлением 0 Ом на выходах готовности и входах разрешения включения преобразователей напряжения. Вторая – это возможность регулировки выходного напряжения на каждом DC/DC преобразователе для компенсации отклонений выходных напряжений источников питания при длительной непрерывной работе (порядка

5 лет) или изменения значений номиналов цепей питания). Регулировка осуществляется двумя способами:

1) С помощью микропереключателя меняется общее сопротивление, отвечающее за выставление номинального выходного напряжения. Шаг переключения напряжения составляет 0,1 В в диапазоне  $\pm 0,2$  В от номинального для источников питания периферии и 0,05 В в диапазоне  $\pm 0,1$  В для источников питания ядра ПЛИС.

2) С помощью шины PMBus номинальное выходное напряжение можно регулировать с шагом 0,4% в диапазоне  $\pm 25\%$  от номинального.

Таким образом, при минимальном дополнительном оборудовании обеспечивается надёжная длительная работоспособность ПЛИС FPGA, и, соответственно, модулей эмуляции.

#### V. СИСТЕМА УДАЛЕННОЙ ДИАГНОСТИКИ И УПРАВЛЕНИЯ

Модули эмуляции являются сложными системами с высоким уровнем интеграции. Учитывая большое количество используемых устройств, локализация ошибки может занять продолжительное время. Ещё более актуальной данная проблема становится, когда количество таких модулей в системе резко возрастает. В таких условиях крайне необходимым становится возможность автоматического управления и опроса для выявления неработоспособных узлов или отклонения значений выходных параметров. Для этого на уровне прототипа создаётся система удаленной диагностики и управления (СУДУ), которая в качестве программного продукта разворачивается на внешнем устройстве (менеджере), функционирование которого не связано с работой аппаратуры прототипа. Данная система имеет продолжение на уровне модуля эмуляции. Инженерная сеть модуля эмуляции обеспечивает удалённый сбор статистики по уровням напряжения и температуры, управление напряжением DC/DC преобразователей и оборотами вентиляторов, выставление сбросов прототипа и SnK, а также оповещение об аварийных ситуациях с фиксацией событий и указания места поломки. В качестве средства взаимодействия применяется интерфейс I2C.

Протокол I2C не допускает повторения адресов устройств, подключенных к одной шине. Поэтому многие устройства имеют внешние входы, с помощью которых можно задать различные значения некоторых битов адреса. Это дает возможность размещать несколько одинаковых устройств. Однако некоторые устройства имеют фиксированный адрес. Для разрешения конфликтов применяются мультиплексоры шин I2C (например, LTC4306). Так как устройства с одинаковыми адресами подключены к разным шинам, то мультиплексор соединяет только одну из них к общей шине (рис.6). Получается, что одновременно на общей шине находятся устройства только с разными адресами.

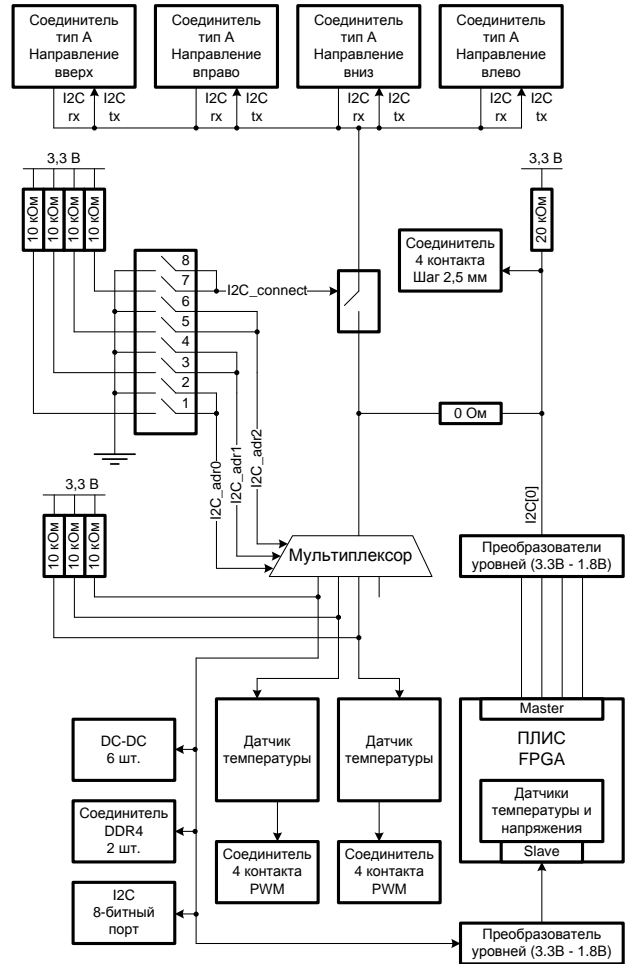


Рис. 6. Схема I2C цепей в модуле эмуляции в форм-факторе КУБ-ПРО

При использовании нескольких соединённых модулей эмуляции возможны два варианта подключения к менеджеру. Первый – каждый модуль имеет отдельный вход для подключения. Второй – все устройства системы располагаются на общей шине. При эмуляции контроллеров периферийных интерфейсов часть оборудования размещается на картах расширения, подключаемых посредством ИПТА. Поэтому выбор между представленными вариантами неочевиден. А в рамках модуля они представлены оба.

Исходя из вышесказанного, инженерная система каждого модуля эмуляции должна иметь возможность быть изолированной от общей цепи I2C. По аналогии с повторением адресов устройств всё оборудование модуля размещается за мультиплексором (рис. 6). Его входная шина I2C подключена ко всем соединителям ИПТА и 4-ёх контактным соединителю I2C по стандарту IPMB для осуществления внешнего управления.

При двумерной матричной сборке прототипа из модулей эмуляции в форм-факторе КУБ-ПРО шина I2C становится общей для всех. А каждый модуль эмуляции ассоциируется с адресом мультиплексора,

размещённого на нём. Тут присутствует ограничение по количеству доступных адресов. Так, с учётом всех пересечений с используемыми компонентами, для мультиплексора доступно 24 адреса. Соответственно, это максимальное количество модулей эмуляции, которые можно подключить в общую цепь I2C без конфликтов. Остальные модули могут работать в автономном режиме. Для этого применяется ключ, который размыкает мультиплексор от шины, проходящей через соединители ИПТА.

## VI. ЗАКЛЮЧЕНИЕ

В статье подробно описаны технические решения инженерных систем, которые обеспечивают удовлетворение требованиям, выдвинутым к прототипу на основе ПЛИС. Также показаны технические особенности реализуемых систем. Заложенные в модуль КУБ-ПРО особенности должны обеспечить возможность их повторного применения для построения прототипов для верификации новых разрабатываемых процессоров серии «Эльбрус».

## ЛИТЕРАТУРА

- [1] Synopsys Inc. – Synopsys’ HAPS® 80 brochure. Synopsys’ HAPS® Physical Prototyping Solution, 2016.
- [2] PRO DESIGN Electric GmbH – proFPGA overview brochure. FPGA Based Prototyping Solution. Modular, Flexible and Scalable - offering Highest System Performance, 2017.
- [3] Onix Ltd. Brochure of ONIX-VU440 - ASIC Emulation and Prototyping platform.
- [4] Dini Group – Product Brief DNBFC\_S12\_12\_Cluster – June 2010.
- [5] Юрлин С.В., Бычков И. Н Прототипирование на основе ПЛИС для верификации многоядерных микропроцессоров // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2014. № 4. С. 45–50.
- [6] Слесарев М.В., Юрлин С.В. Определение расчётной частоты эмуляции микропроцессора в прототипе на основе ПЛИС // Вопросы радиоэлектроники, серия ЭВТ, выпуск 3, 2014, с.119-130.
- [7] Юрлин С. В. Универсальный подход к построению масштабируемых прототипов многоядерных микропроцессоров (КУБ-ПРО) // Вопросы радиоэлектроники. 2018. № 2. С. 93–98.

# Engineering Systems of Emulation Modules in KUB-PRO Form-Factor

A.A. Ivanov<sup>1</sup>, S.V. Yurlin<sup>1,2</sup>

<sup>1</sup> JSC MCST, Moscow, Andrey.An.Ivanov@mcst.ru

<sup>2</sup> PJSC Brook INEUM, Moscow

**Abstract** — This article describes the technical solutions used to create engineering systems for emulation modules in the KUB-PRO form factor. It includes a configuration system, a reset system, a synchronization system, a power system and a remote diagnostics system. They were implemented taking into account the requirements that emerged during the analysis of the shortcomings of traditional and previous solutions for the implementation of these systems. The difficulties of integrating such solutions within a single module are shown. Such modules along with the latest high-performance FPGA-technology allow creating scalable emulation systems.

**Keywords** — module, emulation, hardware, FPGA, prototype, KUB-PRO.

## REFERENCES

- [1] Synopsys Inc. – Synopsys’ HAPS® 80 brochure. Synopsys’ HAPS® Physical Prototyping Solution, 2016.
- [2] PRO DESIGN Electric GmbH – proFPGA overview brochure. FPGA Based Prototyping Solution. Modular,

- Flexible and Scalable - offering Highest System Performance, 2017.
- [3] Onix Ltd. Brochure of ONIX-VU440 - ASIC Emulation and Prototyping platform.
- [4] Dini Group – Product Brief DNBFC\_S12\_12\_Cluster – June 2010.
- [5] Yurlin S.V., Bychkov I.N. FPGA prototyping for functional verification of multi-core processors // Problems of Perspective Micro- and Nanoelectronic Systems Development - 2014. Proceedings / edited by A. Stempkovsky, Moscow, IPPM RAS, 2014. Part IV. P. 45-50.
- [6] Slesarev M.V., Yurlin S.V. Determination of the estimated emulation frequency of the microprocessor in FPGA-based prototype // Voprosy radiojelektroniki / № 3, ser. EVT, M., 2014, pp. 119-130. (in Russian).
- [7] S. V. Yurlin. A universal approach to building scalable prototypes of multi-core microprocessors (KUB-PRO). // Voprosy radiojelektroniki / № 3, ser. EVT, M., 2018, pp. 93-98. (in Russian).