

Вопросы проектирования LDMOS-транзисторов, работающих при повышенном напряжении питания

А.А. Глушко^{1,2}, С.И. Бабкин², А.В. Амирханов², Л.А. Зинченко¹, В.В. Макаrchук^{1,2}

¹МГТУ имени Н.Э. Баумана, andrei19386@mail.ru

²ФГУ ФНЦ НИИСИ РАН, aav@srisa.ru

Аннотация — Рассмотрены вопросы проектирования LDMOS-транзисторов, ориентированных на работу при напряжении питания +12 В. Особое внимание уделено определению концентрации примеси в DRIFT-области легирования для достижения максимального напряжения пробоя транзистора.

Ключевые слова — МОП-транзистор, моделирование, технология, СБИС.

I. ВВЕДЕНИЕ

Интегральные микросхемы, выполняющие сложные функции, нашли широкое применение в электронной аппаратуре, в частности, в электронных системах управления современных автомобилей. Практически все электронные системы автомобилей ориентированы на работу при напряжении питания его бортовой сети, которая для легковых автомобилей имеет величину +12 В. Это означает, что и часть компонентов микросхем автомобильной электроники должна нормально функционировать при таком же напряжении. При этом современные стандарты диктуют довольно жесткие условия к используемой элементной базе. В частности, согласно этим документам напряжение пробоя МОП-транзистора должно по меньшей мере в 3 раза превышать его рабочее напряжение.

По изложенным выше причинам актуальной является задача проектирования микросхем, элементы которых имеют субмикронные проектные нормы и содержат помимо обычных МОП-транзисторов, работающих при стандартном напряжении питания +5 В и определяющих логику работы цифровых СБИС, еще и периферийные высоковольтные транзисторы, имеющие напряжение пробоя порядка 36 – 40 В и рабочее напряжение +12 В. Эта задача оказалась связанной с решением целого комплекса подзадач, среди которых следует отметить выбор конструкции высоковольтного МОП-транзистора и определение оптимального концентрационного профиля его областей.

II. ПРОЕКТИРОВАНИЕ КОНСТРУКЦИИ LDMOS-ТРАНЗИСТОРА

Важнейшим показателем, определяющим выбор конструкции высоковольтного МОП-транзистора, является простота ее воплощения при встраивании в существующий технологический маршрут формиро-

вания СБИС с минимальной проектной нормой 0,5 – 0,35 мкм.

Анализ существующих конструкций высоковольтных МОП-транзисторов, рассмотренных в [1-3], показал, что для существующего технологического маршрута в наибольшей степени подходит конструкция так называемого LDMOS-транзистора. Его характерной конструктивной особенностью является наличие протяженной слаболегированной области, примыкающей к области стока и называемой DRIFT-областью, что позволяет за счет малой степени ее легирования создать зону обеднения примеси, на длине которой происходит равномерное падение напряжения (рис. 1).

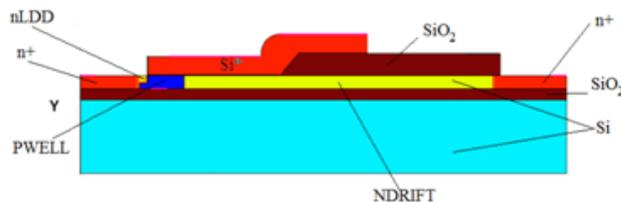


Рис. 1. Структура n-канального КНИ LDMOS-транзистора с DRIFT-областью

В результате удается существенно снизить напряженность электрического поля во всей DRIFT-области, что в свою очередь уменьшает вероятность возникновения лавинных эффектов, приводящих к пробоям МОП-транзистора.

Создание структуры, показанной на рис. 1, было сопряжено с решением нескольких практических задач. Во-первых, необходимо было определить концентрацию легирующей примеси в DRIFT-области, которая позволила бы достичь необходимого пробивного напряжения и обеспечила бы нормальное функционирование МОП-транзистора при рабочем напряжении порядка +12 В. Во-вторых, для обеспечения высокого пробивного напряжения следовало повысить запас по напряжению пробоя подзатворного диэлектрика, увеличив его толщину в LDMOS-транзисторах до величины порядка 150 – 200 Å. В-третьих, необходимо было обеспечить формирование толстого слоя диоксида кремния над DRIFT-областью. И, наконец, в-четвертых, поскольку в будущем предполагается использование LDMOS-транзисторов совместно с транзисторами, имеющими

обычное рабочее напряжение до +5 В, то необходимо было встроить технологический процесс формирования LDMOS-транзистора в существовавший техпроцесс производства СБИС.

III. МЕТОДИКА ПРОВЕДЕНИЯ РАСЧЕТОВ

В представляемой работе речь пойдет о решении задачи поиска и определения наиболее предпочтительной степени легирования DRIFT-области, при которой пробивное напряжение МОП-транзистора при заданных ограничениях на ее геометрические размеры (длина DRIFT-области не должна была превышать 6 мкм) было бы максимальным.

В проведенных с помощью системы TCAD расчетах была использована гидродинамическая модель переноса носителей электрического заряда, в которой были учтены следующие физические механизмы снижения их подвижности: рассеяние на тепловых колебаниях атомов кристаллической решетки, рассеяние на ионах примеси, воздействие сильного электрического поля, рассеяние на шероховатостях границы подзатворный окисел – кремний.

Поскольку расчет функциональных параметров МОП-транзисторов при высоких напряжениях на стоке предполагает учет эффектов лавинного умножения носителей электрического заряда, что приводит к существенному увеличению затрат времени на выполнение расчетов, то сам процесс моделирования был разбит на два этапа. На первом этапе было выполнено моделирование параметров упрощенного варианта конструкции МОП-транзистора, в котором предполагалось, что все области имеют строго прямоугольную форму, а концентрация носителей в пределах каждой области была строго постоянной. Значения концентрации в области легирования карманов, LDD-области и сильнолегированных областях истока/стока задавались константами, полученными на основе модели существующего технологического процесса, в который требовалось интегрировать процесс формирования LDMOS-транзисторов. Постоянной величиной, равной 150 Å, задавалась и толщина подзатворного окисла (выбор этого значения был продиктован ограниченными возможностями технологического оборудования). Толщина окисла над DRIFT-областью была выбрана такой, чтобы она оказалась достаточной для ее маскирования при легировании областей истоков/стоков.

При расчетах в упрощенном варианте варьировались: концентрация примеси в DRIFT-области; протяженность DRIFT-области (не более 6 мкм); длина канала МОП-транзистора; величина перекрытия слоем поликремния области толстого окисла; толщина слоя отсеченного кремния; толщина слоя захороненного окисла.

С помощью системы TCAD Sentaurus фирмы Synopsys был выполнен цикл расчетов по моделированию функциональных параметров *n*-канального МОП-транзистора с минимальной проектной нормой от 1,5 до 0,5 мкм.

При моделировании учитывалось также возможное рассовмещение топологических слоев из-за погрешностей совмещения при выполнении литографических операций. На основе полученных результатов были определены нормы на геометрические размеры структуры, в частности, норма на минимальную длину области поликремния над тонким окислом: при меньших длинах DRIFT-область легирования в наихудшем случае полностью сдвигалась в сторону толстого окисла, что приводило к потере управления МОП-транзистором с помощью затвора.

На втором этапе для конструкции МОП-транзистора, имевшей наилучшее значение пробивного напряжения и удовлетворяющей требованию рабочего напряжения в +12 В, было выполнено уже полноценное приборно-технологическое моделирование конструкции транзистора с определением оптимальных режимов ионного легирования DRIFT-области. Предварительно с помощью ВИМС-анализа (ВИМС – метод вторичной ионной масс-спектропии) была выполнена калибровка моделей процесса ионного легирования. Было показано, что довольно точно результат ВИМС воспроизводит модель Монте-Карло.

Аналогичные расчеты были выполнены и для МОП-транзисторов с каналом *p*-типа.

В итоге на основе приборно-технологического моделирования были разработаны рекомендации по структуре и составу тестового кристалла, необходимого для характеристики и контроля процесса формирования МОП-транзисторов, работающих при повышенном напряжении питания.

IV. ОБСУЖДЕНИЕ ПОЛУЧЕННЫХ РЕЗУЛЬТАТОВ

Расчеты, проведенные на первом этапе с помощью системы приборно-технологического моделирования TCAD, показали, что зависимость пробивного напряжения такого МОП-транзистора от степени легирования DRIFT-области не является монотонной (см. рис. 2). Это объясняется тем, что при больших степенях легирования ее наличие не является эффективным с точки зрения повышения пробивного напряжения, поскольку обеднения большей части ее длины не происходит. С другой стороны, при малой степени легирования и ограниченных размерах DRIFT-области происходит ее полное обеднение уже при малых напряжениях сток-исток, что также не способствует увеличению пробивного напряжения.

Результаты моделирования показали также, что напряжение пробоя практически не зависит от величины перекрытия слоем поликремния области толстого окисла.

Было установлено, что наибольшим напряжением пробоя порядка 40 В должен обладать *n*-канальный МОП-транзистор с длиной канала 1,5 мкм и размером DRIFT-области, равным 6 мкм, при уровне ее легирования порядка 2×10^{17} 1/см³. При этом наблюдалась слабая зависимость напряжения пробоя от протяженности DRIFT-области.

Перед выполнением второго этапа была предварительно выполнена калибровка моделей процесса ионного легирования карманов с использованием метода Монте-Карло. Результаты этой калибровки вместе с существовавшей в системе TCAD аналитической моделью процессов ионной имплантации и диффузии бора и фосфора представлены на рис. 3-6.

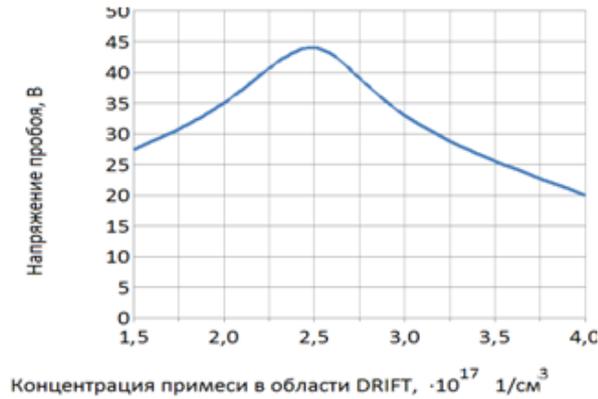


Рис. 2. Зависимость напряжения пробоя от концентрации примеси в DRIFT-области

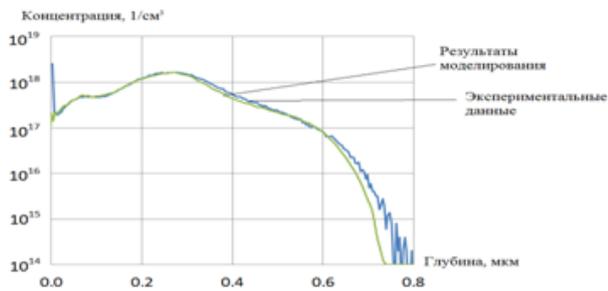


Рис. 3. Результаты калибровки модели ионной имплантации бора

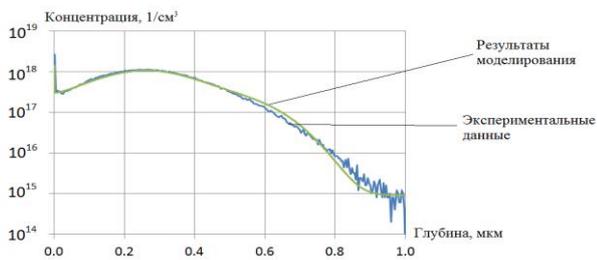


Рис. 4. Результаты калибровки модели диффузии бора

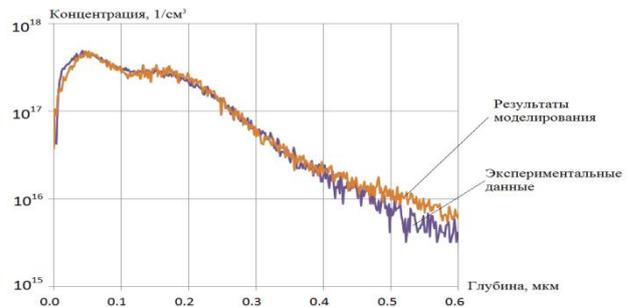


Рис. 5. Результаты калибровки модели ионной имплантации фосфора

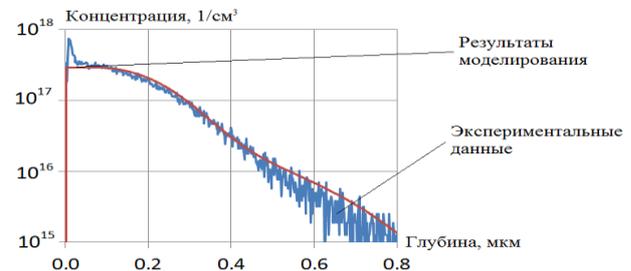


Рис. 6. Результаты калибровки модели диффузии фосфора

На втором этапе для МОП-транзистора с наибольшим напряжением пробоя было выполнено его полноценное приборно-технологическое моделирование с определением режимов процесса ионного легирования DRIFT-области. В результате была получена модель МОП-транзистора с каналом *n*-типа, расчетное пороговое напряжение которого составило 1,1 В. Его семейство расчетных вольтамперных характеристик представлено на рис. 7. Из него видно, что при напряжении на затворе 0 В в диапазоне напряжений на стоке 0–40 В не происходит заметного увеличения тока стока. Остальные характеристики были построены при напряжениях на затворе 1,5 – 5 В с шагом 0,5 В. Вольтамперные характеристики при напряжениях на затворе 0,5 В и 1 В не показаны, поскольку эти напряжения меньше расчетного порогового напряжения.

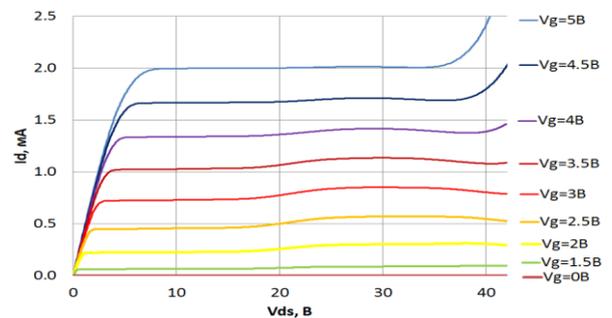


Рис. 7. Расчетное семейство вольтамперных характеристик транзисторов LDMOS с каналом *n*-типа

С целью анализа надежности подзатворного диэлектрика был определен наибольший потенциал в приповерхностном слое, находящемся под подзатворным окислом. Оказалось, что он равен приблизительно 7 В. Это значит, что в наихудшем случае подзатворный окисел толщиной 150 Å не должен быть пробит напряжением между рабочими слоями кремния и поликремния.

Аналогичное семейство вольтамперных характеристик p -канального МОП-транзистора представлено на рис. 8.

Из рис. 8 следует, что при указанных концентрациях легирования DRIFT-области p -канальный МОП-транзистор позволяет выдерживать в открытом состоянии несколько меньшие напряжения (порядка 30 В).

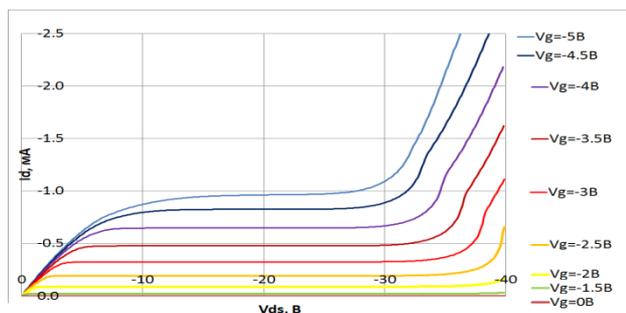


Рис. 8. Расчетное семейство вольтамперных характеристик транзисторов LDMOS с каналом p -типа

Дополнительно было рассчитано и построено распределение скорости ударной ионизации в структуре LDMOS-транзистора (рис. 9).

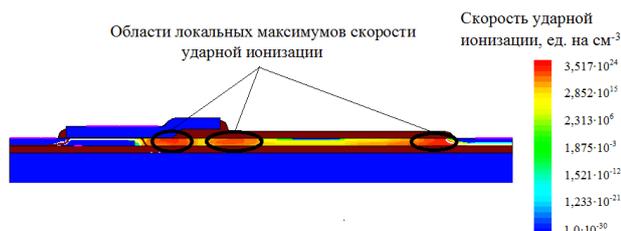


Рис. 9. Распределение скорости ударной ионизации в структуре транзистора LDMOS с каналом n -типа

Как видно из рис. 9, скорость ударной ионизации имеет несколько локальных максимумов, один из которых находится вблизи области перехода тонкого подзатворного окисла в толстый окисел над DRIFT-областью. Это значит, что хотя выбранная концентрация примеси в DRIFT-области и позволяет достигнуть максимального пробивного напряжения,

она используется малоэффективно. Об этом, кстати, говорит и слабая зависимость напряжения пробоя от протяженности DRIFT-области.

Понятно, что для увеличения ее эффективности следует уменьшать концентрацию примеси, что приведет к снижению напряжения пробоя. Отметим, что на первом этапе моделирования уже было определено, что увеличение эффективности DRIFT-области без снижения напряжения пробоя возможно только путем перехода к использованию КНИ-подложек, имеющих большую толщину слоев отсеченного кремния и захороненного окисла (толщины порядка 0,5 мкм).

V. ЗАКЛЮЧЕНИЕ

Полученные результаты моделирования были использованы при разработке технологического маршрута изготовления экспериментальной партии пластин, параметрический монитор которых содержал набор тестовых структур, включавший обычные и высоковольтные n - и p -канальные МОП-транзисторы. В результате проведения экспериментальной партии пластин были получены образцы p -канальных МОП-транзисторов, имевшие напряжение пробоя сток-исток порядка 50 В и n -канальные МОП-транзисторы с пробивным напряжением сток-исток порядка 40 В.

К сожалению, в полученных структурах не удалось полностью эффективно использовать DRIFT-область. Для увеличения ее эффективности необходимо использовать подложки с большими толщинами захороненного окисла и отсеченного кремния (порядка 0,5 мкм). В заключение заметим, что применение таких подложек потребует и кардинального пересмотра всего технологического маршрута формирования СБИС.

VI. ПОДДЕРЖКА

Работа выполнена при частичной финансовой поддержке гранта РФФИ 16-07-00676 А.

ЛИТЕРАТУРА

- [1] Ткачев А.Ю. Влияние конструктивно-технологических факторов на электрические параметры мощных СВЧ LDMOS транзисторов: дисс. на соискание ученой степени к.т.н., Воронеж, 2011, 159 с.
- [2] J.M. Park, R. Klima, S. Selberherr. High-Voltage lateral trench gate SOI-LDMOSFETs // Microelectronics Journal. v. 35. 2004. pp. 299-304.
- [3] JIA-FEI YAO et al : Low specific on-resistance SOI LDMOS device with p+p-top layer in the drift region / Jia-Fei Yao, Yu-Feng Guo, Guang-Ming Xu, Ting-Ting Hua, Hong Lin, and Jian Xiao // Journal of semiconductor technology and science, Vol.14, No.5, 2014. pp. 673-681.

Problems of Designing LDMOS-transistors Working at Increased Supply Voltage

A.A. Glushko^{1,2}, S.I. Babkin², A.V. Amirkhanov², L.A Zinchenko¹, V.V. Makarchuk^{1,2}

¹Bauman Moscow State Technical University

²Scientific Research Institute of System Analysis, aav@srisa.ru

Abstract - The problems of designing LDMOS-transistors, oriented to work with a voltage of 12 V are considered. Particular attention is paid to determining the concentration of the DRIFT doping region to achieve the maximum breakdown voltage of the transistor. The main purpose of the work is to create an LDMOS structure with breakdown Voltage about 36-40 V and operating Voltage +12V. The method used in the work is the simulation with TCAD systems of LDMOS structure in two steps. In the first step, approximate simulation is carried out, and the structure, approximately satisfying the conditions of the problem, is chosen. In the second step, the more accurate simulation is carried out, and the parameters of ion implantation steps are determined. The Breakdown Voltage dependence from impurity concentration in DRIFT area is determined. In conclusion, the experimental results are discussed. The breakdown voltage about 40V is achieved, but DRIFT area is used not efficiently. To improve the efficiency of the DRIFT area, the first wafers with box area no smaller than 0.5 μm must be used.

Keywords – MOSFET, simulation, technology, VLSI

REFERENCES

- [1] Tkachev A.U. Vliyanie konstruktivno-technologicheskikh faktorov na elektricheskie parametry moshnih SVCH LDMOS tranzistorov (The influence of constructive-technological factors on the electrical parameters of high-power microwave LDMOS transistors): diss. Na soiskanie uchenoi stepeni k.t.n., Voronezh, 2011, 159 s.
- [2] J.M. Park, R. Klima, S. Selberherr. High-Voltage lateral trench gate SOI-LDMOSFETs // Microelectronics Journal. v. 35. 2004. pp. 299-304.
- [3] JIA-FEI YAO et al : Low specific on-resistance SOI LDMOS device with p+p-top layer in the drift region / Jia-Fei Yao, Yu-Feng Guo, Guang-Ming Xu, Ting-Ting Hua, Hong Lin, and Jian Xiao // Journal of semiconductor technology and science, Vol.14, No.5, 2014. pp. 673-68.