

Электротермическое моделирование источника опорного напряжения на основе ширины запрещенной зоны кремния

А.М. Дацук¹, А.М. Балашов¹, В.П. Тимошенко², Т.Ю. Крупкина²

¹ИНР, г. Франкфурт-на-Одере, Германия, datsuk@ihp-microelectronics.com

²Национальный исследовательский университет «МИЭТ», г. Москва, Россия

Аннотация – В данной работе проведено исследование влияния топологического размещения устройств, создающих сильный температурный градиент, на параметры источника опорного напряжения на основе ширины запрещенной зоны кремния. Показано, что традиционное моделирование с использованием моделей HICUM, MEXTRAM и VIBC, даже с учетом параметров саморазогрева, не учитывает температурное влияние окружающих устройств друг на друга. Электротермическое моделирование с применением разработанного технологического файла, описывающего реальные значения теплопроводности материалов, применяемых в технологии, показало существенное изменение выходного напряжения схемы при высоких температурах.

Ключевые слова – электротермическая симуляция, теплопроводность кремния, источник опорного напряжения, библиотека базовых компонентов (PDK).

I. ВВЕДЕНИЕ

При разработке компонентов мощных высокочастотных, а также монолитных интегральных схем (ИС), превышение активных и реактивных мощностей, которые не передаются в нагрузку, рассеивается в виде тепла внутри устройства. Для того чтобы определить величину, на которую температура возросла вследствие рассеиваемой мощности внутри устройства, используют значение теплового сопротивления (R_{TH}), которое конвертирует рассеиваемую мощность в температуру. Однако для точного расчета R_{TH} необходимо учитывать влияние теплопроводности материала, которая также зависит от температуры [1], [2]. Это приводит к тому, что при изменении температуры значение R_{TH} меняется:

$$T_{HS} = T_{AMB} + R_{TH} \cdot P_{DIS} \quad (1)$$

Необходимо также учитывать латеральное распространение тепла через устройство и кремниевую подложку:

$$R_{TH} = \frac{1}{2k(L_E - W_E)} \ln \left(\frac{L_E(W_E + 2t_{SUB})}{W_E(L_E + 2t_{SUB})} \right) \text{ при } L_E > W_E, \quad (2)$$

где k – теплопроводность кремния (Вт/м·К); L_E – длина эмиттера (мкм); W_E – ширина эмиттера (мкм); t_{SUB} – параметр кремниевой подложки (мкм), означающий распространение тепла через подложку в формуле (2) для эмиттера прямоугольной формы, который

учитывает как саморазогрев устройства, так и возможное температурное влияние близлежащих устройств [3], [4].

Для проектирования ИС используется библиотека базовых компонентов и функций, или PDK (Process Design Kit), которая описывает различные активные и пассивные элементы, а также модели этих элементов для конкретного технологического процесса. Такая базовая библиотека обычно предоставляется производителем ИС. Поставляемые модели приборов, такие как транзисторы и резисторы, включают в себя параметры саморазогрева. Однако при этом модель не учитывает влияние разогрева самого прибора на близлежащие устройства. Более того, топологическое размещение элементов, а также корпусирование могут оказать существенное влияние на электротермические характеристики схемы, что также не учитывается в существующих моделях.

В данной работе проведено исследование влияния температурного градиента, вызванного усилителем мощности, на поведение источника опорного напряжения (ИОН) на основе ширины запрещенной зоны кремния. Топологическое размещение ИОН вблизи устройств, которые сильно нагреваются во время работы схемы, может привести к выходу напряжения за пределы, установленные техническим заданием. При этом существующие модели не способны смоделировать данный случай, в то время как электротермическое моделирование наглядно показывает сильное изменение выходного напряжения ИОН при высоких температурах.

II. НАСТРОЙКА ЭЛЕКТРОТЕРМИЧЕСКОГО МОДЕЛИРОВАНИЯ

В работе был использован САПР компании Keysight ADS [5], разработанная для электротермического моделирования и ориентированная на использование в прикладных задачах моделирования высокочастотных и монолитных интегральных схем. Keysight ADS выполняет полный трехмерный термический анализ микросхемы, используя данные по рассеиванию мощности из электрического моделирования схем ADS, информацию о расположении устройства из проекта топологии, а также термические

характеристики материала из комплекта описаний технологических процессов (PDK).

Электротермическое моделирование выполняется путем последовательных вычислений с помощью программ электрического и температурного моделирования схем. При этом программа температурного моделирования выдает уточненные значения температуры в программу электрического моделирования схемы, который, в свою очередь, на основе них вырабатывает скорректированные данные по рассеиванию мощности для температурного моделирования. Процесс повторяется до достижения требуемой сходимости решения. В данной работе для моделирования был использован электротермический симулятор, встроенный в программу ADS 2016.01, а также PDK SG13S, поставляемый фабрикой IHP [6].

III. РАЗРАБОТКА ИСТОЧНИКА ОПОРНОГО НАПЯЖЕНИЯ ДЛЯ ОЦЕНКИ ТЕМПЕРАТУРНОГО ВЛИЯНИЯ

Для оценки влияния термического взаимодействия компонентов схемы рассмотрим ИОН на основе ширины запрещенной зоны кремния, показанный на рис. 1. Данная схема ИОН разработана производителем интегральных схем (ИС) IHP по технологии SG13S для обеспечения выходного напряжения 1,1 В.

Напряжение V_{BE1} транзистора T1 можно определить следующим образом:

$$V_{BE1} = V_{BE2} - I \cdot R1 \quad (3)$$

Также напряжение V_{BE} биполярного транзистора связано с током коллектора уравнением Эберса-Молла:

$$I_c = I_{SAT} \cdot \left[\exp\left(\frac{V_{BE}}{\varphi_T}\right) - 1 \right] \quad (4)$$

Выходное напряжение данной схемы определяется следующим образом:

$$V_{OUT} = V_{BE} + I \cdot R3 \quad (5)$$

Подстановка выражения (4) в формулу для V_{OUT} дает (будем считать токи I_{SAT} пренебрежимо малыми):

$$V_{OUT} = V_{BE} + \varphi_T \cdot \frac{R3}{R1} \cdot \ln \frac{I_{C1}}{I_{C2}} \quad (6)$$

Обратим теперь внимание на тот факт, что V_{BE} будет иметь отрицательный температурный коэффициент (то есть уменьшается с увеличением температуры), а последний член этого выражения будет иметь положительный температурный коэффициент, поскольку:

$$\varphi_T = \frac{kT}{q} \quad (7)$$

Следовательно, надлежащим подбором отношения сопротивлений и отношения токов можно компенсировать два температурных коэффициента напряжения (ТКН) и в конечном итоге прийти к ТКН, равному нулю. Запишем конечное выражение для $ТКН_{V(OUT)}$ следующим образом:

$$ТКН_{V(OUT)} = \frac{dV_{OUT}}{dT} = \frac{dV_{BE}}{dT} + \frac{R3}{R1} \cdot \frac{k}{q} \cdot \ln \frac{I_{C1}}{I_{C2}} \quad (8)$$

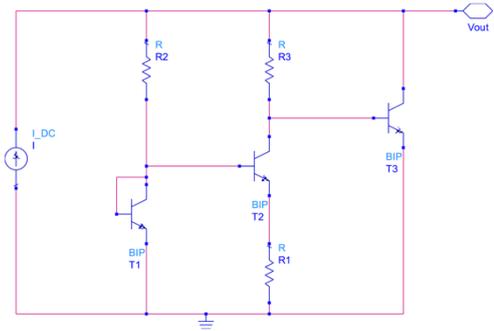


Рис. 1. Источник опорного напряжения на основе ширины запрещенной зоны кремния, изготовленный по технологии IHP SG13S

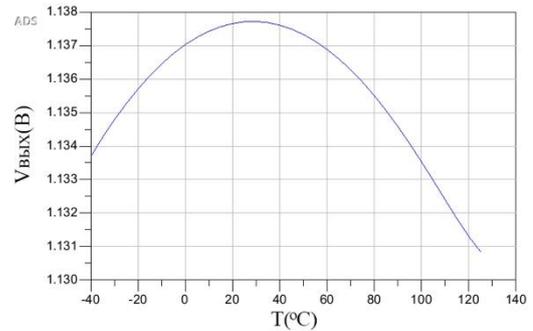


Рис. 2. Результаты моделирования источника опорного напряжения на основе ширины запрещенной зоны кремния

R3 и R2 – ИС-резисторы одинаковой конструкции и находятся в одинаковом тепловом режиме на одном и том же кристалле ИС. Относительно изменение обоих резисторов будет одинаково, и, следовательно, отношение R1/R2 не будет зависеть от температуры.

Соотношение плотности эмиттерного тока данной схемы – 1:8. Топологическое представление данного ИОН реализовано таким образом, чтобы разместить биполярные транзисторы симметрично относительно друг друга для обеспечения максимальной упаковки на кристалле. Биполярный транзистор T1 поставлен на центральное место, а восемь параллельных транзисторов T2 выстроены вокруг него. Такая плотность упаковки позволяет уменьшить занимаемую площадь микросхемы и минимизировать температурное влияние окружающих элементов.

Результаты моделирования ИОН на рис. 2 показывают относительный температурный дрейф не хуже 1 % в диапазоне температур -40...+120 °С. Однако данные результаты корректны, если верно соотношение токов I_{C1}/I_{C2} , которые, как следует из уравнения (4), зависят от температурного коэффициента φ_T . При этом данное моделирование не учитывает ни топологическое размещение элементов на кристалле, ни то, как конечный чип упакован.

IV. ЭЛЕКТРОТЕРМИЧЕСКОЕ МОДЕЛИРОВАНИЕ ИСТОЧНИКА ОПОРНОГО НАПРЯЖЕНИЯ

Задача разработчиков состоит в сокращении площади ИС. Однако увеличение плотности размещения компонентов ИС на кристалле и использование схем с высоким потреблением приводят к температурным градиентам как на поверхности, так и внутри ИС. Топология ИОН выполнена максимально компактно, чтобы предотвратить ситуации, когда биполярные транзисторы окажутся в разных температурных условиях, однако она не защищена от бокового температурного градиента (рис. 3).

Для проведения электротермического моделирования был разработан технологический файл, в который была внесена информация о теплопроводности материалов, используемых в данной технологии. Основные параметры используемых материалов указаны в табл. 1. Теплопроводности кремния и диоксида кремния зависят от температуры и технологии. Книжные значения теплопроводности кремния [7], [8] и значения после проведения оптимизации с использованием методики [1], [2] показаны на рис. 4. Оптимизированные значения теплопроводности на 30 % меньше, что коррелирует с высокой степенью легирования подложки в технологическом процессе IHP SG13S. Оптимизированные значения теплопроводности диоксида кремния для данной технологии представлены на рис. 5.

В данную PDK были добавлены специальные слои, отображающие температурные свойства материалов в технологическом файле. В топологию биполярных структур добавлены области разогрева, требуемые электротермическим симулятором. При разработке схемы с использованием ИОН по технологии SG13S фабрике IHP была поставлена задача максимально уплотнить ИС. Одним из блоков, находящихся в непосредственной близости от ИОН, была схема, создающая высокий температурный градиент.

Результаты электротермического и SPICE-моделирования показаны на рис. 6. Очевидно, что транзисторное моделирование не учитывает расположение блоков в топологии и показывает тот же результат, который изображен на рис. 2. В то же время электротермическое моделирование показывает, что при такой компоновке блоков схема перестает удовлетворять техническому заданию при температуре свыше 100 °С.

Таблица 1

Обзор материалов, используемых в технологическом процессе IHP SG13S

Материал	PolySi	Al	W
Теплопроводность Вт/(м·К)	20	237	174

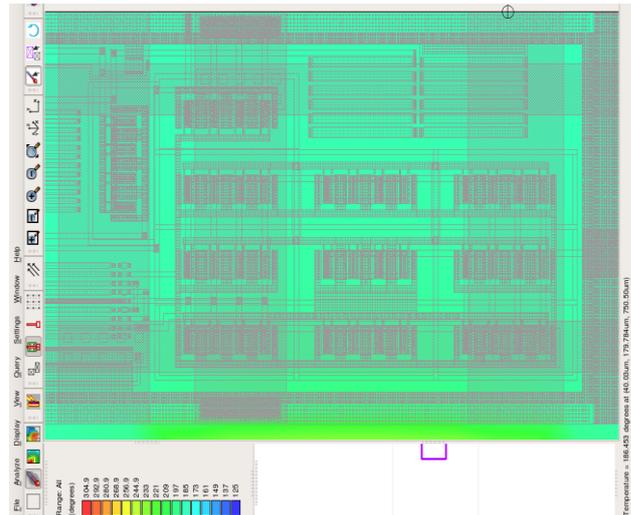


Рис. 3. Боковой температурный градиент, воздействующий на источник опорного напряжения

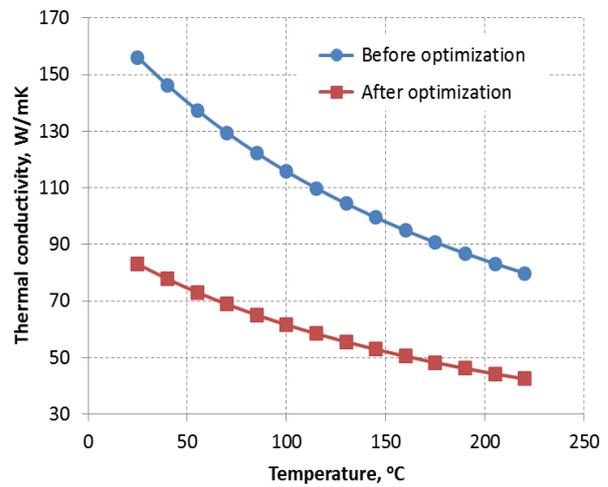


Рис. 4. Оптимизированные значения теплопроводности кремния для технологии IHP SG13S

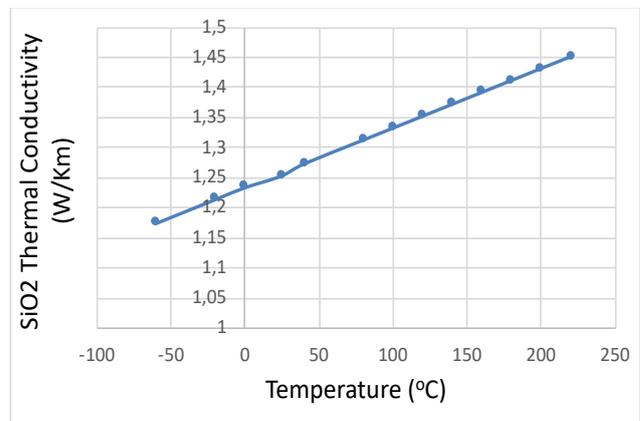


Рис. 5. Оптимизированные значения теплопроводности диоксида кремния для технологии IHP SG13S

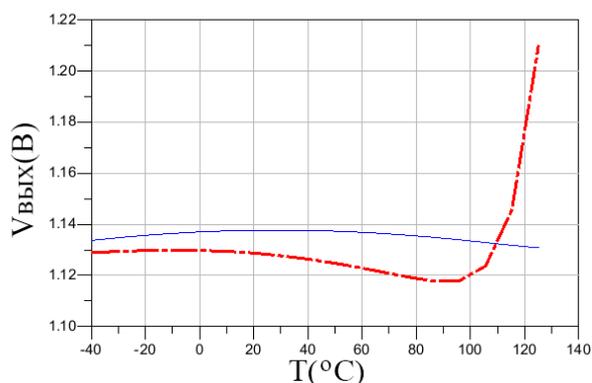


Рис. 6. Результаты электрического (сплошная линия) и электротермического (прерывистая линия) моделирования источника опорного напряжения

Из формулы (3) следует, что разность напряжений V_{BE2} и V_{BE1} пропорциональна разности температур транзисторов T1 и T2. В данном случае ΔT увеличивается, и, следовательно, увеличивается выходной ток. Как сказано выше, биполярный транзистор T2 состоит из восьми параллельных транзисторов, чтобы обеспечить соотношение токов 1:8. Поскольку температурный коэффициент напряжения примерно равен $-2,1$ мВ/К, это означает, что напряжение V_{BE2} тех транзисторов, которые нагреты больше, уменьшится; следовательно, ΔT возрастает, что и приводит к увеличению выходного тока.

V. ЗАКЛЮЧЕНИЕ

В данной работе было показано, что современные модели транзисторов, даже с учетом параметров саморазогревания, не учитывают термическое взаимодействие между устройствами, а также теплоперенос через кристалл и корпус микросхемы. На примере ИОН на основе ширины запрещенной зоны кремния показано, что современное SPICE-моделирование не способно определить потенциальные температурные проблемы, связанные с расположением элементов на кристалле. Таким образом, отсутствие в маршруте проектирования корректного электротермического моделирования может привести к серьезным проблемам, включая выход микросхемы из строя.

Для получения корректных значений электротермического моделирования необходимо

указать реальные значения теплопроводности материалов, применяемых в технологическом процессе. Для экстрагирования значений теплопроводности кремния применена методология, описанная в [1], [2]. Оптимизированные значения теплопроводности кремния и диоксида кремния позволяют разработчикам микросхем моделировать электротермические эффекты ИС с учетом как параметров саморазогрева, так и влияния разогрева близлежащих устройств. При этом результаты симуляций получаются очень близкими к результатам измерений в кремнии. Данное моделирование позволяет получить результаты как для статического (DC), так и для динамического (Transient) анализ. Любые изменения топологии сразу же учитываются электротермической симуляцией. Применение электротермического моделирования в маршруте проектирования ИС повышает надежность разработок и снижает риск выхода микросхем из строя из-за неожиданных электротермических эффектов.

ЛИТЕРАТУРА

- [1] A. Datsuk et al. Automation of electrothermal simulation based on thermal conductivity optimization. IEEE Thermal, Mechanical and Multi-Physics simulations and Experiments in Microelectronics and Microsystems, 2018.
- [2] F. Komdörfer, A. Datsuk et al. Layout based electro-thermal setup. IEEE Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2017.
- [3] Matthew T. Ozalas. The Impact of Electro-Thermal Coupling on HBT Power Amplifiers. IEEE Compound Semiconductor Integrated Circuit Symposium (CSICs), 2014.
- [4] P. Zampardi. A Study of New Base Pushout Effects in Modern Bipolar Transistors, Ph. D. dissertation, Dept. Elect. Eng., UCLA, Los Angeles, CA, 1997.
- [5] W2349EP Keysight ADS Electro-thermal simulator element <http://www.keysight.com/en/pd-2145993-pn-W2349EP/ads-electro-thermal-simulator-element?cc=DE&lc=ger> (access date: 24.04.2018).
- [6] H. Ruecker et al. A 0.13 um SiGe BiCMOS technology featuring ft/fmax of 240/330 GHz and gate delays below 3 ps. IEEE Journal of Solid-State Circuits, vol. 45, no. 9, Sep. 2010. 1678–1686 pp.
- [7] Selberherr S. Analysis and Simulation of Semiconductor Devices. Springer-Verlag, NY, 1984. 119 p.
- [8] Leturq P. et al. A New Approach to Thermal Analysis of Power Devices. IEEE Trans. Electron Devices, vol. ED24, 1987. 1147-1156 pp.

Electro-Thermal Simulation of a Bandgap

A. Datsuk¹, A. Balashov¹, V. Timoshenkov², T. Krupkina²

¹IHP, Im Technologiepark 25, 15236 Frankfurt (Oder), Germany, datsuk@ihp-microelectronics.com

²National Research University of Electronic Technology,
Shokin Square, Zelenograd, Moscow, Russia, 124498

Abstract – In this paper we researched an influence of device thermal coupling on bandgap characteristics. The straightforward RFIC / MMIC circuits, the foundry provided design-kits (DKs) together with the device models HICUM, MEXTRAM and VIBC are used. The provided device models mostly include the self-heating parameters. However, self-heating parameters are modeled only for the intrinsic device but not for the surrounding devices. Furthermore, layout and packaging issues, which have a strong influence on the thermal performance of the ICs are not considered by the foundry provided device models. This causes inaccurate simulation results of aforementioned bandgap circuit in highly integrated designs with several power devices in a close proximity. The proposed approach is based on the electrical and thermal co-simulation and optimized material stack. Co-simulation utilizes power dissipation data from the circuit simulator and passes the value to the thermal solver. The solver extracts device information and connectivity from layout and calculates device temperature based on the current power dissipation value. The temperature value is transferred back to a circuit simulator to calculate new power dissipation. This way, the thermal solver iterates with the circuit until a converged solution is reached. The process layer stack and all the required information are embedded into the foundry provided process design kit (PDK); hence allow the designer performing the electro-thermal simulations under the same design environment. The electro-thermal simulation shows significant output voltage change at high temperatures. Using the proposed flow, the circuit designers are capable to simulate the temperature affects and be aware of them before the tape out thus the reduce the malfunctioning risk of ICs due to unexpected thermal issues.

Keywords – electro-thermal simulation, device coupling, silicon conductivity, bandgap, device thermal factor.

REFERENCES

- [1] A. Datsuk et al. Automation of electrothermal simulation based on thermal conductivity optimization. IEEE Thermal, Mechanical and Multi-Physics simulations and Experiments in Microelectronics and Microsystems, 2018.
- [2] F. Korndörfer, A. Datsuk et al. Layout based electro-thermal setup. IEEE Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2017.
- [3] Matthew T. Ozalas. The Impact of Electro-Thermal Coupling on HBT Power Amplifiers. IEEE Compound Semiconductor Integrated Circuit Symposium (CSICs), 2014.
- [4] P. Zampardi. A Study of New Base Pushout Effects in Modern Bipolar Transistors, Ph. D. dissertation, Dept. Elect. Eng., UCLA, Los Angeles, CA, 1997.
- [5] W2349EP Keysight ADS Electro-thermal simulator element <http://www.keysight.com/en/pd-2145993-pn-W2349EP/ads-electro-thermal-simulator-element?cc=DE&lc=ger> (access date: 24.04.2018).
- [6] H. Ruecker et al. A 0.13 um SiGe BiCMOS technology featuring ft/fmax of 240/330 GHz and gate delays below 3 ps. IEEE Journal of Solid-State Circuits, vol. 45, no. 9, Sep. 2010. 1678–1686 pp.
- [7] Selberherr S. Analysis and Simulation of Semiconductor Devices. Springer-Verlag, NY, 1984. 119 p.
- [8] Leturq P. et al. A New Approach to Thermal Analysis of Power Devices. IEEE Trans. Electron Devices, vol. ED24, 1987. 1147-1156 pp.