

Оптимизация маршрута проектирования топологии высокопроизводительного блока по технологии 28нм

А.О. Власов, А.А. Горелов, Е.К. Эмин

ФГУ ФНЦ НИИСИ РАН, г. Москва gorelov@cs.niisi.ras.ru, emin@cs.niisi.ras.ru,
vlaalex@cs.niisi.ras.ru

Аннотация — В данной статье раскрывается проблематика оценки задержек межсоединений на всех этапах маршрута проектирования RTL-to-GDS. Приведены методические рекомендации по прохождению этапа логического синтеза с учетом топологической информации проектируемого блока и топологического проектирования с учетом особенностей технологического процесса TSMC 28nm NPC+.

Ключевые слова — TSMC 28nm NPC+, Genus, логический синтез, Inpovus, топологическое проектирование.

I. ВВЕДЕНИЕ

Уменьшение технологических норм проектирования ведет к расширению области проблематики, с которой приходится сталкиваться инженерам, занимающимся проектированием СнК. В качестве основных проблем можно выделить:

1. увеличение роли задержек межсоединений на быстродействие проекта в целом.

Для проектирования блоков, требующих высокого быстродействия, необходимо учитывать задержки межсоединений на всех этапах проектирования. Стандартный маршрут логического синтеза строит модель задержек межсоединений исходя из данных моделей паразитных параметров межсоединений, созданных САПР синтеза (Genus [1], режим PLE - physical layout estimation) на основе информации из технологических библиотек (LEF) и QRC файлов. Данная информация носит оценочно статистический характер и может иметь слабую корреляцию с реальными значениями параметров проводников конкретной топологии.

2. Проблема увеличения статической составляющей потребляемой мощности [2].

Это происходит вследствие снижения напряжения питания и его близости к значениям порогового напряжения. Снижение порога для увеличения быстродействия транзисторов приводит к резкому росту токов утечки, а его увеличение снижает выходной ток и нагрузочную способность. Таким образом, параметр статической мощности становится таким же критичным, как и быстродействие.

3. Увеличение количества необходимых для эффективного проектирования условий анализа работы проекта.

Для достижения оптимальных параметров необходимо вводить углы, связанные с анализом и оптимизацией не только быстродействия и минимальных задержек цепей, но и рассматривать условия критичные по параметру статической мощности.

4. Увеличение количества вариантов реализации функциональных ячеек, что создает проблему выбора оптимального набора библиотечных элементов для проектирования.

Последний пункт вытекает из используемых технологических библиотек проектирования. В рассматриваемом в данной статье случае проектирование проводилось в базе технологического процесса TSMC 28nm NPC+[3]. Функциональные элементы используемых библиотек классифицируются по различным значениям порогового напряжения:

- HVT (High voltage threshold) — ячейки с высоким значением порогового напряжения;
- RVT (Reference voltage threshold) — ячейки с номинальным значением порогового напряжения;
- LVT (Low voltage threshold) — ячейки с низким значением порогового напряжения;

Также каждая библиотечная ячейка имеет варианты реализации на транзисторах с различной длиной каналов (30нм, 35нм, 40нм). Только данное разделение предлагает на выбор пользователя 9 вариантов реализации каждой функциональной ячейки; кроме того, в библиотеке присутствуют различные аналоги, выполняющие ту же логическую функцию, но имеющие другую топологическую реализацию, а, следовательно, и другие значения параметров ячейки. Данное обстоятельство позволяет проводить более тонкую оптимизацию критических путей и статической мощности при проектировании по технологическим нормам TSMC 28nm NPC+.

В данной статье были рассмотрены решения вышеописанных проблем на примере проектирования высокопроизводительного блока микропроцессорного ядра CPU, разрабатываемой в НИИСИ РАН микросхемы серии KOMDIV-64 по технологическим нормам TSMC 28nm NPC+. Данный блок критичен по

быстродействию и потребляемой мощности. Анализ результатов логического синтеза и топологического проектирования блока проводился в наиболее критичных по быстродействию и статической мощности условиях.

Для проектирования использовалось программное обеспечение компании CADENCE: Genus (логический синтез) и Innovus [4] (топологическое проектирование).

II. ОПТИМИЗАЦИЯ ПРОЕКТА НА ЭТАПЕ ЛОГИЧЕСКОГО СИНТЕЗА

Анализируя предыдущий опыт проектирования ИС можно увидеть, что результаты, полученные после этапа логического синтеза, сильно отличаются от результатов топологического проектирования, что приводит к повторному синтезу проекта и оптимизации накладываемых временных и физических ограничений SDC (Synopsys design constraints). Для уменьшения диапазона разброса данных и достижения наилучшей корреляции необходимо проводить логический синтез с топологической оценкой паразитных параметров межсоединений. Для этого нужно разработать и использовать план расположения макроблоков и интерфейсных входных/выходных портов. САПР Genus предлагает две разновидности маршрута прохождения логического синтеза с топологической оценкой:

- логический синтез с первичной топологической оценкой межсоединений
- логический синтез с точной топологической оценкой межсоединений и расположения интерфейсных входных/выходных портов, элементов памяти, заказных блоков.

Для реализации логического синтеза в топологических режимах необходимо задать геометрические ограничения разрабатываемого блока. Для этого был сделан оценочный синтез микропроцессорного ядра CPU (с сохранением иерархии на всех уровнях блока) в режиме PLE. При помощи САПР Innovus был построен план расположения макроблоков и интерфейсных портов и сохранен в формате DEF. С учетом данного плана был запущен синтез в двух вышеуказанных топологических режимах.

Для анализа полученных результатов воспользуемся сравнением полученных схем блоков (нетлистов) с результатами их топологического проектирования на этапе preCTS с использованием одной и той же топологической информации так как во время прохождения синтеза оценка и оптимизация происходит по setup time (времени предустановки тактового сигнала). Результаты синтеза в режиме PLE и топологических режимах приведены в табл. 1. Для оценки полученных данных была проведена нормировка всех значений на величины, полученные при синтезе в режиме PLE.

Значения критических параметров блока, полученные на этапе логического синтеза в САПР Genus

ssg_0p81v_125c	T, нс	Pleack, МВт	Ptotal, МВт	S, мм ²
Синтез в режиме PLE	1	1	1	1
Синтез в режиме spatial	1,07	1,09	1,48	1,06
Синтез в режиме physical	1,13	1,10	1,21	1,04

Как видно из табл. 1, синтез с топологической оценкой позволяет привнести большую пессимистичность в полученные результаты. Разница в полученных результатах объясняется более точной оценкой задержек межсоединений и учетом влияния плана расположения входных/выходных интерфейсных портов и макроблоков. В связи с этим САПР Genus прикладывает дополнительные усилия по оптимизации имеющейся схемы блока.

III. ОТЛИЧИЯ ЛОГИЧЕСКОГО СИНТЕЗА С ПЕРВИЧНОЙ ТОПОЛОГИЧЕСКОЙ ОЦЕНКОЙ И СИНТЕЗА С ТОЧНОЙ ОЦЕНКОЙ МЕЖСОЕДИНЕНИЙ

Топологический режим позволяет подключать вычислительные и оптимизационные алгоритмы САПР Innovus на этапе синтеза. Логический синтез с первичной топологической оценкой межсоединений включает в себя:

- считывание топологической информации;
- проведение этапа placement (расстановки функциональных библиотечных ячеек по площади блока) и виртуальной трассировки межсоединений;
- оценку длин межсоединений для более точной оценки задержек.

Логический синтез с точной топологической оценкой межсоединений включает все пункты, описанные выше, а также следующие этапы:

- расстановка стандартных ячеек с последующей временной оптимизацией,
- расчет возможных задержек тактового сигнала (useful skew) для оптимизации временного бюджета критических путей,
- оптимизация буферизации нагрузок с учетом полученных уточнённых данных о длинах проводников.

Данные режимы необходимы для создания временных и физических ограничений, накладываемых на блок, для устранения интерфейсных нарушений по времени предустановки тактового сигнала, а также нарушений по **max_transition** и **max_capacitance**.

Рассматривая более подробно выходные данные, полученные после этапа логического синтеза, можно заметить какие изменения претерпел нетлист после синтеза в топологических режимах (табл. 2).

Таблица 2

Количество структурных элементов, входящих в состав инверторного и буферного деревьев

ssg_0p81v_125c	N элементов	N инверторов	N буферов
Синтез в режиме PLE	1	1	1
Синтез в режиме spatial	1,24	1,94	1,62
Синтез в режиме physical	1,17	1,62	2,74

Разница в составе вышеуказанных деревьев объясняется виртуальной трассировкой межсоединений, учетом паразитных сопротивлений и емкостей. В каждом из режимов разная степень точности моделирования. В табл. 3 представлены данные, полученные на этапе preCTS, при использовании двух нетлистов (полученные после синтеза в режиме PLE и режиме physical).

Таблица 3

Корреляция данных различных режимов логического синтеза и топологического проектирования

ssg_0p81v_125c	T	P _{leak}	P _{total}	S
preCTS (PLE)	1,18	1,87	2,30	1,17
preCTS(physical)	1,05	1,11	1,15	1,08

Из табл. 3 видно, что корреляция между результатами логического синтеза в режиме PLE и топологическим проектированием по быстродействию составляет 18%, по мощности утечки 87 %, по площади 17%.

Корреляция между результатами логического синтеза в режиме точной топологического оценки и топологического проектирования по быстродействию составляет 5%, по мощности утечки 11 %, по площади 8%.

По всем критическим параметрам корреляция значений составляет не более 15%. Предложенный маршрут позволяет достичь меньшего разброса показателей критических параметров, что позволяет избежать повторного логического синтеза проекта при неудовлетворительных результатах топологического проектирования.

IV. ОПТИМИЗАЦИЯ ОСНОВНЫХ КРИТИЧЕСКИХ ПАРАМЕТРОВ CPU НА ЭТАПЕ ЛОГИЧЕСКОГО СИНТЕЗА С ИСПОЛЬЗОВАНИЕМ ВСЕХ ВОЗМОЖНОСТЕЙ БИБЛИОТЕКИ TSMC_28NM NPC+

В данном разделе рассмотрим способы оптимизации проекта по трем основным критическим характеристикам:

- критическая частота работы проекта,
- площадь,
- статическая потребляемая мощность.

Рассматривая полученные данные при исследовании библиотек TSMC_28nm NPC+, был создан список необходимых функциональных ячеек

для проведения логического синтеза. В этот список не вошли ячейки, дающие преимущества только на этапе топологического проектирования

Оптимизация проводилась в 2 этапа:

- оптимизация площади и быстродействия проекта,
- ослабление ограничений на используемые библиотеки, использование HVT ячеек для оптимизации статической составляющей потребляемой мощности.

Таблица 4

Оптимизация быстродействия и потребляемой мощности в топологическом режиме

ssg_0p81v_125c, режим physical	T	P _{leak}	P _{total}	S
Синтез на RVT элементах	1	1	1	1
Оптимизация LVT элементами	0,95	1,52	1,22	0,80
Оптимизация HVT элементами	1,03	0,42	0,99	0,81

Оптимизация проекта по площади достигнута использованием буферов и инверторов с наименьшим значением выходного тока (x1) всех длин каналов и пороговых напряжений. Это способствовало увеличению количества используемых элементов и дало значительный выигрыш по потребляемой мощности.

V. ВЫБОР ОПТИМАЛЬНОГО НАБОРА УГЛОВ ИМПЛЕМЕНТАЦИИ НА ЭТАПЕ ТОПОЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ

Помимо упомянутых выше особенностей, поставщик рассматриваемой библиотеки стандартных элементов предоставляет технологические файлы на следующие 9 углов имплементации: для медленных (с пониженным напряжением питания), номинальных и быстрых (с повышенным напряжением питания) моделей транзисторов при трех различных значениях температуры (в диапазоне от -40°C до 125°C). Кроме того, в наличии у пользователя имеются 5 различных вариантов моделей экстракции паразитных параметров межсоединений для каждого значения используемых температур: RCworst, RCbest, Cbest, Cworst, Typical. Таким образом, существует $N_{PVT} \cdot N_{EXTR} = 45$ различных вариантов реализации проектируемого блока в зависимости от условий эксплуатации и технологического изготовления.

Полученные комбинации в структуре самого САПР формируются в т.н. представления параметров блока (views). САПР позволяет задать угол имплементации (один или несколько), который будет использоваться для анализа временных параметров и параметров потребления, а также последующей оптимизации. Следует отметить, что критические параметры для данной схемы могут наблюдаться для различных углов имплементации. Например, низкотемпературный ss угол (медленные PMOS и NMOS) характеризуется большими значениями внутренних задержек в элементах, что будет значительно сказываться на

быстродействию схемы. Для низкотемпературного угла ff (быстрые PMOS и NMOS), наоборот, характерны нарушения задержек удержания сигнала. В то время как высокотемпературный ff угол позволяет оценить максимальную величину суммарной мощности потребления. Таким образом, наиболее критичные значения параметров схемы могут наблюдаться при различных углах имплементации. Это приводит к необходимости проектирования работы схемы одновременно в нескольких углах имплементации. Для этого в современных средствах автоматизации существует режим оптимизации проекта Multi-mode multi corner (МММС).

Использовать все доступные углы и технологические библиотеки нецелесообразно [5,6], поэтому в начале маршрута проектирования следует провести тестовый вариант маршрута с его оптимизацией для одного угла, пусть и критичного для определенного параметра, но при этом определить параметры такого варианта реализации микросхемы для всех доступных углов имплементации. По итогам такого исследования следует определить несколько критичных углов и в дальнейшем проводить маршрут проектирования с учетом оптимизации для них.

Можно отметить, что в рамках данного технологического процесса появилась новая вариация углов имплементации, соответствующих медленным моделям транзисторов, а именно ssg. Дело в том, что при оптимизации технологического процесса удалось предпринять ряд шагов, существенно снижающих вероятность отклонений параметров элементов, размещаемых на кристалле. Наглядно это можно проиллюстрировать на рис. 1.

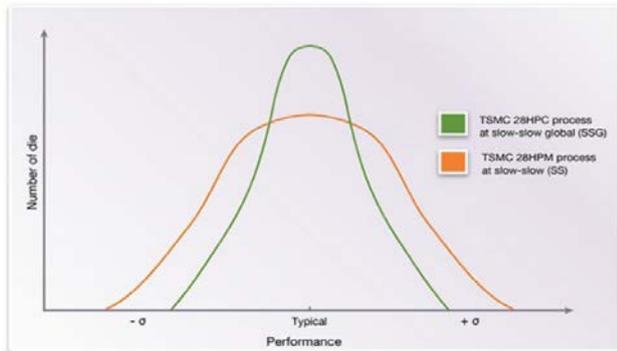


Рис. 1. Распределение вариаций техпроцесса для ss и ssg углов имплементации.

Для оценки будут использоваться следующие параметры: быстродействие, задержки удержания сигнала, полной потребляемой мощности и статической мощности потребления.

Было решено проводить такой анализ после каждого этапа маршрута топологического проектирования. Результаты исследования приведены в таблицах 4-7 (1 - этап размещения стандартных ячеек с идеальной моделью распространения синхросигнала, 2 - этап построения дерева распространения тактовых импульсов, 3 - этап финальной трассировки

межсоединений, 4 - этап финальной оптимизации). Следует отметить, что данные нормировались по значениям, соответствующим низкотемпературному варианту с медленными моделями транзисторов.

Рассмотрим таблицу 4. Следует отметить, что относительное изменение запаса по параметру минимальных задержек удержания уменьшается с каждым последующим этапом маршрута проектирования. Это объясняется уточнением параметров паразитных межсоединений в ходе проектирования.

Таблица 4

Относительное изменение быстродействия на разных этапах выполнения маршрута проектирования

Углы имплементации	1	2	3	4
ssg_0p81v_m40c	0,99	0,70	0,70	0,70
ssg_0p81v_0c	1,00	0,69	0,69	0,69
ssg_0p81v_125c	1,00	0,68	0,67	0,67
tt_0p9v_25c	1,10	1,01	1,01	1,01
tt_0p9v_85c	1,10	1,02	1,01	1,01
tt_0p9v_125c	1,10	1,16	1,16	1,16
ff_0p99v_m40c	1,12	1,11	1,11	1,11
ffg_0p99v_0c	1,12	1,13	1,12	1,12
ffg_0p99v_125c	1,11	1,14	1,13	1,13

Можно наблюдать, что наиболее критичные значения с точки зрения быстродействия наблюдаются для углов ssg. Таким образом, хотя бы одну из трех доступных вариаций медленных транзисторов следует применять при проектировании. Кроме того, наименьшее значение параметра setup slack наблюдается для моделей паразитных параметров rcbest и cbest, т.к. они показывают практически аналогичные результаты — в худшем случае на 16% меньше, чем typical. Таким образом, можно отметить высокотемпературный угол имплементации ssg и варианты экстракции паразитных моделей межсоединений rcbest и cbest как критичные для параметров быстродействия микросхемы и рекомендованные к использованию в ходе проектирования.

Далее рассмотрим табл. 5. Худшими характеристиками по запасу параметра минимальных задержек удержания сигнала в ходе проектирования обладают углы имплементации ff в целом, и модель экстракции паразитных межсоединений cworst в частности. Таким образом, низкотемпературный угол имплементации ff и модель экстракции cworst также следует отметить как критичные для времени предустановки сигнала.

Таблица 5

Относительное изменение задержек удержания тактового сигнала на разных этапах выполнения маршрута проектирования

Углы имплементации	2	3	4
ssg_0p81v_m40c	1,13	1,13	1,13
ssg_0p81v_0c	1,01	1,05	1,05
ssg_0p81v_125c	1,00	0,98	0,98
tt_0p9v_25c	0,76	0,83	0,83
tt_0p9v_85c	0,79	0,81	0,81
tt_0p9v_125c	0,80	0,80	0,80
ff_0p99v_m40c	0,16	0,31	0,31
ffg_0p99v_0c	0,23	0,36	0,36
ffg_0p99v_125c	0,42	0,44	0,44

Из табл. 6 следует, что максимальные значения полной потребляемой мощности наблюдаются для всех высокотемпературных углов имплементации и моделей экстракции cworst. Кроме того, данный параметр увеличивается по мере выполнения каждого последующего этапа проектирования. Все высокотемпературные углы имплементации рекомендуются при проектировании для оценки параметров полного потребления и возможности последующей оптимизации.

Более того, как видно из табл. 7 – максимальные значения мощности потребления, обусловленной токами утечки, также наблюдаются для высокотемпературных углов имплементации, что подтверждает необходимость их использования. Кроме того, данный параметр никак не зависит от параметров межсоединений, поэтому его зависимость от моделей экстракции можно не рассматривать.

Также необходимо подчеркнуть, что значение статической мощности потребления для высокотемпературного угла имплементации ffg – составляет 29% от полной мощности потребления.

Из всего вышесказанного следует, что наиболее критичные с точки зрения проектирования – это высокотемпературные углы имплементации ssg, ff и tt, а также низкотемпературный ssg, характеризующийся худшими результатами для быстродействия.

Было принято решение выделить и использовать в дальнейшем 5 наиболее критичных углов имплементации:

- 1) ssg125c – характеризующийся низкими значениями быстродействия и позволяющий оценить статическую мощность потребления.
- 2) ssgm40c – характеризующийся наибольшими внутренними задержками ячеек среди ss углов.
- 3) tt125c – характеризующийся худшими характеристиками среди tt углов.

- 4) ffg125c – характеризующийся максимальными значениями мощности потребления.
- 5) ffgm40c – характеризующийся наилучшим быстродействием.

Для всех вариантов рекомендуется применять критичные параметры моделей межсоединений, однако в данном случае при проектировании будет использоваться вариант экстракции rcbest, т.к. данная модель межсоединений характеризуется наименьшим запасом параметра минимальных задержек удержания сигнала, а, следовательно, является наиболее критичной.

Таблица 6

Относительное изменение полной потребляемой мощности после каждого этапа маршрута проектирования

Углы имплементации	1	2	3	4
ssg_0p81v_m40c	0,81	0,97	1,00	0,99
ssg_0p81v_0c	0,81	0,97	1,01	1,00
ssg_0p81v_125c	1,00	1,18	1,22	1,21
tt_0p9v_25c	1,17	1,46	1,51	1,50
tt_0p9v_85c	1,29	1,60	1,66	1,65
tt_0p9v_125c	1,60	1,93	1,99	1,99
ff_0p99v_m40c	1,44	1,81	1,97	1,87
ffg_0p99v_0c	1,45	1,82	1,89	1,88
ffg_0p99v_125c	2,46	2,88	2,96	2,96

Таблица 7

Относительное изменение статической потребляемой мощности после каждого этапа маршрута проектирования

Углы имплементации	1	2	3	4
ssg_0p81v_m40c	0,003	0,003	0,003	0,003
ssg_0p81v_0c	0,01	0,01	0,01	0,01
ssg_0p81v_125c	1,00	1,04	1,05	1,06
tt_0p9v_25c	0,07	0,07	0,07	0,07
tt_0p9v_85c	0,69	0,72	0,73	0,74
tt_0p9v_125c	2,41	2,51	2,54	2,58
ff_0p99v_m40c	0,03	0,03	0,03	0,03
ffg_0p99v_0c	0,09	0,10	0,10	0,10
ffg_0p99v_125c	5,40	5,63	5,69	5,78

VI. ПОВТОРНОЕ ПРОХОЖДЕНИЕ МАРШРУТА ТОПОЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ

Был проведен маршрут топологического проектирования в режиме оптимизации сразу для нескольких наиболее критичных углов

имплементации. Результаты можно увидеть в таблицах 8-11.

Сразу следует подчеркнуть существенное увеличение быстродействия по времени предустановки сигнала – на +31% для наиболее критичного низкотемпературного ss угла.

Минимальное значение параметра задержек удержания также увеличилось на +7% для каждого из быстродействующих ff углов.

Увеличение максимального значения полной мощности потребления составляет 29%, а статической – 11%, что обусловлено содержанием большего числа элементов – наблюдается 16% рост числа элементов и 8% рост суммарной площади всех элементов, размещенных на кристалле. Данный факт объясняется необходимостью оптимизации путем не только изменения типов уже используемых элементов, но и постановки новых буферов и инверторов для обеспечения необходимых фронтов сигналов, которые, в свою очередь, могут обладать большей площадью.

Таблица 8

Относительное изменение быстродействия на разных этапах выполнения маршрута проектирования.

Углы имплементации	1	2	3
ssg_0p81v_m40c	0,98	0,70	0,69
ssg_0p81v_0c	0,98	0,69	0,69
ssg_0p81v_125c	0,98	0,68	0,68
tt_0p9v_25c	1,08	1,05	1,05
tt_0p9v_85c	1,08	1,06	1,06
tt_0p9v_125c	1,08	1,20	1,20
ff_0p99v_m40c	1,11	1,16	1,16
ffg_0p99v_0c	1,10	1,17	1,17
ffg_0p99v_125c	1,15	1,18	1,18

Таблица 9

Относительное изменение задержек удержания тактового сигнала на разных этапах выполнения маршрута проектирования

Углы имплементации	2	3	4
ssg_0p81v_m40c	1,81	1,43	1,40
ssg_0p81v_0c	2,10	1,46	1,43
ssg_0p81v_125c	1,89	1,43	1,40
tt_0p9v_25c	1,45	1,47	1,44
tt_0p9v_85c	1,44	1,38	1,35
tt_0p9v_125c	1,44	1,68	1,64
ff_0p99v_m40c	0,44	0,39	0,38
ffg_0p99v_0c	0,56	0,51	0,50
ffg_0p99v_125c	0,78	0,71	0,70

Таблица 10

Относительное изменение полной потребляемой мощности после каждого этапа маршрута проектирования

Углы имплементации	1	2	3	4
ssg_0p81v_m40c	0,004	0,004	0,004	0,004
ssg_0p81v_0c	0,01	0,01	0,01	0,01
ssg_0p81v_125c	1,0	1,1	1,2	1,2
tt_0p9v_25c	0,1	0,1	0,1	0,1
tt_0p9v_85c	0,7	0,8	0,8	0,8
tt_0p9v_125c	2,6	2,8	2,9	2,9
ff_0p99v_m40c	0,0	0,0	0,0	0,0
ffg_0p99v_0c	0,1	0,1	0,1	0,1
ffg_0p99v_125c	5,7	6,3	6,6	6,4

Таблица 11

Относительное изменение статической потребляемой мощности после каждого этапа маршрута проектирования

Углы имплементации	1	2	3	4
ssg_0p81v_m40c	0,7	1,0	1,1	1,1
ssg_0p81v_0c	0,7	1,0	1,1	1,1
ssg_0p81v_125c	0,9	1,2	1,3	1,3
tt_0p9v_25c	1,1	1,6	1,7	1,6
tt_0p9v_85c	1,2	1,7	1,9	1,8
tt_0p9v_125c	1,5	2,1	2,2	2,2
ff_0p99v_m40c	1,3	1,9	2,1	2,1
ffg_0p99v_0c	1,3	2,0	2,1	2,1
ffg_0p99v_125c	2,3	3,1	3,4	3,3

VII. ЗАКЛЮЧЕНИЕ

Проведенное исследование, объектом которого являлось ядро CPU микропроцессора KOMDIV-64, позволило сформировать ряд подходов по оптимизации маршрута проектирования:

- Был предложен маршрут логического синтеза с топологической оценкой параметров межсоединений и учетом плана расположения макроблоков и входных/выходных интерфейсных портов.
- Предложены способы оптимизации блока по быстродействию и по статической составляющей потребляемой мощности, использующие весь потенциал рассматриваемых технологических библиотек TSMC 28nm HPC+.

- Был обоснован набор из 5 углов имплементации, рекомендованных к проектированию.

По итогу выполнения маршрута проектирования в режиме МММС была получена реализация блока, обладающая наиболее оптимальными характеристиками, полностью удовлетворяющими техническое задание во всех крайних условиях эксплуатации. Полученные результаты будут применены для других проектов, разрабатываемых в НИИСИ РАН по технологическим нормам 28нм.

ЛИТЕРАТУРА

- [1] Genus User Guide for Legacy UI. Product Version 16.2. April 2017, Cadence Design Systems, Inc.
 [2] Власов А.О. “Оптимизация потребляемой мощности

микросхем с использованием транзисторов с разным пороговым напряжением” 13-я Российская научно-техническая конференция “Электроника, микро- и наноэлектроника” Сборник научных трудов, 2011, с.65-68.

- [3] Dolphin Technology Standard Cell Usage Document, September 2012, Dolphin Technology, Inc.
 [4] Innovus User Guide. Product Version 16.20. November 2016, Cadence Design Systems, Inc.
 [5] CMOS VLSI Design A Circuits and Systems Perspective, Fourth Edition, Neil H.E. Weste, David Money Harris, 2011, Pearson Education, Inc.
 [6] TSMC 28 NM CMOS Logic Design Rule (LLN28HP/HPL/HPM/HPC/HPC+/ULP). Taiwan Semiconductor Manufacturing Co., LTD.

Optimization of TSMC 28nm Physical and Logical VLSI Design Flow

A.O. Vlasov, A.A. Gorelov, E.K. Emin

Federal State Institution “Scientific Research Institute for System Analysis of the Russian Academy of Sciences”, Moscow, Russia, email: vlaalex@cs.niisi.ras.ru, gorelov@cs.niisi.ras.ru, emin@cs.niisi.ras.ru

Abstract - The article reveals the problems of analysis of parasitic delays at all stages of the RTL-to-GDS design flow. As a result, recommendations for performing logical and physical design flows for the technological process TSMC 28nm HPC+ have been formed.

As feature size standards decrease, the number of problems related to the optimization and performing of VLSI development flows has been increased.

As the main problems it is possible to allocate:

1. Increasing role of parasitic delays for the overall project's performance
2. The problem of increasing static power consumption
3. Increasing the number of required conditions for effective design analysis
4. Increasing the number of functional cells options, which creates the problem of choosing the optimal set of library elements for design

As an example we have chosen the high performance CPU block which is a part of KOMDIV-64 chip developed in SRISA RAS. Performance of this block is as critical as power consumption. Analysis of the results of logical and physical synthesis flows was performed considering the most critical parameters such as performance and static power consumption. The whole flow of integral circuit development has been carried out using CADENCE software. Logic synthesis has been performed in EDA GENUS, physical – EDA INNOVUS.

EDA Genus offers two modes of logical synthesis: synthesis with physical layout estimation (PLE) and synthesis with topographical estimation, based on parasitic parameter extraction and topological location of input/output interface ports, memory elements, custom blocks. The results obtained in each of the modes allowed us to suggest a number of recommenda-

tions for the logical design flow. Also the optimization of design critical parameters was performed with the TSMC_28nm HPC+ technology special features.

Also as a part of physical synthesis an optimal set of the PVT implementation corners was considered. Taking into account 9 PVT implementation corners and 5 different models of the parasitic parameters extraction, there are 45 different design variations depending on operating conditions and technological manufacturing. Data analysis allowed us to acquire a set of 5 of the most critical implementation corners. This set was applied in the design during MММС design flow. As a result we obtained block variation with the most optimal parameters, fully meeting the terms of reference in all required conditions.

Keywords — TSMC 28nm HPC+, Genus, logical synthesis, Innovus, physical synthesis.

REFERENCES

- [1] Genus User Guide for Legacy UI. Product Version 16.2. April 2017, Cadence Design Systems, Inc.
 [2] Vlasov A.O. “Optimizatsiya potrebyayemoy moshchnosti mikroskhem s ispol'zovaniyem tranzistorov s raznym porogovym napryazheniyem” 13-ya Rossiyskaya nauchno-tekhnicheskaya konferentsiya “Elektronika, mikro- i nаноэлектроника” Sbornik nauchnykh trudov, 2011, s.65-68
 [3] Dolphin Technology Standard Cell Usage Document, September 2012, Dolphin Technology, Inc.
 [4] Innovus User Guide. Product Version 16.20. November 2016, Cadence Design Systems, Inc.
 [5] CMOS VLSI Design A Circuits and Systems Perspective, Fourth Edition, Neil H.E. Weste, David Money Harris, 2011, Pearson Education, Inc.
 [6] TSMC 28 NM CMOS Logic Design Rule (LLN28HP/HPL/HPM/HPC/HPC+/ULP). Taiwan Semiconductor Manufacturing Co., LTD