

# Средства автоматизации иерархического проектирования сложных микроэлектронных схем при неопределенности проектных норм

С.Э. Миронов, А.Ю. Васильев, Н.М. Сафьянников

Санкт-Петербургский государственный электротехнический университет “ЛЭТИ”  
им. В. И. Ульянова (Ленина), г. Санкт-Петербург, semironovspb@yandex.ru

**Аннотация** — Приводятся результаты исследований по плотноупакованному технологически инвариантному проектированию топологии иерархических регулярных и нерегулярных макроблоков СБИС. Технологическая инвариантность обеспечивается одномерным алгоритмом сжатия на основе виртуальной сетки, а плотная упаковка – оригинальным методом итерационного поэтапного согласования размеров ячеек и местоположения их выводов. Описывается предложенная авторами структурная модель топологии сложных нерегулярных схем, которая упрощает согласование их ячеек. Приводится описание разработанной системы и методики иерархического проектирования топологии сложных микроэлектронных схем с ее помощью.

**Ключевые слова** — проектные нормы; технологически инвариантное проектирование; сжатие топологии; плотноупакованное проектирование; согласование размеров ячеек; согласование положения выводов ячеек.

## I. ВВЕДЕНИЕ

Усложнение микроэлектронных схем и систем привело к созданию средств автоматизации проектирования топологии СБИС, позволяющих оперативно адаптировать топологию к технологическим требованиям предприятия-изготовителя. Эти средства получили название систем технологически инвариантного проектирования на основе сжатия топологии, так как настройка на требуемые проектные нормы выполняется путем “прижимания” размещенных в абстрактном разряженном пространстве элементов топологии друг к другу. Актуальность технологически инвариантного проектирования связана с постоянным совершенствованием проектных норм.

Существуют различные подходы к построению систем иерархического технологически инвариантного проектирования топологии сложных микроэлектронных схем [1]. Отдельные аспекты сжатия связанные с согласованием габаритов и положения выводов ячеек, рассматривались в работах авторов [2], [3]. В данной статье описываются программные средства и методика разработки регулярных и нерегулярных макроблоков СБИС, созданные авторами для проектирования в условиях неопределенности проектных норм.

Технологическая инвариантность проектов топологии макроблоков СБИС достигается с помощью системы сжатия ячеек “*TopDesign*” [4], минимизирующей расстояние между элементами в соответствии с проектными нормами и дополнительными ограничениями, наложенными разработчиком на взаимное расположению отдельных частей топологии.

Научно-техническая новизна связана с оригинальным методом [2] - [3], [5] итерационного поэтапного согласования размеров ячеек и местоположения их выводов, разработанным для системы проектирования топологии макроблоков “*Matching of Cells*”.

## II. СТРУКТУРНАЯ МОДЕЛЬ НЕРЕГУЛЯРНЫХ СЛОЖНЫХ МИКРОЭЛЕКТРОННЫХ СХЕМ ДЛЯ АВТОМАТИЗАЦИИ ИЕРАРХИЧЕСКОГО ПРОЕКТИРОВАНИЯ

При настройке топологии на требуемые проектные нормы одной из ключевых задач является согласование габаритов и координат выводов большого числа ячеек. Процесс согласования пар выводов выполняется поэтапно с учетом очередных изменений положения выводов в соседних ячейках. При этом могут возникать ситуации, требующие возврата к ранее согласованным выводам соседних ячеек для коррекции их положения. Процесс осуществляется итерационно и существенно влияет на время генерации топологии.

Сокращение времени работы было достигнуто благодаря разработке способа поиска очередности согласования ячеек. Для иллюстрации на рис. 1 представлены два варианта согласования выводов  $N$  ячеек, исходно сжатых без учета положения выводов. В худшем случае (рис. 1, а) после согласования каждой из пар выводов требуется пересогласование всех ранее согласованных пар. В лучшем случае (рис. 1, б) пересогласование вообще не требуется. Число этапов согласования одного яруса выводов ячеек лежит в диапазоне

от  $(N \times (N - 1) / 2)$  до  $(N - 1)$ .

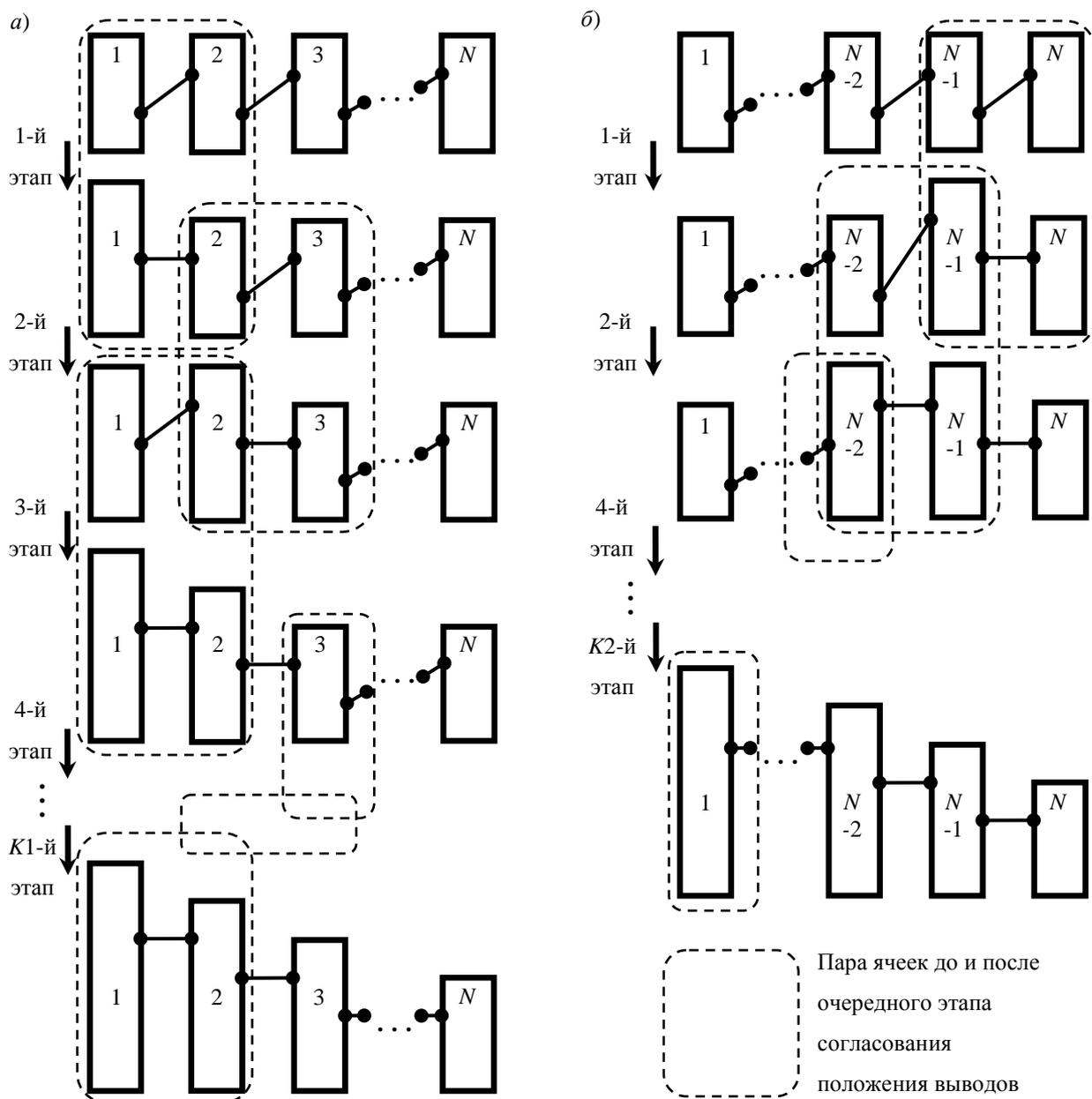


Рис. 1. Примеры согласования положения выводов  $N$  ячеек в худшем варианте (а); в лучшем варианте (б)

Вторая проблема автоматизации иерархического проектирования связана с определением координат стыкуемых выводов в нерегулярных иерархических схемах.

Топологии сложных микроэлектронных схем с регулярными матричными структурами, представляют собой матрицы ячеек с одинаковой шириной в столбце и одинаковой высотой в строке.

Поэтому габариты и положение выводов ячеек выравниваются относительно общей для ячеек точки отсчета. В качестве нее выступают левая граница столбца ячеек и нижняя граница строки.

Для нерегулярных микроэлектронных схем была разработана структурная модель, обеспечивающая простое согласование ячеек в макроблоках. В рамках этой модели при определении положения границ и выводов ячеек, не объединенных в строки или столбцы, отсчет должен вестись от границ последних обработанных ячеек схемы: верхних границ нижних ячеек и правых границ левых ячеек (рис. 2).

Например, на рис. 2 координаты по оси  $Y$  выводов «А» 3-ей и 4-ой ячеек определяются выражениями

$$Y_A = Y_1 + Y_{3A}, \quad Y_A = Y_2 + Y_{4A},$$

где  $Y_1$  и  $Y_2$  – высоты ячеек 1 и 2 соответственно, а  $Y_{3A}$  и  $Y_{4A}$  – координаты по оси  $Y$  выводов «А» ячеек 3 и 4.

То есть при использовании алгоритмов сжатия для проектирования сложных микросхемотехнических схем для ячеек, как и для элементов их топологии, применимо понятие частоты – ломаной линии, повторяющей границы последних из обработанных ячеек.

Таким образом, принципы согласования габаритов и положения выводов ячеек регулярных сложных микросхемотехнических схем были распространены на нерегулярные микросхемотехнические схемы, которые являются более общим случаем макроблоков СБИС.

Это позволило разработать графический редактор структурно-топологических планов, который стал одной из составных частей системы проектирования топологии макроблоков “*Matching of Cells*”.

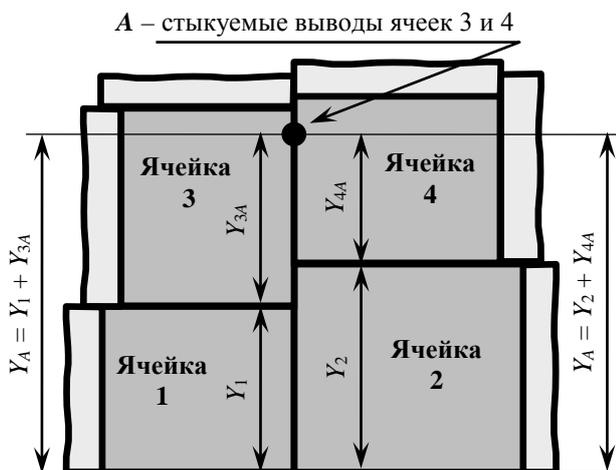


Рис. 2. Определение положения выводов ячеек при их согласовании в соответствии с предложенной структурной моделью нерегулярных сложных микросхемотехнических схем

Главное окно графического редактора с окнами, содержащими графические описания микросхемотехнических схем разного типа, приведено на рис. 3.

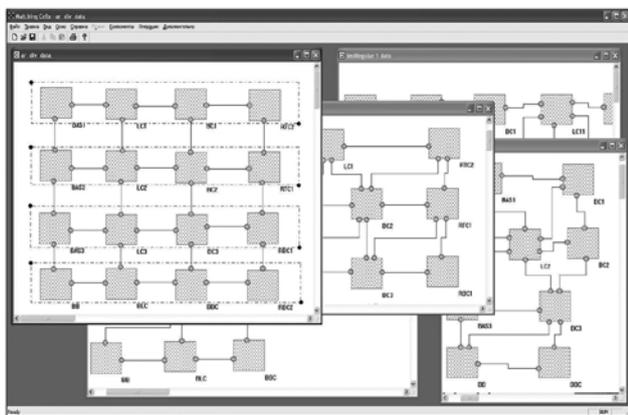


Рис. 3. Окно редактора системы “*Matching of Cells*”

### III. СТРУКТУРА СИСТЕМЫ “*MATCHING OF CELLS*” ИЕРАРХИЧЕСКОГО ПРОЕКТИРОВАНИЯ ТОПОЛОГИИ СЛОЖНЫХ МИКРОЭЛЕКТРОННЫХ СХЕМ В УСЛОВИЯХ НЕОПРЕДЕЛЕННОСТИ ПРОЕКТНЫХ НОРМ

Обобщенная структура системы “*Matching of Cells*” иерархического технологически инвариантного проектирования топологии макроблоков приведена на рис. 4.

На вход системы иерархического проектирования топологии подаются:

- файлы эскизов топологии ячеек,
- спецификации ячеек,
- спецификация макроблока.

Файлы эскизов топологии ячеек создаются в системе символьного проектирования “*TopDesign*” [4]. С помощью системы виртуальных координат в них описывают лишь взаимное (выше или ниже, левее или правее) расположение элементов топологии. Точные реальные координаты элементов топологии определяются в процессе сжатия топологии ячеек в конкретных проектных нормах.

В файлах спецификации ячеек содержатся описания границ ячеек и их выводов. Они могут быть, как сформированы в текстовом редакторе, так и сгенерированы программно на основе информации из файлов эскизов топологии ячеек.

Файлы спецификации макроблока либо проектируются в графическом редакторе структурно-топологических планов системы “*Matching of Cells*” (рис. 3) либо в соответствии с разработанным синтаксисом спецификаций формируются в текстовом редакторе.

Файлы иерархической спецификации макроблоков представляют собой структурированное текстовое описание компоновки топологии и состоят из имени структурного элемента, типа его пространственной ориентации (горизонтальный (*g*) или вертикальный (*v*)) и упорядоченного слева направо или сверху вниз списка имен входящих в него элементов более низкого уровня с указанием их числа.

В качестве примера спецификации ниже приведено иерархическое структурное описание макроблока матричного делителя, структурно-топологический план которого представлен на рис. 5.

*SH2 g: B, 1 ; LC, 1 ; BASC, 2 ; RTC2, 1 ; EOL*

*SH1 g: B, 1 ; LC, 1 ; BASC, 2 ; RTC1, 1 ; EOL*

*SL1 g: B, 1 ; LC, 1 ; BASC, 2 ; RBC1, 1 ; EOL*

*SL2 g: BB, 1 ; BLC, 1 ; BC, 2 ; RBC2, 1 ; EOL*

*Divider v: SH2, 1 ; SH1, 4 ; SL1, 4 ; SL2, 1 ; EOL*

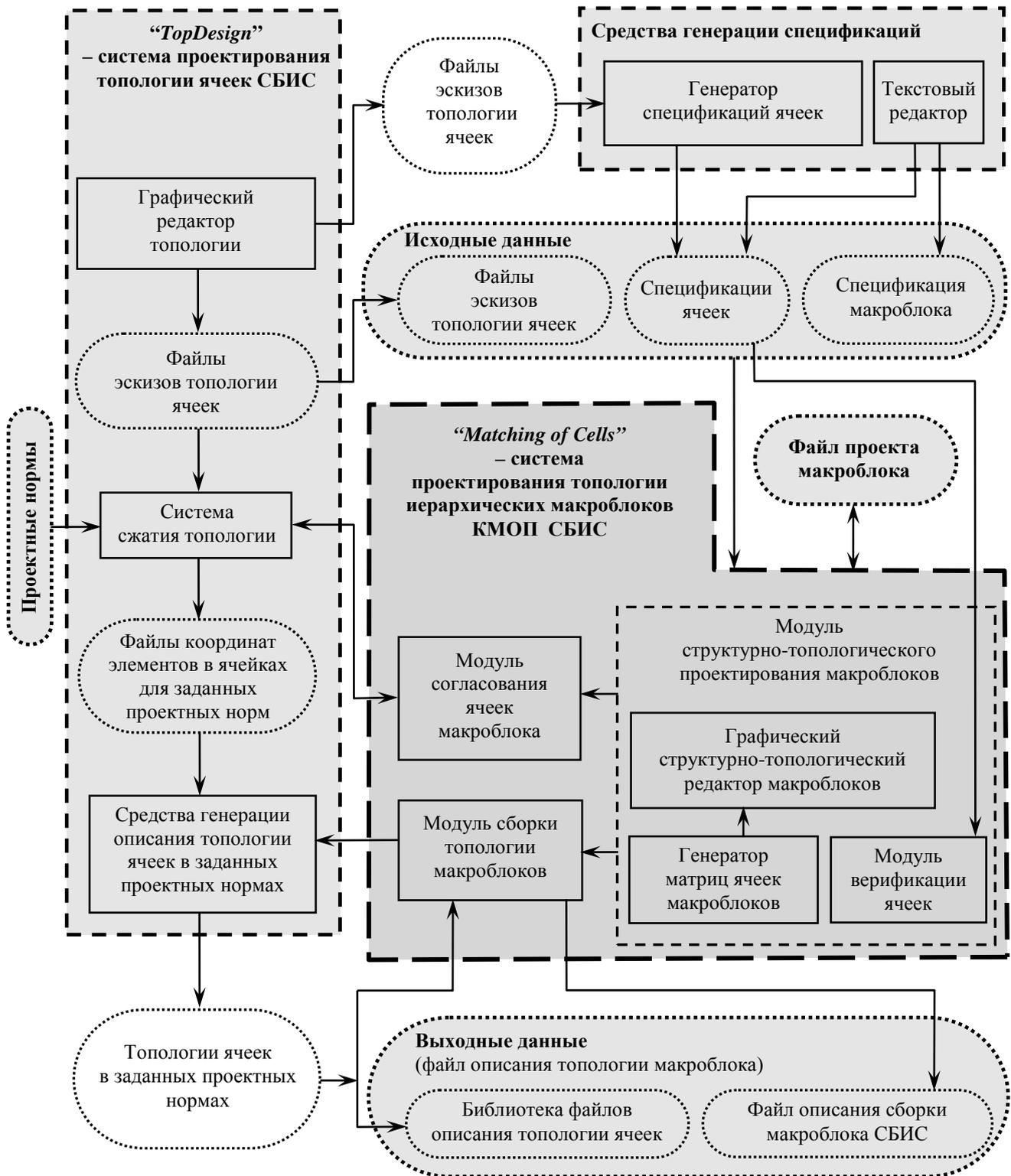


Рис. 4. Обобщенная структура системы "Matching of Cells" иерархического проектирования топологии сложных микросхем в условиях неопределенности проектных норм

В приведенной структурированной спецификации:

*Divider* – имя макроблока матричного делителя;

*SH2, SH1, SL1, SL2* – имена строк макроблока;

*B, BB, LC, BLC, BASC, BC, RTC2, RTC1, RBC1, RBC2*

– имена ячеек в строках макроблока;

1, 2 – коэффициенты матрирования ячеек в спецификациях строк;

1, 4 – коэффициенты матрирования строк в спецификации матрицы делителя

Система проектирования топологии иерархических макроблоков КМОП СБИС “*Matching of Cells*” состоит из трех модулей:

- модуля структурно-топологического проектирования макроблоков,
- модуля согласования ячеек макроблока,
- модуля сборки топологии макроблоков.

Данные загружаются в систему “*Matching of Cells*” или из файлов исходных данных или из файла проекта макроблока. Причем описание структурно-топологического плана макроблока СБИС может и загружаться из соответствующих файлов и проектироваться в графическом редакторе. Модуль структурно-топологического проектирования макроблоков включает в себя:

- графический структурно-топологический редактор макроблоков СБИС, с возможностью проверки корректности описания макроблоков,
- генератор матриц ячеек макроблоков,
- модуль верификации ячеек.

После загрузки данных о макроблоке (или их генерации) они передаются в модуль согласования ячеек макроблока. Эта часть системы “*Matching of Cells*” осуществляет:

- расчет ограничений на расположение выводов и границ ячеек в заданных проектных нормах,
- сжатие топологии ячеек (путем обращения к системе сжатия “*TopDesign*”) с учетом не только проектных норм, но и вычисляемых ограничений на габариты и координаты выводов,
- расчет габаритов ячеек.

Результатом работы системы “*Matching of Cells*”, является структурированный иерархически файл описания топологии макроблока СБИС в заданных проектных нормах, генерируемый модулем сборки топологии макроблоков на основании данных о структуре макроблока, получаемых из модуля структурно-топологического проектирования макроблоков СБИС. Этот файл включает в себя:

- библиотеку файлов описания топологии ячеек;

– описание сборки строк и столбцов макроблока СБИС из ячеек;

– описание сборки макроблока СБИС из строк и столбцов.

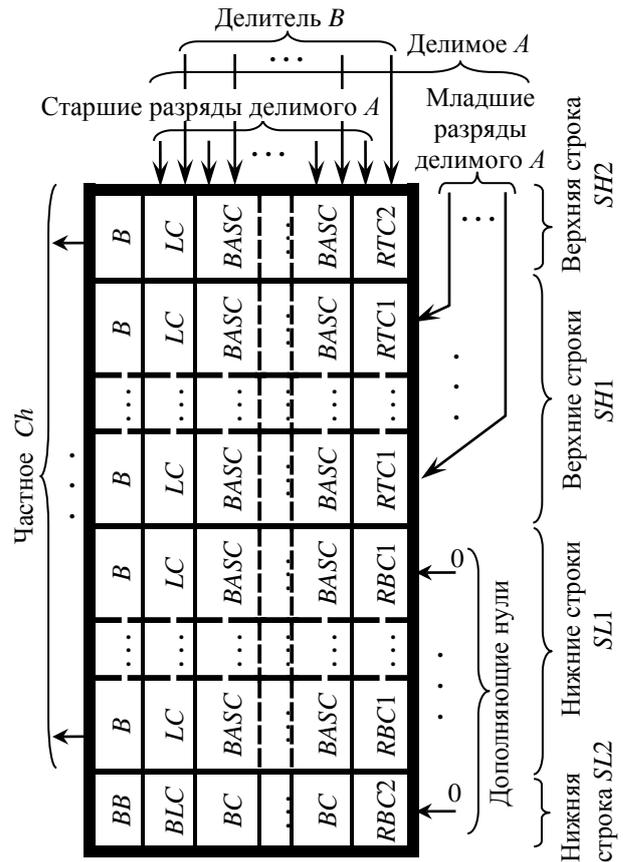


Рис. 5. Структурно-топологический план матричного делителя

Сборка нерегулярных макроблоков СБИС может быть выполнена не из строк и столбцов, а непосредственно из ячеек.

Для контроля пользователем процесса генерации топологии макроблоков система выдает информацию:

- о введенной исходной структуре,
- о ходе выполнения различных операций.

На рис. 6 в качестве иллюстраций к описанию системы “*Matching of Cells*” и приведенной ниже методики иерархического проектирования топологии макроблока представлены примеры структурных планов иерархических макроблоков СБИС и полученных на их основе топологий.

#### IV. МЕТОДИКА ИЕРАРХИЧЕСКОГО ПРОЕКТИРОВАНИЯ ТОПОЛОГИИ МАКРОБЛОКОВ СБИС С ПОМОЩЬЮ ГРАФИЧЕСКОГО РЕДАКТОРА СИСТЕМЫ “*MATCHING OF CELLS*”

Описание топологии макроблока СБИС в требуемых проектных нормах формируется методом программной генерации в соответствии с

приведенными ниже этапами методики иерархического проектирования топологии макроблока.

1. Разработка структурного топологического плана макроблока СБИС.

2. Разработка схем ячеек, эскизов топологии ячеек в системе “TopDesign” и спецификаций ячеек макроблока СБИС.

3. Разработка текстовой спецификации макроблока СБИС – иерархического описания структурного плана топологии макроблока. Для устройств с матричной структурной организацией спецификацию макроблока можно загрузить в графический редактор, при

разработке сложных устройств с нерегулярной организацией описание их структуры нужно собрать из ячеек и соединительных шин в графическом структурно-топологическом редакторе макроблоков системы “Matching of Cells”.

4. Генерация описания топологий ячеек макроблока в заданных проектных нормах с помощью системы “Matching of Cells”. Выполняется с автоматическим согласованием габаритов ячеек и положения выводов ячеек в соответствии со структурным топологическим планом макроблока.

5. Генерация системой “Matching of Cells” файла иерархического описания топологии макроблока.

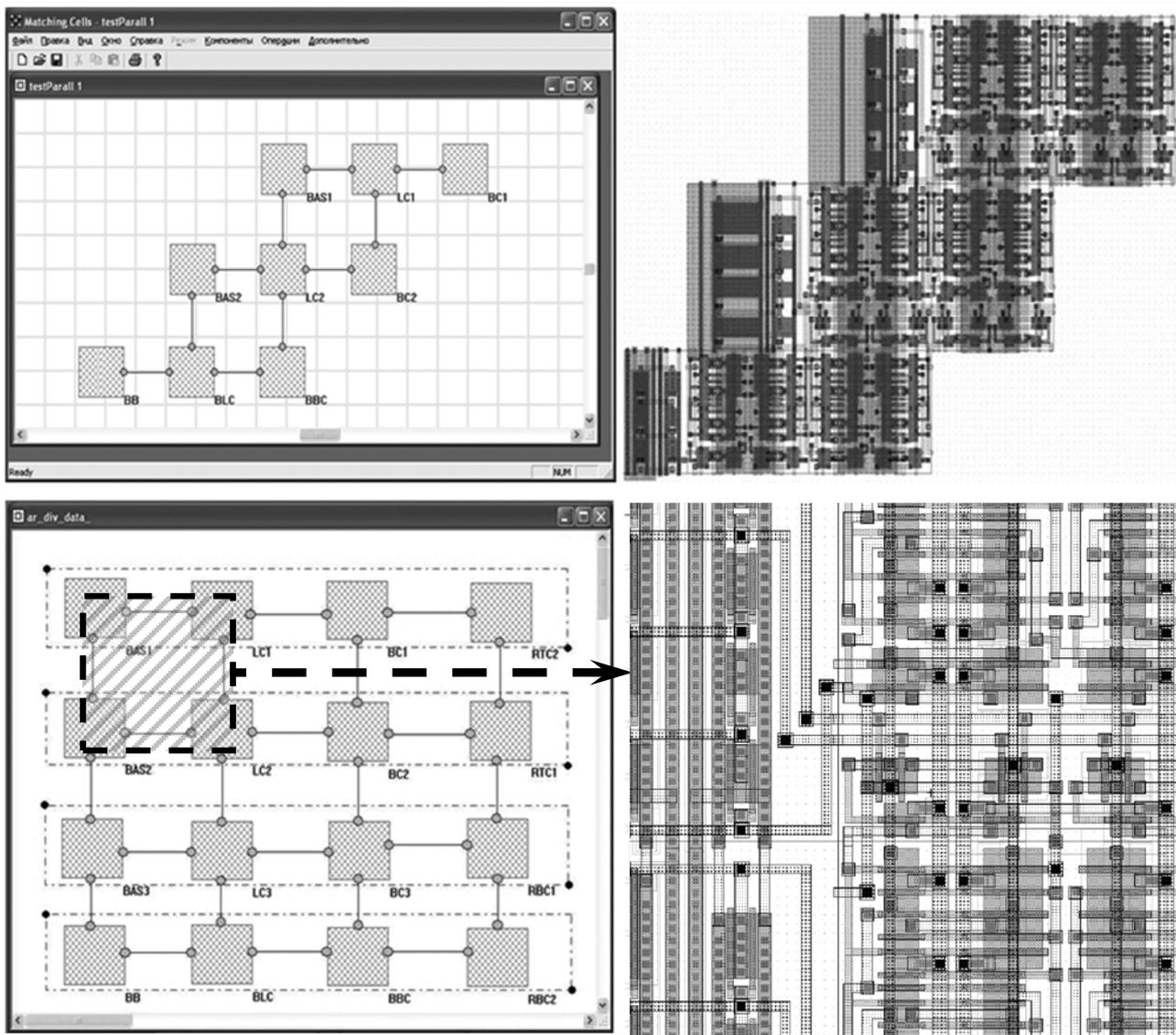


Рис. 6. Примеры структурных планов иерархических макроблоков СБИС и полученных на их основе топологий

Эта методика принципиально отличается от описанной в [5]. Отличие состоит в том, что приведенная выше методика позволяет:

– описывать и генерировать нерегулярные структуры;

– как загружать текстовые описания, так и формировать описания в диалоговом окне.

Кроме того, если структурно-топологический план макроблока уже разработан, уже есть библиотека согласованных ячеек, и требуется изменить только

параметры структуры реализуемого макроблока (разрядность данных) предусмотрена сокращенная методика программной генерации топологии. Тогда достаточно загрузить имеющийся проект и задать новые значения для коэффициентов матрицирования ячеек в структурных модулях (строках/столбцах) и модулей в макроблоке, после чего выполнить операцию сборки.

#### ЗАКЛЮЧЕНИЕ

Описанная методика иерархического проектирования топологии с помощью системы “*Matching of Cells*” была успешно применена в рамках выполнения государственного задания Минобрнауки России № 8.2080.2017/4.6 при проведении работ, продолжающих исследования авторов по проектированию микросхем, как малой [6], так и большой сложности [7].

Основными полученными результатами являются:

– оригинальный метод итерационного поэтапного согласования размеров ячеек и местоположения их выводов, обеспечивающий высокую плотность упаковки топологии иерархических блоков СБИС;

– структурная модель сложных микросхем, обеспечивающая простое согласование ячеек в нерегулярных макроблоках;

– система “*Matching of Cells*” технологически инвариантного иерархического проектирования топологии макроблоков СБИС;

– методика иерархического проектирования топологии макроблоков в системе “*Matching of Cells*”.

#### БЛАГОДАРНОСТИ

Авторы выражают благодарность доценту Санкт-Петербургского государственного электротехнического университета “ЛЭТИ” им. В. И. Ульянова (Ленина) И. С. Зуеву за постоянное внимание и практическую помощь в тематике исследования.

#### ПОДДЕРЖКА

Результаты были получены в рамках выполнения государственного задания Минобрнауки России № 8.2080.2017/4.6.

#### ЛИТЕРАТУРА

- [1] Bamji C., Varadarajan, R. Leaf Cell and Hierarchical Compaction Techniques, New York – Springer Science & Business Media, LLC, Dec 6, 2012 - Technology & Engineering – 161 p., DOI 10.1007/978-1-4615-6139-2
- [2] Миронов С.Э., Васильев А.Ю. Автоматизация технологически инвариантного иерархического проектирования топологии регулярных макроблоков СБИС // Компьютерные науки и информационные технологии: Материалы междунар. науч. конф., г. Саратов, 1 – 4 июля 2012. – Саратов: Наука, 2012. – С. 204–208.
- [3] Миронов С.Э., Васильев А.Ю. Управление процессом согласования сложных топологических объектов микросхем в условиях неопределенности проектных норм // Материалы II международной научной конференции по проблемам управления в технических системах (CTS'2017). – Санкт-Петербург, СПбГЭТУ «ЛЭТИ», 2017 г., 25 – 27 октября, с. 198–201.
- [4] Zuev I.S., Maximov A. High-Density Layout Designing of CMOS VLSI Parameterized Fragments // Proceedings of IEEE East-West Design & Test Symposium (EWDTS'10). – St.Petersburg, 2010. – P. 131–134.
- [5] Миронов С. Э., Васильев А. Ю. Итерационное сжатие с ограничениями при иерархическом технологически инвариантном проектировании топологии макрофрагментов СБИС // Изв. СПбГЭТУ «ЛЭТИ». Сер. «Информатика, управление и компьютерные технологии». – 2010. – Вып. 3. – С. 10–15.
- [6] Сафьянников Н. М., Баранов А. А. Схематопологическое проектирование ячеек СБИС // VII-я Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем – 2016»: Сб. трудов / под общ. ред. академика РАН А.Л. Стемпковского. Зеленоград, 3 – 7 октября 2016 г. – М.: ИППМ РАН, 2016. – Ч. III. – С. 220–225.
- [7] Сафьянников Н. М., Фролкин А. К. Структурные преобразования макроблоков СБИС путём перегруппировки их функционально однородных зон // VII-я Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем – 2016»: Сб. трудов / под общ. ред. академика РАН А.Л. Стемпковского. Зеленоград, 3 – 7 октября 2016 г. – М.: ИППМ РАН, 2016. – Ч. III. – С. 226–231.

# Means of Automating the Hierarchical Design of Complex Microelectronic Circuits with Uncertainty of Design Rules

S.E. Mironov, A.Yu. Vasiliyev, N.M. Safyannikov

Saint Petersburg Electrotechnical University "LETI", St. Petersburg, semironovspb@yandex.ru

**Abstract** — The paper deals with the software and procedure created by the authors for the design of regular and irregular VLSI macroblocks in conditions when the design rules are uncertain.

**Purpose.** The main purpose of the study lays in creation of the system of process tolerant hierarchical high density layout design of VLSI macroblocks.

**Methods.** Process tolerance is ensured by the one-dimensional compaction algorithm based on the virtual grid, and high density is achieved due to the original method of iterative step-by-step matching of dimensions and pins location of VLSI cells.

**Results.** The result of the performed studies consists in the development of the system and technology of hierarchical layout design of VLSI macroblocks. The structural model of complex microelectronic circuits proposed for the system guarantees easy matching of cells not only in regular but in irregular macroblocks as well. Graphical editor of structural layout plans was developed on the base of this model, and it became one of the components of the system of layout design of macroblocks.

**Discussion.** Iterative step-by-step matching of cells' dimensions and locations of their pins requires some time to complete. As a result of the carried out studies, the method for the search of cells matching priority was developed, that leads to acceleration of the matching process.

Constant improvement of the design rules and increase of projects complexity promotes further development of the process tolerant hierarchical layout design of VLSI macroblocks.

**Keywords** — design rules; process tolerant design; layout compaction; high density design; cell size matching; matching of cells pins location.

## REFERENCES

- [1] Bamji C., Varadarajan, R. Leaf Cell and Hierarchical Compaction Techniques, New York – Springer Science & Business Media, LLC, Dec 6, 2012 - Technology & Engineering – 161 p., DOI 10.1007/978-1-4615-6139-2
- [2] Mironov S.E., Vasil'ev A.YU. Avtomatizatsiya tekhnologicheskii invariantnogo ierarkhicheskogo proektirovaniya topologii regulyarnykh makroblokov SBIS (Automation of process tolerant hierarchical design of the layout of Regular VLSI Macroblocks) // Komp'yuternye nauki i informatsionnye tekhnologii: Materialy mezhdunar. nauch. konf., g. Saratov, 1-4 iyulya 2012. – Saratov: Nauka, 2012. – S. 204–208.
- [3] Mironov S.E., Vasil'ev A.YU. Upravlenie protsessom soglasovaniya slozhnykh topologicheskikh ob"ektov mikroelektronnykh sistem v usloviyakh neopredelennosti proektnykh norm (Managing the process of reconciling complex layout objects of microelectronic systems under conditions of uncertainty in design rules) // Materialy II mezhdunarodnoy nauchnoy konferentsii po problemam upravleniya v tekhnicheskikh sistemakh (STS'2017). – Sankt-Peterburg, SPbGETU «LETI», 2017 g., 25 – 27 oktyabrya, s. 198–201.
- [4] Zuev I.S., Maximov A. High-Density Layout Designing of CMOS VLSI Parameterized Fragments // Proceedings of IEEE East-West Design & Test Symposium (EWDTS'10). – St.Petersburg, 2010. – P. 131–134.
- [5] Mironov S.E., Vasil'ev A.YU. Iteratsionnoe szhatie s ogranicheniyami pri ierarkhicheskoy tekhnologicheskoy invariantnom proektirovanii topologii makrofragmentov SBIS (Iterative compaction with constraints in the hierarchically process tolerant design of the VLSI macrofragment layout) // Izvestiya SPbGETU «LETI». Ser. «Informatika, upravlenie i komp'yuternye tekhnologii». – 2010. – Vyp. 3. – S. 10–15.
- [6] Safyannikov N.M., Baranov A.A. Skhemo-topologicheskoe proektirovanie yacheek SBIS (Scheme-layout design of VLSI cells) // VII-ya Vserossiyskaya nauchno-tekhnicheskaya konferentsiya «Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2016»: Sbornik trudov / pod obshch. red. akademika RAN A.L. Stempkovskogo. Zelenograd, 3 – 7 oktyabrya 2016 g. – M.: IPPM RAN, 2016. – CH III. – S. 220 – 225.
- [7] Safyannikov N.M., Frokin A. K. Strukturnye preobrazovaniya makroblokov SBIS putyom peregrupirovki ih funktsional'no odnorodnykh zon (Structural transformations of VLSI macroblocks by regrouping their functionally homogeneous zones) // VII-ya Vserossiyskaya nauchno-tekhnicheskaya konferentsiya «Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2016»: Sb. trudov / pod obshch. red. akademika RAN A.L. Stempkovskogo. Zelenograd, 3 – 7 oktyabrya 2016 g. – M.: IPPM RAN, 2016. – CH III. – S. 226 – 231.