

Принципы проектирования отказоустойчивых оперативных запоминающих устройств для космического применения

С.В. Волобуев, А.П. Евдокимов, В.Г. Рябцев

Волгоградский государственный аграрный университет,

sergey-aspir14@yandex.ru

Аннотация — Предлагается архитектура отказоустойчивого оперативного запоминающего устройства, содержащего три канала модулей памяти со встроенными средствами самотестирования и саморемонта. Первый модуль обрабатывает данные устройства управления, второй модуль работает в режиме зеркального отображения данных, третий модуль работает в режиме самотестирования. Если отказал первый модуль памяти, то происходит подключение второго работоспособного модуля памяти. Третий модуль переключается в режим зеркального отображения данных, а первый модуль переходит в режим самотестирования и автоматического саморемонта. Такое взаимодействие модулей памяти каналов многократно повышает надежность систем управления космической техникой.

Ключевые слова — зеркаливание памяти, многократные отказы, резервирование, средства самотестирования и саморемонта.

I. ВВЕДЕНИЕ

Для микропроцессорных систем управления космическими аппаратами с продолжительным сроком эксплуатации возрастает потребность в увеличении надежности и емкости оперативных запоминающих устройств (ОЗУ). Это определяется применением все более сложных приложений, интенсивно использующих память, и более мощных процессоров. При удовлетворении потребности в увеличении системной памяти возникает проблема в поддержании высокой надежности оперативной памяти, даже несмотря на то, что вероятность ошибок в ней возрастает по мере роста плотности и емкости запоминающих ячеек [1].

Процессоры микропроцессорных систем управления космическими аппаратами предъявляют все более широкий набор требований к бортовым ОЗУ: надежность, доступность и удобство обслуживания (RAS, reliability, availability and serviceability). Для выполнения данных требований необходимо увеличивать коэффициент технической готовности, значение которого возрастает при уменьшении времени восстановления системы управления при отказе входящих в нее устройств. В настоящее время актуальной является задача создания эффективных методов и средств встроенного самотестирования ОЗУ

с целью повышения отказоустойчивости и обеспечения простоты технического обслуживания, в том числе без участия персонала [16-18]. Замена неработоспособных модулей памяти на исправные модули при длительном полете космического аппарата затруднена из-за отсутствия на борту специалиста, способного выполнить данную операцию. Значительные затраты времени на восстановление бортовой системы управления могут привести к непоправимым последствиям.

В настоящее время нашли широкое применение запоминающие устройства, в которых применяются корректирующие коды ECC (Error Check & Correction/Error Correction Code), способные автоматически исправлять любые одиночные ошибки и обнаруживать любые двойные [3]. До тех пор, пока оперативная память функционирует без отказов, противостояние энтропии и помехозащитных кодов решается в пользу последних. Однако при полных или частичных отказах нескольких разрядов данных корректирующих способностей контролирующих кодов оказывается недостаточно, поэтому оперативная память начинает работать крайне нестабильно.

Известно зеркальное отображение памяти – это метод, используемый для разделения памяти на два отдельных канала [13, 14]. При применении режима зеркаливания памяти (Memory mirroring) содержимое одного канала памяти копируется в другой для создания избыточности, поэтому один и тот же физический байт доступен более чем по одному адресу. В режиме зеркального отображения общая емкость системной памяти уменьшается в два раза. Режим зеркаливания обеспечивает более высокую надежность памяти, так как сбой одного канала памяти не влияет на работоспособность всей системы управления, что позволяет продолжать процессы без незапланированного простоя. Это обеспечивается переключением контроллера памяти на другой канал без перезагрузки, а синхронизация между каналами устанавливается после устранения проблем. Однако актуальной остается задача восстановления работоспособности модуля памяти канала, в котором возник отказ.

Применяется также резервирование памяти (Memory Sparing) за счет добавления к активным

модулям памяти дополнительных модулей, которые не применяются при выполнении вычислений до обнаружения отказов в активной памяти [19]. После превышения порога отказов в активных модулях памяти содержимое неисправных модулей памяти копируется в резервные модули, которые затем используются в качестве активной памяти, а неисправные модули переводятся в автономный режим. Запасная оперативная память полезна только для тех приложений, которые могут позволить вынужденные простои из-за отказов памяти до замены неисправных модулей памяти.

Применяется мажоритарное резервирование, основанное на применении дополнительных устройств, выполняющих одну и ту же функцию, что позволяет вести сравнение сигналов и выбирать два из трех [10]. Два любые совпадающих результата из трех считаются истинными и проходят на выход устройства. При этом увеличивается в три раза масса всего устройства, что нежелательно для систем управления космическими аппаратами. Кроме того, при возникновении двух отказов в разных устройствах мажоритарная система становится неработоспособной.

Фирма Synopsys на технологических этапах изготовления цифровых систем широко использует систему Design Ware® Self-Test and Repair (STAR), которая обеспечивает высокий уровень покрытия неисправностей, эффективную самодиагностику и автоматическое восстановление для встроенных блоков памяти [15]. Система самотестирования и ремонта STAR Memory System включает оптимизированные тестовые алгоритмы, специально предназначенные для увеличения охвата дефектов памяти, что позволяет дизайнерам быстро завершить проектирование, значительно сократить время выхода изделий на рынок и увеличить объем производства. Однако для практического применения компонентов STAR Memory System необходимы дорогостоящие системы автоматизированного проектирования и диагностирования Silicon Browser и Yield Accelerator, которые недоступны отечественным изготовителям цифровых систем.

Актуальной задачей остается разработка и внедрение средств автоматической реконфигурации структуры отказоустойчивого ОЗУ для обеспечения живучести комплекса бортового оборудования для выполнения поставленных задач при возникновении одиночных или многократных отказов [12]. При разработке отказоустойчивого ОЗУ крайне важно, чтобы возникшие отказы и сбои немедленно определялись и диагностировались для выполнения корректирующих действий с целью реконфигурации структуры и ее адаптации к этим изменениям [6-10].

Целью работы является разработка принципов проектирования архитектуры отказоустойчивых ОЗУ с применением встроенных средств самотестирования и автоматического саморемонта при многократных отказах для микропроцессорных систем управления космическими аппаратами.

II. СТРУКТУРА ОТКАЗОУСТОЙЧИВОГО ЗАПОМИНАЮЩЕГО УСТРОЙСТВА

Для микропроцессорных систем управления космическими аппаратами предлагается отказоустойчивое ОЗУ, структурная схема которого приведена на рис. 1 и содержит три канала памяти и интегрированный контроллер памяти (ИКП) подключенный к центральному процессорному устройству (ЦПУ). Модули памяти сгруппированы в три канала, в каждом канале предусмотрены встроенные средства самотестирования и саморемонта (ВСТР).

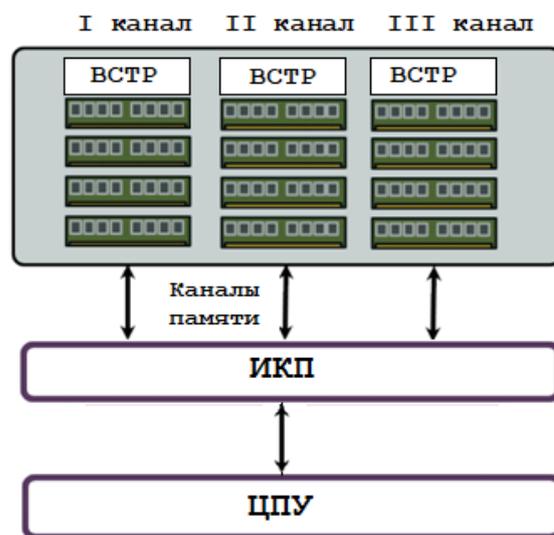


Рис. 1. Структурная схема отказоустойчивого ОЗУ

В начале работы ИКП переводит модули памяти первого канала в рабочий режим, второго канала – в режим зеркаливания, а третьего канала – в режим самотестирования. При обнаружении средствами рабочего диагностирования отказа в модулях памяти первого канала ИКП переключает модули второго канала в рабочий режим, при этом модули третьего канала переключаются в режим зеркаливания, а модули первого канала переключаются в режим самотестирования и саморемонта.

При обнаружении невосстанавливаемого отказа в модулях памяти второго канала, модули третьего канала переключаются в рабочий режим, модули первого канала, работоспособность которых восстановлена встроенными средствами саморемонта, переключаются в режим зеркаливания, а модули второго канала переключаются в режим самотестирования и саморемонта.

Если обнаружен отказ в модулях памяти третьего канала, то они переключаются в режим самотестирования и саморемонта, в рабочий режим переключаются модули первого канала, а модули второго канала переключаются в режим зеркаливания. Таким образом, постоянно в горячем резерве находится работоспособный канал модулей памяти, а путем автоматической реконфигурации структуры

восстанавливается работоспособность модулей памяти при возникновении в них многократных отказов.

В [4] приведены принципы построения архитектуры встроенных средств самотестирования микросхем памяти статического типа. Также в [5] выполнена верификация проекта отказоустойчивой памяти, содержащей встроенные средства автоматического восстановления работоспособности при четырехкратных отказах без применения плавких перемычек и участия обслуживающего персонала. Для проектирования отказоустойчивого ОЗУ, содержащего три канала памяти, режимы работы которых изменяются, необходима разработка интегрированного контроллера памяти.

III. ОСОБЕННОСТИ ИНТЕГРИРОВАННОГО КОНТРОЛЛЕРА ПАМЯТИ

Интегрированный контроллер памяти предназначен для изменения режимов модулей памяти каналов при возникновении в них отказов, которые фиксируются средствами рабочего диагностирования, например, контролем нечетности кодов данных или при применении средств, использующих корректирующие коды ЕСС. В состав ИКП предлагается включить цифровой управляющий автомат, граф-схема которого приведена на рис. 2.

ИКП переходит в исходное состояние S1 по сигналу Rset = '1'. После поступления сигнала Run = '1' ИКП переходит в состояние JMT. Здесь и дальше слева направо приняты следующие обозначения состояний каналов памяти:

J – рабочее состояние модулей памяти канала, номер которого соответствует позиции, на которой расположен данный символ;

M – режим зеркаливания (Mirroring);

T – режим самотестирования и саморемонта.

На входы ИКП поступают сигналы E1, E2, E3, которые формируются средствами рабочего диагностирования первого, второго третьего каналов модулей памяти соответственно. На выходы ИКП формирует сигналы управления рабочими режимами J1, J2, J3, режимами зеркаливания M1, M2, M3 и режимами самотестирования T1, T2, T3 каналов модулей памяти. Такая последовательность изменения состояний цифрового управляющего автомата происходит, если наиболее вероятными являются отказы в каналах модулей памяти, которые находятся в рабочем режиме и при обращении к ним выполняются сложные адресные переходы.

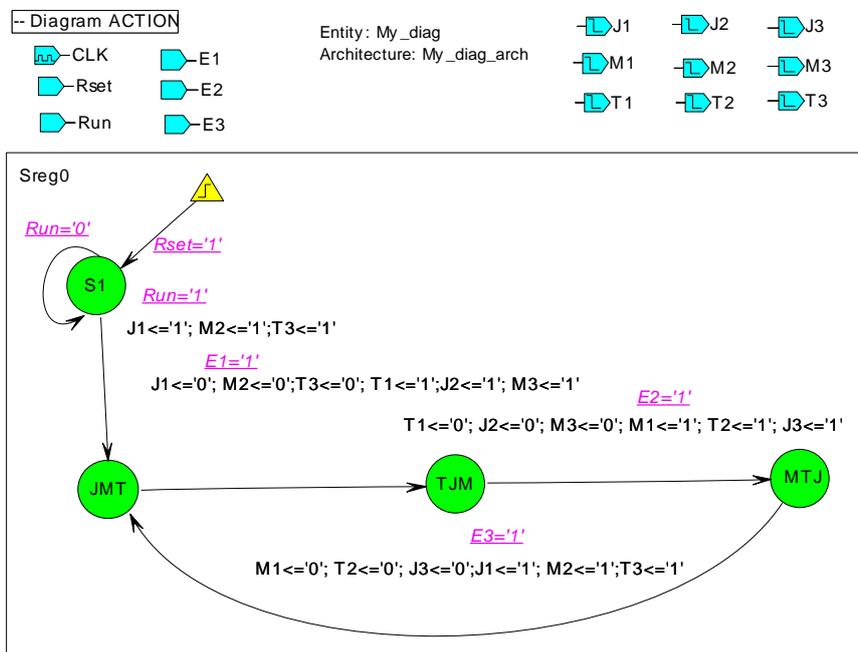


Рис. 2. Граф-схема цифрового управляющего автомата

Цифровой управляющий автомат начинает функционировать после поступления сигнала Run = '1'. В состоянии JMT модули памяти первого канала находятся в рабочем режиме, модули памяти второго канала – в режиме зеркаливания, модули памяти третьего канала – в режиме самотестирования, а в случае обнаружения отказов встроенными средствами самотестирования переключаются в режим

саморемонта, после выполнения которого работоспособность модулей восстанавливается.

При обнаружении средствами рабочего диагностирования отказа в модулях памяти первого канала формируется сигнал E1 = '1', по которому ИКП переходит в состоянии TJM, а при выполнении перехода выполняются следующие действия: J1 <= '0'; M2 <= '0'; T3 <= '0'; T1 <= '1'; J2 <= '1'; M3 <= '1'.

В состоянии TJM модули памяти первого канала переключаются в режим самотестирования, модули памяти второго канала – в рабочий режим, а модули памяти третьего канала – в режим зеркаливания.

При обнаружении средствами рабочего диагностирования отказа в модулях памяти второго канала формируется сигнал $E2 = '1'$, по которому ИКП переходит в состояние MTJ, а при выполнении перехода выполняются следующие действия: $T1 \leftarrow '0'$; $J2 \leftarrow '0'$; $M3 \leftarrow '0'$; $M1 \leftarrow '1'$; $T2 \leftarrow '1'$; $J3 \leftarrow '1'$.

В состоянии MTJ модули памяти первого канала переключаются в режим зеркаливания, модули памяти второго канала – в режим самотестирования, а модули памяти третьего канала – в рабочий режим.

При обнаружении средствами рабочего диагностирования отказа в модулях памяти третьего канала формируется сигнал $E3 = '1'$, по которому ИКП снова переходит в состояние JMT, а при выполнении перехода выполняются следующие действия: $M1 \leftarrow '0'$; $T2 \leftarrow '0'$; $J3 \leftarrow '0'$; $J1 \leftarrow '1'$; $M2 \leftarrow '1'$; $T3 \leftarrow '1'$.

При равных вероятностях возникновения отказов в модулях памяти разных каналов независимо от режимов их работы структура цифрового управляющего автомата усложняется, его граф-схема приведена на рис. 3.

Из состояния JMT осуществляется переход в состояние TJM сигналом $E2=1$, при этом модули памяти первого канала остаются в рабочем режиме, модули памяти второго канала переходят в режим самотестирования, а модули памяти третьего канала переключаются в режим зеркаливания. Если на вход цифрового автомата в состоянии JMT поступит сигнал $E1=1$, то модули памяти первого канала переключатся в режим самотестирования, модули памяти второго канала переходят в рабочий режим, а модули памяти третьего канала переключаются в режим зеркаливания. Если в состоянии JMT на вход цифрового автомата поступит сигнал $E3=1$, то автомат останется в том же состоянии, встроенные средства саморемонта

активируются и выполняют реконфигурацию модулей памяти третьего канала с целью устранения последствий зафиксированного отказа. Аналогичные операции выполняются в других состояниях модифицированного цифрового управляющего автомата. Формирование управляющих сигналов на рис. 3 условно не показано. Принцип функционирования модифицированного цифрового управляющего автомата приведен в табл. 1.

Модифицированный цифровой управляющий автомат формирует сигналы, задающие режимы работы операционных автоматов, выполняющих встроенное самотестирование и саморемонт модулей памяти каналов.

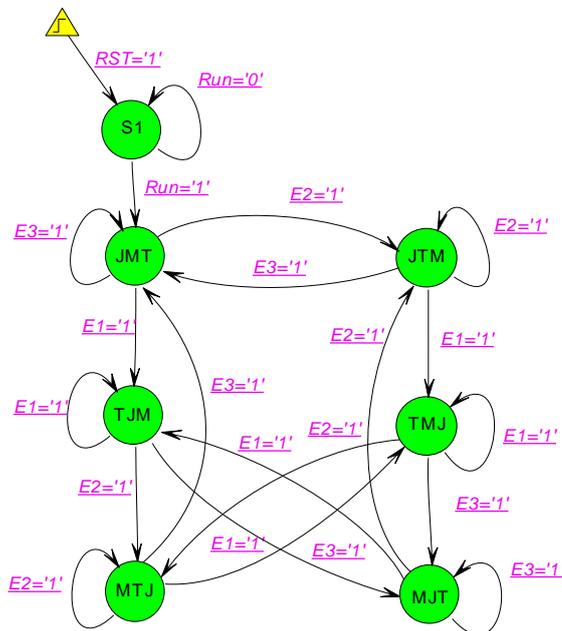


Рис. 3. Граф-схема модифицированного цифрового управляющего автомата

Таблица 1

Таблица функционирования модифицированного цифрового управляющего автомата

Текущее состояние	Условие перехода	Новое состояние	Действие
S1	$E2='1'$	JMT	$J1 \leftarrow '1'$; $M2 \leftarrow '1'$; $T3 \leftarrow '1'$
JMT	$E1='1'$	TMJ	$J1 \leftarrow '0'$; $M2 \leftarrow '0'$; $T3 \leftarrow '0'$; $T1 \leftarrow '1'$; $M2 \leftarrow '1'$; $J3 \leftarrow '1'$
TMJ	$E3='1'$	MJT	$T1 \leftarrow '0'$; $M2 \leftarrow '0'$; $J3 \leftarrow '0'$; $M1 \leftarrow '1'$; $J2 \leftarrow '1'$; $T3 \leftarrow '1'$
MJT	$E1='1'$	TJM	$M1 \leftarrow '0'$; $T3 \leftarrow '0'$; $T1 \leftarrow '1'$; $M3 \leftarrow '1'$
TJM	$E3='1'$	MTJ	$T1 \leftarrow '0'$; $J2 \leftarrow '0'$; $M3 \leftarrow '0'$; $M1 \leftarrow '1'$; $T2 \leftarrow '1'$; $J3 \leftarrow '1'$
MTJ	$E1='1'$	TMJ	$M1 \leftarrow '0'$; $T2 \leftarrow '0'$; $T1 \leftarrow '1'$; $M2 \leftarrow '1'$
TMJ	$E2='1'$	MTJ	$T1 \leftarrow '0'$; $M2 \leftarrow '0'$; $M1 \leftarrow '1'$; $T2 \leftarrow '1'$;
MTJ	$E3='1'$	JMT	$M1 \leftarrow '0'$; $T2 \leftarrow '0'$; $J3 \leftarrow '0'$; $J1 \leftarrow '1'$; $M2 \leftarrow '1'$; $T3 \leftarrow '1'$
JMT	$E1='1'$	TJM	$J1 \leftarrow '0'$; $M2 \leftarrow '0'$; $T3 \leftarrow '0'$; $T1 \leftarrow '1'$; $J2 \leftarrow '1'$; $M3 \leftarrow '1'$;
TJM	$E2='1'$	MTJ	$T1 \leftarrow '0'$; $J2 \leftarrow '0'$; $M3 \leftarrow '0'$; $M1 \leftarrow '1'$; $T2 \leftarrow '1'$; $J3 \leftarrow '1'$

При использовании в модулях памяти рабочего режима подпрограмм, применяемых для выполнения вычислений, необходим дополнительный цифровой автомат, обеспечивающий перезапись кодов подпрограмм из модулей памяти канала, который работает в рабочем режиме, в модули памяти, которые подготавливаются для режима зеркаливания, т.к. в них коды подпрограмм утрачены при выполнении режима самотестирования и саморемонта. Для такой ситуации рекомендуется применять двухпортовые микросхемы памяти.

IV. РАСЧЕТ ВЕРОЯТНОСТИ БЕЗОТКАЗНОЙ РАБОТЫ ОТКАЗОУСТОЙЧИВОГО ЗАПОМИНАЮЩЕГО УСТРОЙСТВА

При расчете вероятности безотказной работы (ВБР) всего изделия учитываем, что модули памяти трех каналов подключены параллельно, а ИКП подключен к ним последовательно [2, 11]. Тогда ВБР всего ОЗУ вычисляем по формуле:

$$P_{ram}(t) := P_{mk}(t) \cdot P_{ikp}(t), \quad (1)$$

где $P_{mk}(t)$ – ВБР модулей памяти всех трех каналов;

$P_{ikt}(t)$ – ВБР интегрированного контроллера памяти, которое определяется по формуле:

$$P_{ikp}(t) := e^{-m \cdot t \cdot \lambda_{vos}}, \quad (2)$$

где m – число информационных разрядов модулей памяти;

λ_{vos} – интенсивность отказов ИКП.

ВБР модулей памяти трех каналов вычисляем по формуле:

$$P_{mk}(t) := 1 - (1 - P_{mem}(t))^k, \quad (3)$$

где $k=3$ – число каналов модулей памяти;

$P_{mem}(t)$ – ВБР модулей памяти одного канала.

ВБР модулей памяти одного канала с учетом r резервных разрядов данных и средств самотестирования и саморемонта вычисляется по формуле:

$$P_{mem}(t) := \left[1 - (1 - e^{-m \cdot t \cdot \lambda_0})^i \right] \cdot (1 - e^{-r \cdot t \cdot \lambda_0}) \cdot (1 - e^{-t \cdot \lambda_{rem}}), \quad (4)$$

здесь λ_0 – интенсивность отказов микросхем памяти;

i – кратность отказов;

λ_{rem} – интенсивность отказов средств самотестирования и саморемонта.

Тогда ВБР всего ОЗУ при четырех циклах саморемонта вычисляется по формуле:

$$P_{ram}(t) := \begin{cases} (P_{mk}(t) \cdot P_{ikp}(t)) & \text{if } 0 < t < 1 \cdot 10^4 \\ (P_{mk2}(t) \cdot P_{ikp}(t)) & \text{if } 1 \cdot 10^4 \leq t < 4 \cdot 10^4 \\ (P_{mk3}(t) \cdot P_{ikp}(t)) & \text{if } 4 \cdot 10^4 \leq t < 6 \cdot 10^4 \\ (P_{mk4}(t) \cdot P_{ikp}(t)) & \text{if } 6 \cdot 10^4 \leq t < 8 \cdot 10^4 \\ (P_{mk5}(t) \cdot P_{ikp}(t)) & \text{if } 8 \cdot 10^4 \leq t < 2 \cdot 10^5 \end{cases}, \quad (5)$$

здесь $P_{mkt}(t)$ – ВБР модулей памяти трех каналов при одиночном отказе;

$P_{mkt2}(t)$ – ВБР модулей памяти трех каналов при двукратных отказах;

$P_{mkt3}(t)$ – ВБР модулей памяти трех каналов при трехкратных отказах;

$P_{mkt4}(t)$ – ВБР модулей памяти трех каналов при четырех отказах;

$P_{mkt5}(t)$ – ВБР модулей памяти трех каналов при пяти отказах.

Изменение вероятности безотказной работы ОЗУ при четырех отказах и четырех циклах саморемонта приведено на рис. 4.

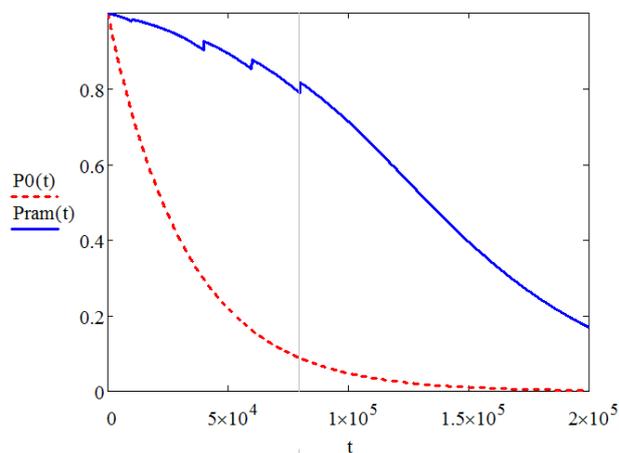


Рис. 4. Изменение вероятности безотказной работы ОЗУ при четырех циклах саморемонта

На рис. 4 через $P(0)$ обозначена ВБР одноканальной памяти без применения средств саморемонта. На основании анализа полученных результатов приходим к выводу, что ВБР отказоустойчивого ОЗУ, построенного по предлагаемой архитектуре, после 79 800 часов работы даже после устранения последствий четырех отказов составляет 0,7892. В тоже время ВБР одноканальной памяти без применения средств саморемонта составляет всего 0,0884. Таким образом, надежность работы ОЗУ увеличена в 8,93 раза.

ЗАКЛЮЧЕНИЕ

Предложены научно-методологические основы разработки архитектуры отказоустойчивых запоминающих устройств, предназначенных для космического применения, построенных на модулях памяти, содержащих встроенные средства самотестирования и саморемонта при многократных отказах. Предлагаемая архитектура отказоустойчивой памяти обеспечивает автоматическое восстановление работоспособности при многократных отказах элементов на борту системы управления космическим аппаратом с помощью встроенных средств самотестирования и саморемонта без применения плавких перемычек и участия обслуживающего персонала. В полупроводниковой памяти при

обнаружении отказов выполняется автоматическая замена разрядов данных основного массива запоминающих ячеек, в которых произошли отказы, на данные, поступающие с выходов запасного массива запоминающих ячеек, что повышает надежность ОЗУ при многократных отказах.

ЛИТЕРАТУРА

- [1] Ахметов Р. Н., Макаров В. П., Соллогуб А. В. Особенности управления живучестью космических аппаратов мониторинга Земли // Вестник Самарского государственного аэрокосмического университета. 2012. №4 (35). С. 25-28.
- [2] Богатырев В.А., Богатырев С.В. Оценка надежности компьютерных систем с учетом поэтапного восстановления аппаратуры и информации // Изв. вузов. Приборостроение. 2016. Т. 59, № 12. С. 975-979.
- [3] Волобуев С.В. Методы и средства повышения надежности модулей памяти компьютеров: монография / С.В. Волобуев, А.П. Евдокимов, А.В. Меликов, В.Г. Рябцев, А.А. Шубович. – Волгоград: ФГБОУ ВО Волгоградский ГАУ, 2018. 284 с.
- [4] Волобуев С.В., Рябцев В.Г. Архитектура встроенных средств самотестирования микросхем памяти статического типа // Электронная техника. Серия 3. Микроэлектроника. 2010. Вып. 3(175). С. 15-20.
- [5] Волобуев С.В., Рябцев В.Г. Имплементация памяти в систему на кристалле со встроенными средствами самотестирования и восстановления // Изв. вузов. Электроника. 2019. Т.24. №3. С. 239-247.
- [6] Дегтярев А.Р., Киселев С.К. Алгоритм аппаратной реконфигурации в многопроцессорных комплексах интегрированной модульной авионики // Изв. вузов. Авиационная техника. 2017. № 1. С. 110–115.
- [7] Каравай М.Ф. Общий подход к построению отказоустойчивых цифровых систем / М.Ф. Каравай // Вестник Томского государственного университета. 2004. № 9. С. 123.
- [8] Каравай М.Ф., Пархоменко П.П., Подлазов В.С. Универсальная сетевая структура для отказоустойчивых многопроцессорных систем реального времени / М.Ф. Каравай, П.П. Пархоменко, В.С. Подлазов // Технические и программные средства систем управления, контроля и измерения: материалы конференции с международным участием. ИПУ им. В.А.Трапезникова РАН, 2010. С. 583-597.
- [9] Мельник Э.В. Технология организации отказоустойчивого функционирования распределенных информационно-управляющих систем сложных технических объектов / С.Г. Капустян, Э.В. Мельник // Вестник компьютерных и информационных технологий. 2010. №4. С. 33-41.
- [10] Методы обеспечения живучести низкоорбитальных автоматических КА зондирования Земли: математические модели, компьютерные технологии [Текст] / А. Н. Кирилин, Р. Н. Ахметов, А. В. Соллогуб [и др.] – М.: Машиностроение, 2010. 384 с.
- [11] Тюрин С.Ф. Надежность систем автоматизации / С.Ф. Тюрин. – Пермь: Изд-во Перм. национ. исслед. политехн. ун-та, 2012. 191 с.
- [12] Щигорев Л.А. Развитие структуры и алгоритма работы устройства встроенного саморемонта статической оперативной памяти // Проблемы разработки перспективных микро- и нанoeлектронных систем – 2018. Сборник трудов / под общ. ред. академика РАН А.Л. Стемповского. – М.: ИППМ РАН, 2018. Вып. II. С. 23-129.
- [13] Address Range Partial Memory Mirroring. [Электронный ресурс]. – Режим доступа: <https://software.intel.com/en-us/articles/address-range-partial-memory-mirroring>
- [14] Demonstrating the Memory RAS Features of Lenovo ThinkSystem Servers. [Электронный ресурс]. – Режим доступа: <https://lenovopress.com/lp0778.pdf>.
- [15] DesignWareSTARMemorySystem. [Электронный ресурс]. – Режим доступа: https://www.synopsys.com/dw/ipdir.php?ds=dwc_bist_ip
- [16] Kaushik S. Embedded Memory Test & Repair at 20-nm Nodes and Below/ [Электронный ресурс]. Режим доступа: <https://www.synopsys.com/Company>.
- [17] Legat U. On line self recovery of embedded multiprocessor SoC on FPGA using dynamic partial reconfiguration / Uros Legat, Anton Biasizzo, Franc Novak // Information Technology and Control. 2012. Vol. 41. № 2. P. 116-124.
- [18] Tsu-Wei Tseng. A Shared Parallel Built-In Self-Repair Scheme for Random Access Memories in SoCs / Tsu-Wei Tseng, Jin-Fu Li // Test Conference. ITC 2008. Oct. 2008. P. 1-9.
- [19] FUJITSU Server PRIMERGY Memory Performance of Xeon E5-2600 v4 (BroadwellEP) based Systems. [Электронный ресурс]. – Режим доступа: <https://sp.ts.fujitsu.com/dmsp/Publications/public/wp-broadwell-ep-memory-performance-ww-en.pdf>.

Design Principles for Fault-tolerant Random Access Memory for Space Applications

S.V. Volobuev, A.P. Evdokimov, V.G. Ryabtsev

Volgograd State Agrarian University,

sergey-aspir14@yandex.ru

Abstract – The main components of microprocessor control devices are storage devices that store programs and are used when executing control algorithms. However, in memory chips under the influence of static electricity, electron migration due to the high conductivity of oxides, the tunneling

effect, etc. over time the failures and malfunctions can occur, which can lead to a catastrophe of such critical application systems as protection systems for reactors of nuclear power plants, control systems for aerospace and other objects, etc.

The memory self-repair technique called BISR (Built-In Self-Repair) is implemented by the fuse-burn controller directly on the chip at the manufacturer's platforms, but automatic repair of storage devices by this technique in the event of repeated failures on the user's platforms is not possible.

If the first memory module fails, the means of operating diagnostics detect it and the second memory module is connected to the control system, which is currently in working condition and stores data and/or the control program. The third module switches to data mirroring mode, and the first module switches to the self-test and automatic recovery mode. This interaction of tools such as operating, built-in test diagnostics, and automatic recovery from multiple failures increases the reliability of control microprocessor systems, which is especially important for such critical applications as protection systems for reactors of nuclear power plants, other power facilities, space technology, marine and ground equipment vehicles, airplanes and other aircraft. Repair of control systems for unmanned aerial vehicles will be possible automatically without the participation of personnel.

The multiple increase of the reliability of control computer systems is especially important for such mission-critical systems applications as space equipment, aircraft and other airborne devices. Repair of storage management systems for an unmanned aerial vehicle will be possible automatically without the participation of personnel.

Implementation of the built-in self-test significantly reduces the cost of funding and increases the percentage of fault coverage, since test diagnostics are performed at operating frequencies and external test equipment is not required, the cost of which, as a rule, is many times higher than the cost of the memory modules themselves.

Keywords — memory mirroring, multiple failures, redundancy, self-testing and self-repair tools.

REFERENCES

- [1] Akhmetov R. N., Makarov V. P., Sollogub A.V. Features of survivability management of Earth monitoring spacecraft // Bulletin of the Samara state aerospace University. 2012., no. 4 (35), P. 25-28 (in Russian).
- [2] Bogatyrev V. A., Bogatyrev S. V. Assessing the reliability of computer systems taking into account the step-by-step recovery of equipment and information. higher educational. Instrument making. 2016. Vol. 59, no. 12. P. 975-979 (in Russian).
- [3] Volobuev S. V., Methods and means for improving the reliability of computer memory modules: monograph / S. V. Volobuev, A. P. Evdokimov, A.V. Melikov, V. G. Ryabtsev, A. A. Shubovich. - Volgograd: fgbou VO Volgograd GAU, 2018. – 284 p. (In Russian).
- [4] Volobuev S. V., Ryabtsev V. G. Architecture of built - in means of self-testing of memory chips of static type // Electronic engineering. Series 3. Microelectronics. 2010. Issue 3(175). P. 15-20 (in Russian).
- [5] Volobuev S. V., Ryabtsev V. G. memory Implementation in a system on a chip with built-in self-testing and recovery tools // Izv. higher educational. Electronics. 2019. Vol. 24. No. 3. P. 239-247 (in Russian).
- [6] Degtyarev A. R., Kiselev S. K. hardware reconfiguration Algorithm in multiprocessor complexes of integrated modular avionics // Izv. higher educational. Aviation equipment. 2017. No. 1. P. 110-115 (in Russian).
- [7] Karavay M. F., General approach to building fault-tolerant digital systems / M. F. Karavay // Bulletin of Tomsk state University. 2004. No. 9. P. 123 (in Russian).
- [8] Karavay M. F., Parkhomenko P. P., Podlazov V. S. Universal network structure for fault-tolerant real-time multiprocessor systems /M. F. Karavay, Parkhomenko P. P., Podlazov V. S. // Technical and software tools for control, control and measurement systems: materials of the conference with international participation. IPU them. V. A. Trapeznikova RAS, 2010. P. 583-597 (in Russian).
- [9] Melnik E. V., Technology of organization of fault-tolerant functioning of distributed information and control systems of complex technical objects/ S. G. Kapustyan, E. V. Melnik // Bulletin of computer and information technologies. 2010. No. 4. P. 33-41 (in Russian).
- [10] Methods for ensuring the survivability of low-orbit automatic earth sensing SPACECRAFT: mathematical models, computer technologies [Text] / A. N. Kirilin, R. N. Akhmetov, A.V. Sollogub [et al.] – M.: mechanical engineering, 2010. 384 p. (In Russian).
- [11] Tyurin S. F., Reliability of automation systems / S. F. Tyurin. - Perm: Perm publishing House. nation. research. Polytech. UN-TA, 2012. 191 p. (In Russian).
- [12] Shchigorev L. A., Development of the structure and algorithm of the device of built-in self-repair of static RAM // Problems of development of promising micro-and nanoelectronic systems-2018. Collection of works edited by academician of the Russian Academy of Sciences A. L. Stempkovsky. Moscow: IPPM RAS, 2018. Issue II. P. 123-129 (in Russian).
- [13] AddressRangePartialMemoryMirroring. [Electronic resource]. – Access mode: <https://software.intel.com/en-us/articles/address-range-partial-memory-mirroring>
- [14] Demonstrating the Memory RAS Features of Lenovo ThinkSystem Servers. [Electronic resource]. – Access mode: <https://lenovopress.com/lp0778.pdf>.
- [15] DesignWareSTARMemorySystem. [Electronic resource]. – Access mode: https://www.synopsys.com/dw/ipdir.php?ds=dwc_bist_ip.
- [16] Kaushik S. Embedded Memory Test & Repair at 20-nm Nodes and Below/ [Electronic resource]. – Access mode: <https://www.synopsys.com/Company>.
- [17] Legat U. On line self recovery of embedded multiprocessor SoC on FPGA using dynamic partial reconfiguration / Uros Legat, Anton Biasizzo, Franc Novak // Information Technology and Control. 2012. Vol. 41. № 2. P. 116-124.
- [18] Tsu-Wei Tseng. A Shared Parallel Built-In Self-Repair Scheme for Random Access Memories in SoCs / Tsu-Wei Tseng, Jin-Fu Li // Test Conference.ITC 2008. Oct. 2008. P. 1-9.
- [19] FUJITSU Server PRIMERGY Memory Performance of Xeon E5-2600 v4 (BroadwellEP) based Systems. [Electronic resource]. – Access mode: <https://sp.ts.fujitsu.com/dmsp/Publications/public/wp-broadwell-ep-memory-performance-ww-en.pdf>