

Практическая реализация тандемного синтезатора с дробным коэффициентом деления для видеоконтроллера по технологии 65 нм

С. И. Борошко, П. Г. Кириченко, И. В. Тарасов, Е. В. Ткаченко, А. Г. Хохлова.

ФГУ ФНЦ НИИСИ РАН, hohlova@cs.niisi.ras.ru

Аннотация — Рассмотрен процесс разработки синтезатора частот с блоком фазовой автоподстройки частоты (ФАПЧ) со схемой автосмещения и программируемым блоком накачки заряда (БНЗ) для видеоконтроллера. Предложена и реализована на практике тандемная архитектура синтезатора, позволяющая получить тактовую частоту интерфейса с шагом 250 кГц и менее без применения дельта-сигма модулятора, фазового интерполятора и рандомизатора в петле обратной связи. Представлены результаты измерений характеристик синтезатора частот, изготовленного по технологии 65 нм.

Ключевые слова — ФАПЧ, дрожание фазы, дробный коэффициент деления.

I. ВВЕДЕНИЕ

Основной функцией синтезатора частоты является преобразование входного опорного низкочастотного сигнала в высокочастотный. Из-за разнообразия областей применения синтезаторов возникают требования к достаточной гибкости последних в широком диапазоне входных и выходных частот при сохранении стабильности работы и минимальной величине дрожания фазы (джиттера) выходного сигнала. Так, например, в видеоконтроллерах погрешность установки пиксельной частоты (без учета джиттера) должна находиться в диапазоне $\pm 0,5\%$. Значения этих частот всегда кратны 250 килогерцам. Для интерфейса HDMI стандартом установлена скорость передачи данных на частоте в 7 раз большей, чем пиксельная (для передачи 14 бит на пиксель по каждому фронту и срезу синхросигнала). А для интерфейса DVI пиксельная частота умножается на 5 (10 бит на пиксель).

Для примера пиксельная частота монитора с разрешением 1920*1200 пикселей и кадровой разверткой 60 Гц составляет 193,25 МГц. При реализации последовательного канала обмена данными HDMI пиксельная частота умножается на 7 и составляет 1352,75 МГц, сохраняя кратность своей величины 250 килогерцам. При этом величина дрожания фазы не должна по стандарту превышать $0,25UI$, где UI (unit interval) определяется как время, отведенное на передачу одного бита пикселя. Т.е. для указанных выше условий абсолютная величина дрожания фазы не должна быть более $0,25/(193,25 \cdot 10^6 \cdot 14) = 92$ пс.

Таким образом, к синтезаторам для подсистем вывода изображений предъявляются жесткие и, можно даже сказать, взаимоисключающие требования обеспечения широкого диапазона частот (не менее одного порядка величины) одновременно с мелким шагом сетки их допустимых значений (250 кГц) и погрешностью задания величины этой частоты, не превышающей полпроцента. При этом еще требуется обеспечить, чтобы дрожание фазы не превышало установленное стандартом относительное значение. В данной статье описывается, каким образом решалась эта задача при разработке системы на кристалле по технологии 65 нм, и показаны результаты, полученные во время испытаний изготовленного видеоконтроллера.

II. БАЗОВАЯ АРХИТЕКТУРА И ОГРАНИЧЕНИЯ ЕЕ ПРИМЕНЕНИЯ

В стандартной архитектуре однопетлевого синтезатора на основе блока фазовой автоподстройки частоты (ФАПЧ) используется самоперестраиваемый генератор, управляемый напряжением (ГУН), сигнал которого после требуемого программируемого деления на целочисленный коэффициент N по частоте (F_{VCKDIV}) подается на один из входов фазового детектора (ФД). Другой вход фазового детектора подключен к делителю на M опорного сигнала (F_{REFDIV}). Фазовый детектор сравнивает сигналы на двух входах и генерирует сигнал ошибки, который поступает на вход блока накачки заряда (БНЗ). Последний, в свою очередь, формирует соответствующий корректирующий импульсный заряд большой амплитуды и малой длительности, который проходит далее через ФНЧ и подстраивает частоту ГУН к нужной выходной частоте. В установившемся состоянии синтезатор генерирует выходную частоту F_{OUT} в N/M раз большую, чем опорная частота F_{REF} .

Схема, реализующая такой подход, представлена на рис. 1. Здесь ФНЧ реализован на переключаемых конденсаторах. Импульсный сигнал ошибки поступает с БНЗ на конденсаторы C_{p1} или C_{p2} . Пока один из этих конденсаторов заряжается, другой находится в состоянии сброса заряда на интегрирующую емкость C_i (на рис. 1 C_{p2} накапливает заряд, C_{p1} находится в состоянии сброса). Сигналы ошибок V_{FS1} и V_{FS2} суммируются и подаются на схему автосмещения, которая корректирует сигналы смещения транзисторов ГУН V_{BN} и V_{BP} .

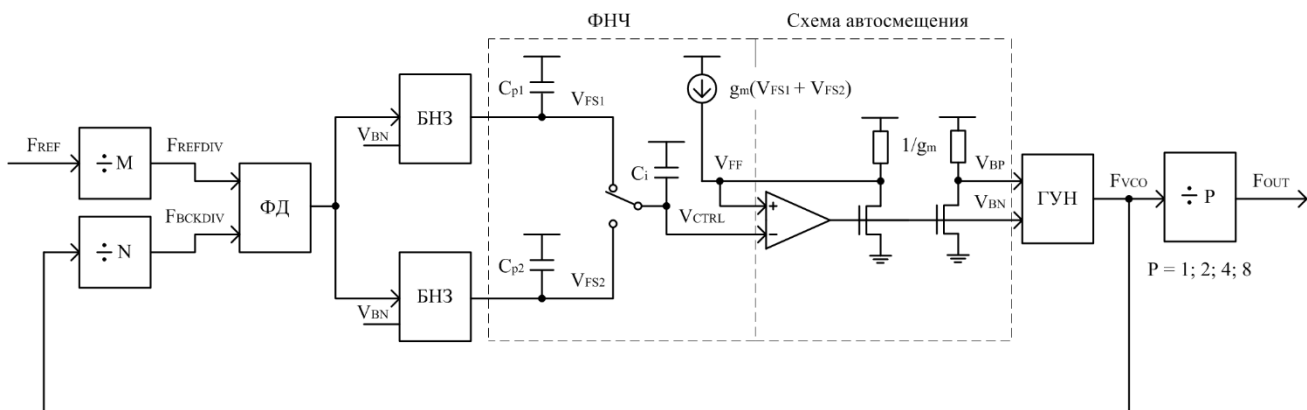


Рис. 1. Базовая архитектура синтезатора

После ГУН в схему синтезатора частоты для расширения диапазона частот выходного сигнала F_{OUT} добавлен дополнительный программируемый делитель выходной частоты на P (коэффициенты деления на 1, 2, 4, 8).

Синтезатор частоты на основе ФАПЧ со схемой автосмещения [1,2] решает проблему ограничения частотного диапазона сигналов F_{REF} и F_{OUT} : вместо фиксированного сопротивления в фильтре низких частот используется сопротивление $1/g_m$, пропорциональное периоду выходной частоты, как показано на рис. 1. БНЗ сделан программируемым, так как в этом случае его основу составляет набор переключаемых двои́чно-взвешенных источников тока, которые управляют величиной корректирующего импульсного заряда.

ГУН в данном синтезаторе реализован на основе кольцевого генератора [1-4]. Такая архитектура синтезатора частоты обеспечивает широкий диапазон умножения входного опорного низкочастотного сигнала, что позволяет использовать ее в самых разных применениях: в подсистемах генерации тактовой частоты микропроцессора, в последовательных интерфейсах и пр. Схема автосмещения гарантирует стабильную работу системы при различных коэффициентах умножения частоты и уменьшает влияние помех по питанию. Дискретный ФНЧ уменьшает величину периодического дрожания фазы выходного сигнала.

Данная архитектура синтезатора при всех достоинствах, обусловивших ее широкое применение во множестве проектов, включая наши собственные [5], имеет существенный недостаток, не позволяющий применить ее напрямую для генерации тактового сигнала видеоконтроллера. Речь идет о шаге сетки установки частоты. При такой архитектуре и целочисленных коэффициентах деления частоты сигнала в петле обратной связи он не может достигать требуемого для видеоконтроллеров значения 250 кГц. Так, при частотах выше 1 ГГц, шаг в 250 кГц будет обеспечиваться при делении сигнала обратной связи делителем, имеющим разрядность не менее 12 бит.

Как показывают расчеты и моделирование, низкая частота сигнала с выхода подобного делителя не сможет обеспечить устойчивую работу синтезатора в диапазоне 300...1500 МГц. Это связано с тем, что при большом коэффициенте деления на выходе фазового детектора возникает сигнал слишком низкой частоты для корректной работы последующих аналоговых блоков. Утечки на емкостях ФНЧ между редкими импульсами с блоков накопления заряда приводят к такому падению величин напряжений, управляющих ГУН, что он теряет стабильность установки частоты.

По этой причине разработчики синтезаторов видеоконтроллеров используют делители с дробным коэффициентом деления в петле обратной связи.

III. СПОСОБЫ ПОЛУЧЕНИЯ ДРОБНОГО КОЭФФИЦИЕНТА ДЕЛЕНИЯ

Для решения задачи получения дробного коэффициента деления применяют различные способы. Так, например, в работе [6], используется схема с рандомизатором коэффициента деления. В статье [7] применяется дельта-сигма модулятор, переключающийся между 10 фазами сигнала в петле обратной связи. В этой же работе используется двухступенчатая схема генерации сигнала высокой частоты с дробным коэффициентом деления, показанная на рис. 2.

Первая ступень, генератор пиксельной частоты (ГПЧ), построена на основе генератора, управляемого напряжением и выдающего 10 равномерно распределенных фаз сигнала необходимой частоты, а также дельта-сигма модулятора в цепи обратной связи. Вторая ступень, блок умножения частоты (БУЧ), представляет из себя ФАПЧ с целочисленным фиксированным коэффициентом деления, равным 7. Именно на эту величину умножается пиксельная частота при ее передаче по каналу для видеостандарта HDMI. Таким образом, в первой ступени синтезатора формируется сигнал относительно низкой частоты с точностью ее установки, укладывающейся в рамки стандарта, а вторая ступень преобразует этот сигнал в высокочастотный. Тем самым сложная задача разбивается на две более простые.

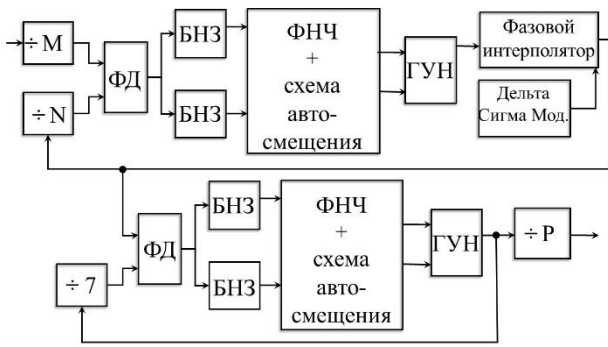


Рис. 2. Архитектура двухступенчатого синтезатора для видеоконтроллера

Однако данный подход имеет свои ограничения. Рассмотренная двухступенчатая архитектура синтезаторов разработана специалистами фирмы Samsung и предназначена для использования в видеоконтроллерах дисплейных панелей со строго определенным разрешением [7]. То есть ГПЧ обеспечивает лишь небольшое количество значений выходных частот с высокой точностью, а БУЧ умножает ее в 7 раз. В нашем же случае речь идет о проектировании видеоконтроллера для заранее не определенного спектра мониторов, поэтому для широкого охвата разнообразных разрешений и частот кадровой развертки минимальная пиксельная частота отличается от максимальной приблизительно в 5 раз. Такой широкий диапазон опорных частот для второй ступени требует внесения изменений в архитектуру синтезатора, предложенную в работе [7].

IV. ТАНДЕМНАЯ АРХИТЕКТУРА

Наличие в цепи обратной связи синтезатора систем, обеспечивающих дробный коэффициент деления, неизбежно приводит к росту величины дрожания фазы. Основная идея предложенной нами тандемной архитектуры заключается в том, чтобы использовать достоинства двухступенчатой схемы с точки зрения гибкости настройки получаемых частот, но при этом сохранить более низкую величину джиттера, присущую синтезаторам с целочисленными коэффициентами деления.

Было решено взять за основу обеих ступеней абсолютно идентичные разработанные ранее и описанные выше синтезаторы с целочисленным коэффициентом деления в цепи обратной связи, теоретическое описание которых было представлено нами ранее в работе [8]. Выходной сигнал первой ступени используется в качестве опорного сигнала для второй. В этом случае формула для расчета выходной частоты приобретает следующий вид:

$$F_{OUT} = F_{REF} \cdot \frac{N_1}{M_1} \cdot \frac{N_2}{M_2} \cdot \frac{1}{P_1 \cdot P_2},$$

где M_1 и M_2 обозначают коэффициенты деления опорной частоты в первой и второй ступенях соответственно, N_1 и N_2 — коэффициенты деления

частоты в петлях обратной связи, а P_1 и P_2 — коэффициенты выходных делителей.

Наличие вдвое большего количества коэффициентов деления частот опорного сигнала и сигнала обратной связи по сравнению с одноступенчатым синтезатором позволяет не только получать итоговый коэффициент преобразования частоты с маленьким шагом, но и во многих случаях иметь большой набор вариантов для получения одного и того же значения выходной частоты. Последнее обстоятельство дает разработчику возможность подбирать такие частоты опорного сигнала для второй ступени, величины которых лежат не в пятикратном, а в существенно более узком диапазоне для всех возможных пиксельных частот, обеспечивая тем самым минимальный джиттер выходного сигнала.

На рис. 3 представлена глазковая диаграмма сигнала с $F_{OUT} = 1$ ГГц, полученная при моделировании в среде Cadence. Глазковая диаграмма строилась на базе серии выходных импульсов, полученных на интервале длиной 1 мкс, т.е. 1000 импульсов, наложенных друг на друга. Значение частоты 1 ГГц было выбрано исключительно с целью удобства построения и анализа диаграммы, на других частотах картина аналогична с точки зрения джиттера. При этом коэффициенты деления были следующими: $M_1 = M_2 = 10$, $N_1 = 40$, $N_2 = 80$, $P_1 = 4$, $P_2 = 1$. После второй ступени реализована схема детектора захвата частоты, которая срабатывает, если в течение 32 периодов сигнала опорной частоты для второй ступени фазовый детектор не выдавал сигнал изменения частоты вверх или вниз. Полностью процесс установления выходной частоты синтезатора занимает в зависимости от условий от 20 до 30 мкс.

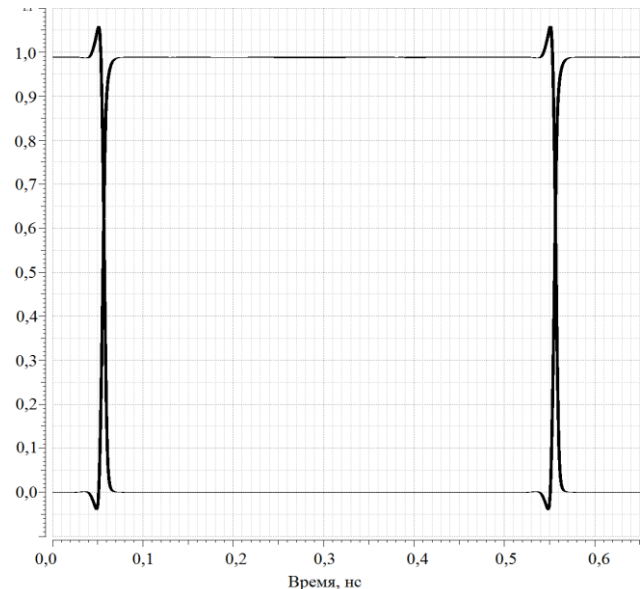


Рис. 3. Глазковая диаграмма сигнала с $F_{out} = 1$ ГГц, полученная на этапе моделирования

Поскольку выходной сигнал первой ступени используется в качестве опорного сигнала для второй, коэффициенты деления не могут выбираться

произвольно во всем диапазоне значений, а должны удовлетворять ограничениям, накладываемым на опорную частоту синтезатора ($100 \text{ МГц} < F_{\text{REF}} < 300 \text{ МГц}$). Это приводит к некоторому сужению возможности выбора выходной частоты tandemного синтезатора, однако даже при этом сетка частот остается достаточно густой, хотя и становится неравномерной.

Так, например, F_{OUT} в диапазоне $500...501 \text{ МГц}$ имеет следующий ряд возможных значений (в МГц): 500,00, 500,09, 500,15, 500,17, 500,22, 500,28, 500,29, 500,32, 500,39, 500,44, 500,47, 500,48, 500,52, 500,55, 500,60, 500,62, 500,69, 500,75, 500,77, 500,89, 500,96, 500,97, 501,00. При этом следует отметить, что с целью обеспечения наибольшей устойчивости работы фазовых детекторов при расчетах и моделировании использовались значения коэффициентов M_1 и M_2 , не превышающие 10. Видно, что применение двухступенчатой схемы синтезаторов с целочисленными коэффициентами деления позволяет получить очень мелкий шаг изменения частоты, измеряющийся не более чем десятками кГц, без использования дельта-сигма модуляторов, рандомизаторов, фазовых интерполяторов и других вариантов получения дробного коэффициента деления в петле обратной связи. Несмотря на то, что сетка частот даже в рассмотренном диапазоне не попадает точно в шаг 250 кГц (нет, например, значений $500,25$ и $500,50 \text{ МГц}$), отклонения от ближайших доступных значений настолько малы, что с запасом укладываются в требования $0,5\%$, предъявляемые стандартом.

Конечно, при этом нельзя не отметить, что площадь, занимаемая tandemным синтезатором на кристалле будет больше, чем площадь одноступенчатого варианта. Однако, учитывая, что в синтезаторе из работы [7] в первой ступени содержится еще и рандомизатор, построенный на сигма-дельта модуляторе, предложенное нами решение не является самым громоздким из всех возможных. При этом оно, очевидно, является самым простым, обеспечивающим близкую к минимальной величину фазового дрожания по своей архитектуре в принципе.

V. ПРАКТИЧЕСКИЕ РЕЗУЛЬТАТЫ

Синтезатор, использующий предложенную в данной работе tandemную архитектуру, был реализован в системе на кристалле, изготовленной по технологии TSMC 65 нм. В ходе испытаний видеоконтроллера было подтверждено соответствие стандартам VESA его фазовых и частотных характеристик. На рис. 4 представлена временная и глазковая диаграммы сигнала синтезатора на выходе микросхемы, то есть с учетом влияния корпуса и линий связи на плате, для частоты 1 ГГц , глазковая диаграмма которой, построенная по результатам моделирования, была показана на рис. 3.

Видно, что выходной сигнал в реальности хотя и хуже, чем по итогам моделирования, однако имеет низкое значение фазового дрожания. Ширина глазковой

диаграммы составляет один UI, она составлялась наложением не менее 5 тысяч выходных импульсов. При этом даже без измерений видно, что величина джиттера не превышает $0,25\text{UI}$, как и требуется по стандарту. Это для пользователя выражается в устойчивой работе монитора без помех, дрожания изображения и артефактов.

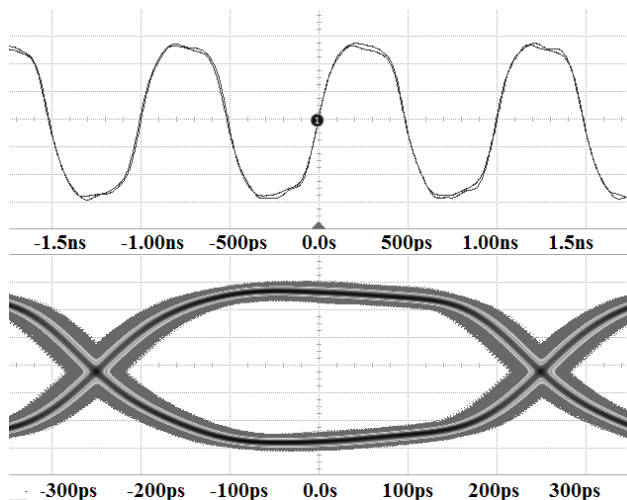


Рис. 4. Временная (вверху) и глазковая (внизу) диаграммы сигнала $F_{\text{out}} = 1 \text{ ГГц}$

Однако такое целочисленное значение выходной частоты может быть получено и на одноступенчатом синтезаторе. Диаграмма на рис. 4 приводится лишь для сопоставления результатов моделирования выходного сигнала синтезатора с измерениями на произведенной материнской плате. В последнем случае на сигнал оказывается дополнительное негативное воздействие со стороны элементов корпуса микросхемы, контактирующего устройства и платы.

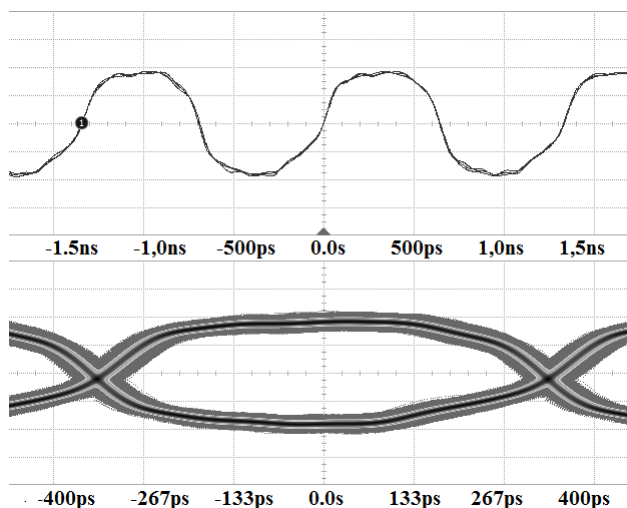


Рис. 5. Временная (вверху) и глазковая (внизу) диаграммы сигнала $F_{\text{out}} = 743,75 \text{ МГц}$

Гораздо больший интерес представляет работа синтезатора в режиме дробной выходной частоты. Так, для коэффициентов $N_1=34$, $N_2=28$, $M_1=5$, $M_2=4$, $P_1=8$, $P_2=1$ значение выходной частоты составляет $743,75$

МГц (при частоте колебаний ГУН первой ступени 850 МГц и выходной частоте первой ступени, используемой в качестве опорной для второй, 106,25 МГц). Результат измерений для данных параметров показан на рис. 5.

Рассмотрим на примере получение пиксельной частоты 193,25 МГц для мониторов 1920x1200 с кадровой разверткой 60 Гц. При умножении этой частоты на коэффициент 5 для передачи данных по последовательному интерфейсу DVI требуется частота 966,25 МГц. В рамках тандемной архитектуры с целочисленными коэффициентами деления ближайшее к указанному значение, которое возможно получить, равняется 966,36 МГц ($N_1=61$, $N_2=73$, $M_1=8$, $M_2=9$, $P_1=8$, $P_2=1$), что вполне укладывается в допустимый диапазон отклонения по стандарту. Результат измерений представлен на рис. 6.

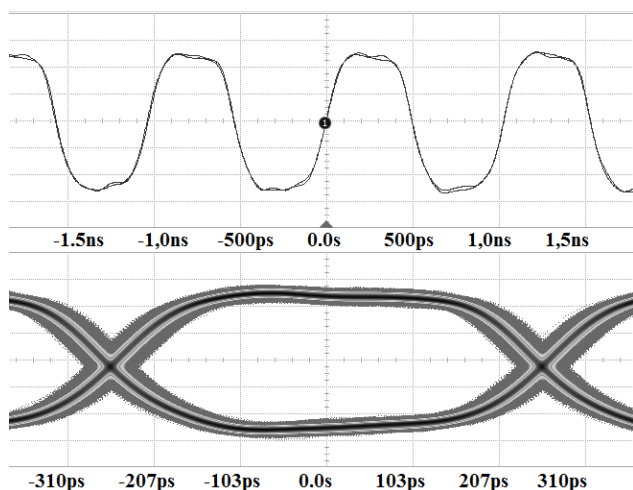


Рис. 6. Временная (вверху) и глазковая (внизу) диаграммы сигнала $F_{out} = 966,36$ МГц

Таким образом, была разработана и реализована на практике двухступенчатая схема ФАПЧ, в которой дробный коэффициент умножения опорной частоты получается исключительно путем использования целочисленных коэффициентов деления сигналов опорной частоты и обратной связи в каждой из ступеней и применением идентичной схемотехники обеих ступеней. Такой подход позволяет использовать простую архитектуру ФАПЧ вместо применения фазовых интерполяторов, дельта-сигма модуляторов и

рандомизаторов. При этом шаг изменения частоты измеряется десятками кГц, что допускает использование предложенного синтезатора в схемах видеоконтроллеров с широким диапазоном поддерживаемых разрешений. Выходная частота синтезатора может варьироваться от десятков мегагерц до 1400 МГц.

Практические результаты, полученные в результате проведенного исследования, были использованы в микропроцессорах, разработанных в рамках работ, проводимых в нашей организации.

ЛИТЕРАТУРА

- [1] Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques. / John G. Maneatis. // IEEE Journal of Solid-State Circuits. - 1996. - Vol. 31. - № 11. - PP. 1723 - 1732.
- [2] Design and Analysis of Noise Tolerant Ring Oscillators Using Maneatis Delay Cells. / Josh Carnes, Igor Vytyaz, Pavan Kumar Hanumolu, Kartikeya, et. al. // IEEE International Conference. - 2007. - PP. 494 - 497.
- [3] A 20-GHz Phase-Locked Loop for 40-Gb/s Serializing Transmitter in 0.13-um CMOS. / Jaeha Kim, Jeong-Kyoum Kim, Bong-Joon Lee, Namhoon Kim, et. al. // IEEE Journal of Solid-State Circuits. - 2006. - Vol. 41. - № 4. - PP. 899 - 908.
- [4] A Low Reference Spurs 1-5 GHz 0.13 um CMOS Frequency Synthesizer Using a Fully-sampled Feed-Forward Loop Filter Architecture. / Adrian Maxim. // IEEE Journal of Solid-State Circuits. - 2007. - Vol. 42. - № 11. - PP. 2503 - 2514.
- [5] Агафонов А.Е. 1 ГГц синтезатор частоты со схемой автосмещения по технологии 65 нм. Электроника, микро- и нанoeлектроника. Сборник научных трудов / Под ред. В.Я. Стенина. – М.:НИЯУ МИФИ, 2013. – 165 – 171 с.
- [6] A 1.8 GHz CMOS Fractional-N Frequency Synthesizer with Randomized Multi-Phase VCO / Chun-Huat Heng, Bang-Sup Song // IEEE Custom Integrated Circuit Conference. – 2002 – PP. 427 – 430.
- [7] A 65nm 3.4Gbps HDMI TX PHY with Supply-regulated Dual-tuning PLL and Blending Multiplexer / Jongshin Shin, Jaehyun Park, Bongjin Kim, Jongjae Rue et al. // IEEE Custom Integrated Circuit Conference. – 2008 – PP. 237 – 240.
- [8] Агафонов А.Е., Борошко С.И., Кириченко П.Г., Сысоева О.В., Тарасов И.В., Хохлова А.Г. Синтезатор видеоконтроллера по технологии 65 нм для мониторов с разрешением до 4К // НАНОИНДУСТРИЯ / М. "Техносфера": 2019 - С. 321-324.

A 65-nm Implementation of Tandem-Style Fractional-N Synthesizer for Video Controller

S. I. Boroshko, P. G. Kirichenko, I. V. Tarasov, E. V. Tkachenko, A. G. Hohlova

SRISA RAS, Moscow

hohlova@cs.niisi.ras.ru

Abstract — Video controllers require clock frequency with a value that contains fractional part. This part is a multiple of 250 kHz as VESA standard declares. Thus, a designer of frequency synthesizer for displays has to follow conflicting requirements simultaneously: wide range of frequencies with small steps of their setup. The common approach for solving this issue is using of fractional-N techniques such as phase interpolators, randomizers, sigma-delta modulators, etc. However, these circuits add significant component to jitter value, which may results in display blinking, artefacts and other video output problems.

In this article we propose another method to obtain fractional frequency value by using of two subsequent identical integer synthesizers (called Tandem-style). Each of them has jitter value definitely smaller than fractional-N blocks. Thus the output frequency of the first one is the reference for the second one. As a result, the output frequency of such circuit may be calculated using an equation with six coefficients instead of three ones.

The doubled number of coefficients allows obtaining significantly more number of fractional frequency values than one integer synthesizer. For example, in the range of 500...501 MHz the sequence of values is (in MHz): 500.00, 500.09, 500.15, 500.17, 500.22, 500.28, 500.29, 500.32, 500.39, 500.44, 500.47, 500.48, 500.52, 500.55, 500.60, 500.62, 500.69, 500.75, 500.77, 500.89, 500.96, 500.97, 501.00. Despite of the fact that in the above sequence one cannot find the exact frequency values with step of 250 kHz (there are no 500.25 and 500.50 MHz) the nearest available frequencies have a difference of several dozens of kHz from the required values. This place them into the target of accuracy declared in VESA standard (0.5%).

In the last section of the article, we discuss the experimental diagrams of clock waveforms obtained for the 65-nm chip of a microprocessor with embedded video controller built using the proposed approach.

Keywords — PLL, jitter, fractional-N.

REFERENCES

- [1] Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques. / John G. Maneatis. // IEEE Journal of Solid-State Circuits. - 1996. - Vol. 31. - № 11. - PP. 1723 - 1732.
- [2] Design and Analysis of Noise Tolerant Ring Oscillators Using Maneatis Delay Cells. / Josh Carnes, Igor Vytyaz, Pavan Kumar Hanumolu, Kartikeya, et. al. // IEEE International Conference. - 2007. - PP. 494 - 497.
- [3] A 20-GHz Phase-Locked Loop for 40-Gb/s Serializing Transmitter in 0.13-um CMOS. / Jaeha Kim, Jeong-Kyoum Kim, Bong-Joon Lee, Namhoon Kim, et. al. // IEEE Journal of Solid-State Circuits. - 2006. - Vol. 41. - № 4. - PP. 899 - 908.
- [4] A Low Reference Spurs 1-5 GHz 0.13 um CMOS Frequency Synthesizer Using a Fully-sampled Feed-Forward Loop Filter Architecture. / Adrian Maxim. // IEEE Journal of Solid-State Circuits. - 2007. - Vol. 42. - № 11. - PP. 2503 - 2514.
- [5] Agafonov A.E. 1 GГц синтезатор частоты со шемой автосмешенія по технологии 65 nm (A 65 nm 1 GHz frequency synthesizer with autoshifting circuit). *Jelektronika, mikro- i nanojelektronika. Sbornik nauchnyh trudov / Pod red. V.Ja. Stenina. - M.:NIJaU MIFI, 2013. - 165 - 171 s.*
- [6] A 1.8 GHz CMOS Fractional-N Frequency Synthesizer with Randomized Multi-Phase VCO / Chun-Huat Heng, Bang-Sup Song // IEEE Custom Integrated Circuit Conference. - 2002 - PP. 427 - 430.
- [7] A 65nm 3.4Gbps HDMI TX PHY with Supply-regulated Dual-tuning PLL and Blending Multiplexer / Jongshin Shin, Jaehyun Park, Bongjin Kim, Jongjae Rue et al. // IEEE Custom Integrated Circuit Conference. - 2008 - PP. 237 - 240.
- [8] Agafonov A.E., Boroshko S.I., Kirichenko P.G., Sysoeva O.V., Tarasov I.V., Hohlova A.G. Синтезатор видеоконтроллера по технологии 65 nm для мониторов с разрешением до 4K (A 65 nm video controller synthesizer for displays with resolution up to 4K) // NANOINDUSTRIJA / M. "Tehnosfera": 2019 - S. 321-324.