

ЦФАПЧ с бинарным фазовым детектором, контролем джиттера выходного сигнала и центральной частотой 10 ГГц

В.В. Мастеров

Научно-исследовательский институт системных исследований РАН, г. Москва,
masterov@cs.niisi.ras.ru

Аннотация — В данной работе представлена реализация блока с цифровой автоподстройкой частоты с применением бинарного фазового детектора по технологии КМОП 65 нм. Среднеквадратичный (rms) джиттер выходного сигнала на частоте 10 ГГц составил 315 фс. В разработанное устройство встроены блок оптимизации собственной полосы пропускания, что позволило уменьшить rms джиттер выходного сигнала на 43%. Время выхода в рабочий режим благодаря блоку подстройки частоты составил 12 мкс. Ток потребления LC осциллятора составил 5,8 мА, фазовый шум — -109,61 дБ/Гц на частоте смещения 1 МГц.

Ключевые слова — ЦФАПЧ, бинарный фазовый детектор, джиттер, пропорционально-интегральный фильтр, цифровой осциллятор, стохастический резонанс.

I. ВВЕДЕНИЕ

Схемы с ФАПЧ (фазовая автоподстройка частоты) нашли широкое применение в таких областях как генерация частот и восстановление данных из зашумленных каналов связи. Стремление к уменьшению топологической нормы с целью улучшения показателей потребляемой энергии и плотности устройств на кристалле приводит к увеличению влияния паразитных квантовых эффектов, а значит и к усложнению проектирования аналоговых устройств [1]. В связи с этим является актуальным применение цифровых решений в области проектирования ФАПЧ. В ЦФАПЧ (цифровые устройства с фазовой автоподстройкой частоты) механизм подкачки заряда и фильтр нижних частот заменены цифровым пропорционально-интегральным фильтром. Осциллятор, управляемый напряжением, заменен осциллятором, управляемым кодом. В работе [2] предложена схема ЦФАПЧ, где в процессе детектирования фазовой ошибки используется преобразователь «временной интервал – код». Такая ЦФАПЧ демонстрирует фазовый шум, сравнимый с аналоговой реализацией, и получила распространение в беспроводных каналах связи. Однако используемый преобразователь является аналоговой схемой и чем выше его требуемое разрешение, тем сложнее проектирование. Кроме этого, преобразователь, как и любое прецизионное аналоговое устройство, подвержен влиянию разбросов технологического процесса, а значит нужен дополнительный калибровочный этап в процессе подстройки фазы, что также увеличивает потребление, площадь и время

настройки. В качестве альтернативы в работе [3] предложена схема ЦФАПЧ, в которой процесс детектирования фазовой ошибки реализован с помощью бинарного фазового детектора.

В данной работе реализовано устройство ЦФАПЧ с автоматическим контролем передаточной характеристики. Вследствие многоэтапной работы цифрового фильтра достигается относительно быстрое установление в рабочий режим. Кроме того, содержится блок, позволяющий снизить джиттер выходного сигнала в фоновом режиме. В главе II показана общая схема и принцип работы блока с ЦФАПЧ. В главе III показана структура бинарного фазового детектора. В главе IV описан осциллятор, управляемый кодом. Принцип работы цифрового фильтра рассмотрен в главе V. Блок контроля джиттера выходного сигнала описан в главе VI. Результаты моделирования представлены в главе VII.

II. СХЕМА ЦФАПЧ С БИНАРНЫМ ФАЗОВЫМ ДЕТЕКТОРОМ

На рис. 1 показана общая блок схема ЦФАПЧ с бинарным фазовым детектором.

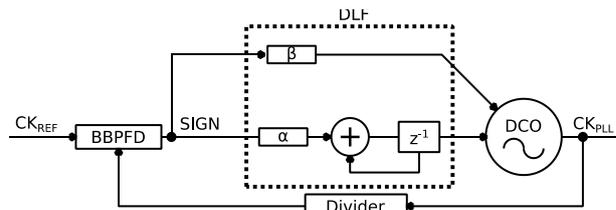


Рис. 1. Блок схема ЦФАПЧ

Устройство работает следующим образом: бинарный фазовый детектор BBPFD принимает два сигнала - опорный и с делителя, и задает одно из двух возможных значений на выходе, т.е. -1, если фронт опорного сигнала опережает фронт сигнала с делителя и +1 в обратном случае; полученное значение обрабатывается пропорционально-интегральным фильтром DLF, после чего преобразуется в термокод управления осциллятором DCO. Осциллятор имеет дискретный набор выходных частот.

Пропорционально-интегральный фильтр характеризуется пропорциональным коэффициентом передачи β и интегральным коэффициентом α .

Полоса пропускания данной схемы описывается выражением:

$$\omega_{3dB}^2 = (K^2\beta^2 + 2K\alpha)/T_{ro}^2, \quad (1)$$

где T_{ro} – период опорного сигнала, $K = K_{bpd} \cdot K_T \cdot N$, $K_{bpd} = 1/(\sqrt{2} \sigma_{ref})$ — коэффициент передачи детектора, N – отношение частот осциллятора к опорному, K_T – коэффициент передачи осциллятора во временном домене, σ_{ref} – среднеквадратичное (rms) значение джиттера опорного сигнала. Как следует из (1) на полосу пропускания главным образом влияет пропорциональный коэффициент β .

III. БИНАРНЫЙ ФАЗОВЫЙ ДЕТЕКТОР

Бинарный фазовый детектор сравнивает фронты двух входных сигналов и выдает одно из двух возможных значений. В случае, когда фронт сигнала обратной связи опережает фронт опорного тактового сигнала, на выходе устанавливается значение логического нуля; в противном случае – устанавливается значение логической единицы.

На рис. 2 показана схема фазового детектора. Поведение данного устройства схоже с поведением обычного D триггера, однако данная схема имеет меньшую ширину гистерезиса в поведении переходов выходного сигнала и, соответственно, меньше влияет на шумовые характеристики ЦФАПЧ [3].

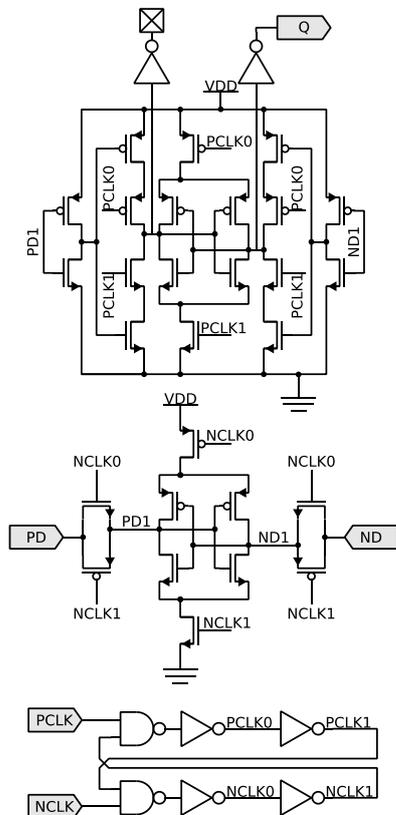


Рис. 2. Схема бинарного фазового детектора

IV. ОСЦИЛЛЯТОР

Блок схема осциллятора представлена на рис. 3. Осциллятор представляет из себя LC контур с парами NMOS и PMOS транзисторов, которые формируют положительную обратную связь. Присутствуют два набора емкостных ячеек – большей емкости на MOM конденсаторах и малой емкости на PMOS транзисторах. Каждый из наборов управляется своим пропорционально-интегральным фильтром в блоке DLF.

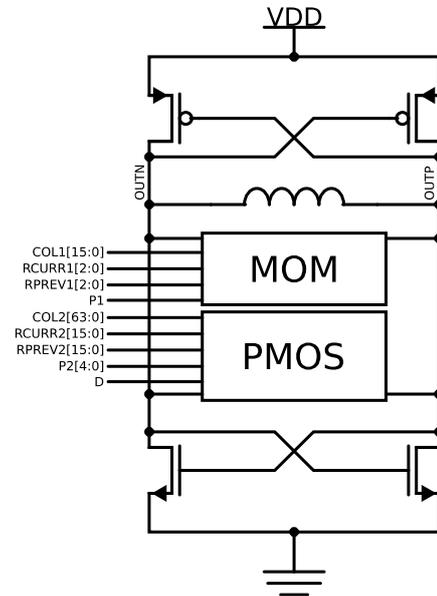


Рис. 3. Схема осциллятора

Набор на MOM конденсаторах содержит 50 ячеек, 48 из которых используются интегральной частью фильтра, оставшиеся 2 – пропорциональной. Набор из PMOS конденсаторных ячеек имеет 1056 элементов. Из них 1024 ячейки используются интегральной составляющей фильтра.

Количество ячеек слишком велико, чтобы подключать каждую из них отдельно, поскольку это скажется на увеличении площади устройства, увеличении затрат энергии и увеличении паразитных элементов. Чтобы избежать этого реализована управляющая сетка, которая управляет рядами и столбцами массива ячеек [4]. Для каждого ряда используются два управляющих сигнала RPREV и RCURR, для каждого столбца используется сигнал COL. Конденсаторные ячейки и схема контроля ячейки показаны на рис. 4. Шаг частоты для ячейки с MOM емкостью составил около 21 МГц, полный диапазон покрытия составляет около 1 ГГц. Шаг частоты для ячейки с PMOS емкостью составляет 260 кГц, диапазон покрытия около 270 МГц при температуре 27°C.

На частоте $f_c=10$ ГГц осциллятор потребляет в среднем 5,8 мА. Топология осциллятора занимает площадь 0,055 мм². Фазовый шум на частоте смещения 1 МГц равен -109,61 дБ/Гц.

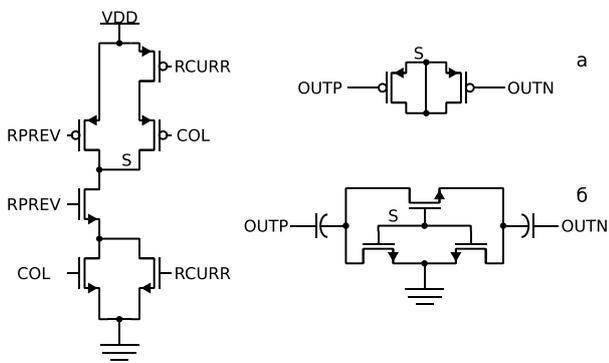


Рис. 4. Схема управления конденсаторной ячейкой (слева), схема конденсаторной ячейки на PMOS транзисторах (справа вверху) и на MOM конденсаторах (справа внизу)

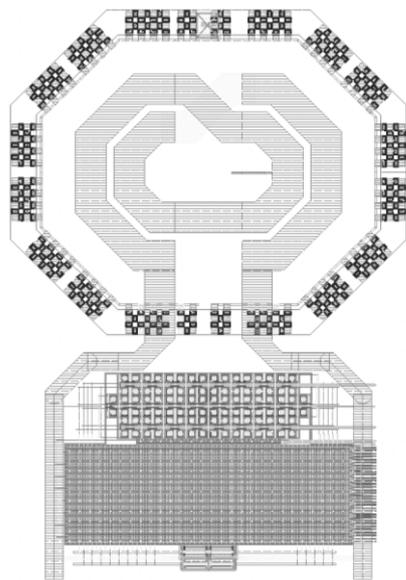


Рис. 5. Топология осциллятора с центральной частотой 10 ГГц

V. Блок DLF

Фильтр ЦФАПЧ выполняет задачу обработки фазовой ошибки с целью генерации управляющего кода.

На рис. 6 показана блок-схема реализованного цифрового фильтра. Отображены два параллельных пропорционально-интегральных фильтра для управления наборами ячеек разных емкостей, MOMFILTER и PMOSFILTER. Интегральная часть, управляющая металлическими конденсаторами (FA&MOMINTEG), включает в себя два аккумулятора для первого этапа. Блок FILTOUT используется для преобразования значений интегральных частей в термкоды управления массивом ячеек. BPD – сигнал с выхода детектора. Блок ALGC выполняет функцию

оптимизации пропорционального коэффициента в рабочем режиме. DS – дельта-сигма модулятор первого порядка для обеспечения дополнительного набора частот. Блок CONTROLLER обеспечивает поэтапную работу DLF.

Так как полоса пропускания обратно пропорциональна времени настройки устройства ЦФАПЧ, которая является критически важной характеристикой в некоторых приложениях [5], работу фильтра необходимо разбить на несколько этапов. В данной работе фильтр имеет 7 этапов. В ходе первых трех этапов управляются ячейки с металлическими конденсаторами, при помощи которых осуществляется подстройка частоты и первичный захват фазы. На последующих этапах обеспечивается переход в рабочий режим при помощи емкостей на PMOS транзисторах.

Подстройка частоты основана на том же принципе, который используется в ЦФАПЧ с применением конвертера «временной интервал – код». Используются два аккумулятора, которые считают количество импульсов с выхода делителя и импульсов тактового сигнала, причем в последнем инкрементное значение (FCW) равно заданному соотношению частот этих двух сигналов [6]. С каждым тактом опорного сигнала производится вычитание выходных значений аккумуляторов. Из соображений стабильности устройства результат вычитания сдвигается на один бит вправо. Результат операции затем суммируется к константе, соответствующей середине частотного диапазона, и записывается в регистр. В последующих двух этапах задействуются пропорционально-интегральный фильтр для установления состояния захвата фазы. Этому способствует большая полоса пропускания, т.к. у набора MOM емкостей больший шаг частоты. При условии, что устройство находится в состоянии захвата фазы в конце третьего этапа, переход в рабочий режим ЦФАПЧ занимает меньшее время.

В течении четвертого и последующих режимов задействован второй интегральный-пропорциональный фильтр. С каждым последующим этапом уменьшаются значения β и α . Если взять полный диапазон доступных выходных значений за безразмерную единицу, то, как правило, в рабочем режиме им задают значения в диапазонах от 2^{-6} до 2^{-10} и от 2^{-11} до 2^{-14} , соответственно.

Необходимо отметить, что в блоке представлены три разных тактовых сигнала. Интегральные части и выходной буфер синхронизируются сигналом с выхода делителя (CLK). Блоки управления, коррекции джиттера и аккумулятора в FA синхронизованы входным тактовым сигналом (CLKREF). Высокочастотный сигнал CLKDIVFAST синхронен к сигналу CLK и нужен для одного из аккумуляторов в FA и синхронизации дельта-сигма модулятора.

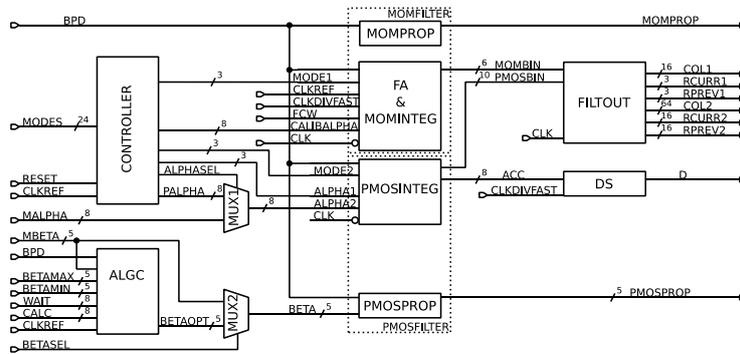


Рис. 6. Блок схема цифрового фильтра

Одним из свойств фильтра, влияющего на шум ЦФАПЧ, является его задержка D , выражающая количество тактов синхронизации необходимого для обработки данных. Величина D пропорциональна фазовому шуму ЦФАПЧ. В современных реализациях применяют фильтры с $D = 0.5 - 1$. В данной работе значение $D = 1$. Для достижения такой величины задействованы оба фронта синхронизирующего сигнала. Также стоит отметить, что пропорциональное и интегральное значения фильтра не складываются цифровым способом, а контролируют разные части набора конденсаторов.

VI. Блок контроля джиттера выходного сигнала ALGC

Джиттер выходного сигнала является одним из важнейших характеристик устройства ФАПЧ. На него влияют шум опорного сигнала, полоса пропускания, внутренние источники шума. К последним в цифровой реализации ФАПЧ относится собственный шум осциллятора и шум квантования по причине дискретного набора частот осциллятора.

В данной работе с целью снижения джиттера оптимизируется полоса пропускания ЦФАПЧ. Конкретно, оптимизируется пропорциональный коэффициент фильтра, опираясь на анализ последовательности значений с выхода бинарного фазового детектора [7].

Для анализа можно определить три рабочие точки работы ЦФАПЧ. В первой точке последовательность с выхода детектора имеет частые переходы между значениями $+1$ и -1 (рис. 7А). Такое поведение характерно для ЦФАПЧ с большим значением пропорционального коэффициента. Значение джиттера выходного сигнала при этом велико. Во второй точке переходы в последовательности значений детектора слишком редки (рис. 7Д). Данное поведение характерно для ЦФАПЧ с малым значением пропорционального коэффициента. Как и в первой рабочей точке, ожидается большое значение выходного джиттера. В третьей точке последовательность демонстрирует стохастический резонанс [8], т.е. примерно равное количество высокочастотных и низкочастотных компонент (рис. 7В). Здесь пропорциональный коэффициент максимально близок к своему

оптимальному значению, при котором достигается минимальное значение джиттера.

Для отслеживания поведения последовательности с выхода детектора применяется функция автокорреляции, которая в общем виде имеет вид

$$R_{xx}(k) = \frac{1}{(n-k)\sigma^2} \sum_{t=1}^{n-k} (x_t - \mu)(x_{t+k} - \mu), \quad (2)$$

где μ , σ и n – среднее значение, стандартное отклонение и количество сэмплов случайной величины x , соответственно. Когда ЦФАПЧ находится в состоянии захвата фазы, $\mu = 0$ и $\sigma = 1$, вследствие чего функция автокорреляции принимает вид

$$R_{xx}(k) = \frac{1}{n-k} \sum_{t=1}^{n-k} x_t x_{t+k}. \quad (3)$$

На рис. 7 Б, Г, Е показаны три функции автокорреляции, соответствующие последовательностям с выхода детектора на А, В, Д. В первой точке значения автокорреляции имеют чередованный знак. В случае с низким пропорциональным коэффициентом значения в области нуля имеют положительный знак. В случае, когда пропорциональный коэффициент близок к оптимальному значению, все значения близки к нулю, кроме $R_{xx}(0) = 1,0$.

Чтобы определить, в какой рабочей точке находится ЦФАПЧ, будет достаточным использование значения $R_{xx}(1)$, так как в режиме с пропорциональным коэффициентом выше оптимального значения данная величина будет иметь отрицательный знак, а в случае ниже оптимального - наоборот положительный. В течение работы устройства пропорциональный коэффициент выйдет на значение, близкое к оптимальному.

На рис. 8 показана блок-схема устройства ALGC. В нем рассчитываются одновременно три значения функции автокорреляции, после чего они суммируются. Знак суммы диктует, в какую сторону должен измениться коэффициент β [9].

Данный способ снижения джиттера обладает рядом преимуществ: устройство имеет сравнительно простой алгоритм и не требует использования аналоговых компонентов, а значит и не стоит ожидать значительного увеличения площади фильтра и

увеличения его энергопотребления. Работает он в фоновом режиме, что снижает время на выполнение оптимизации шумовых характеристик.

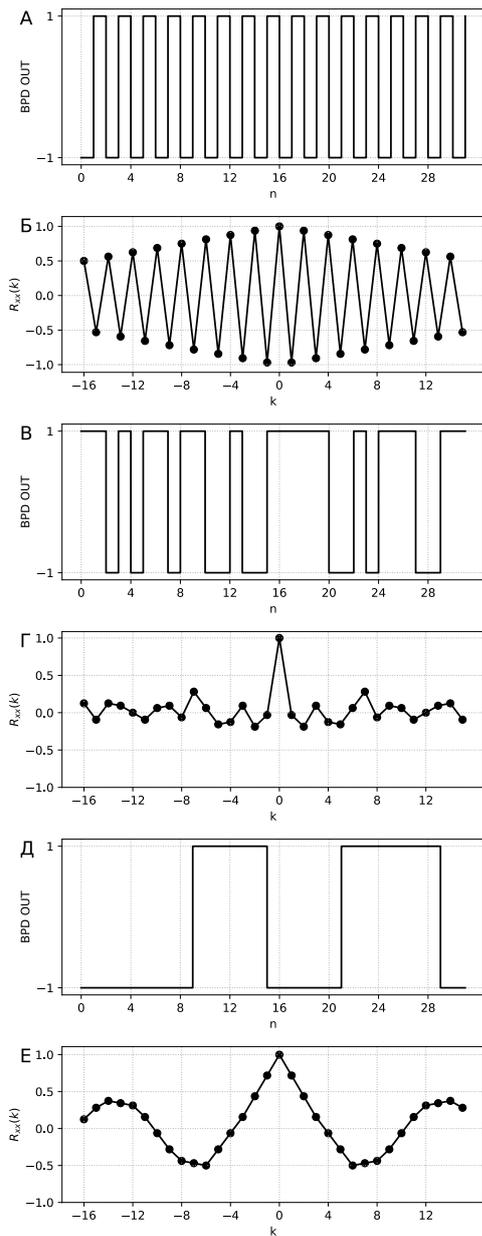


Рис. 7. А, В, Д – примеры сигнала с выхода бинарного фазового детектора; Б, Г, Е – соответствующие функции автокорреляции

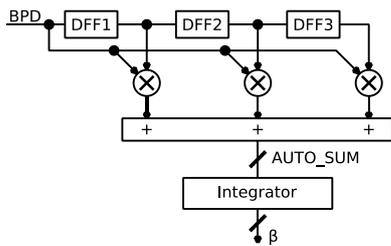


Рис. 8. Блок схема ALGC

VII. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

В рамках данной работы было реализовано устройство ЦФАПЧ. Для моделирования использовалась среда разработки Cadence. Блок цифрового фильтра реализован на языке Verilog, остальные блоки созданы на транзисторном уровне по технологии с топологической нормой 65 нм.

На рис. 9 показан график изменения частоты выходного сигнала осциллятора в процессе перехода в рабочий режим, полученный в результате моделирования. Частота опорного сигнала 100 МГц. Время выхода в рабочий режим составило около 12 мкс. Далее следует режим установления устройства в оптимальный режим. График изменения пропорционального коэффициента фильтра показан на рис. 10. В ходе моделирования использовался источник опорного сигнала с rms джиттером 100 фс. На рис. 11 для сравнения показаны глазковые диаграммы сигнала осциллятора в случаях с выключенным блоком снижения джиттера и с включенным. Rms джиттер интегрированного шума в диапазоне $f_c/1667 - f_c/2$ уменьшился с 560 фс до 315 фс.

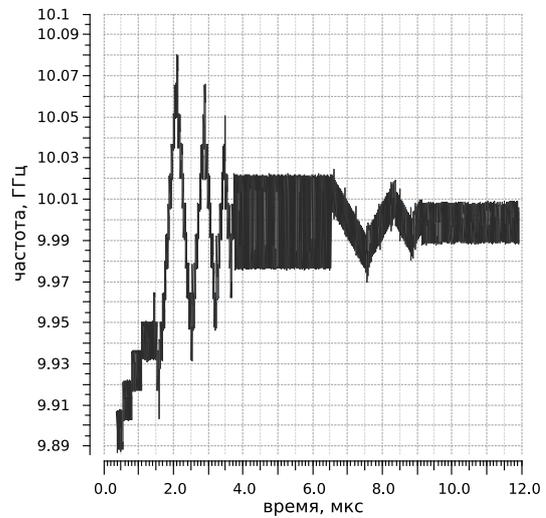


Рис. 9. График частоты выходного сигнала осциллятора в процессе выхода в рабочий режим

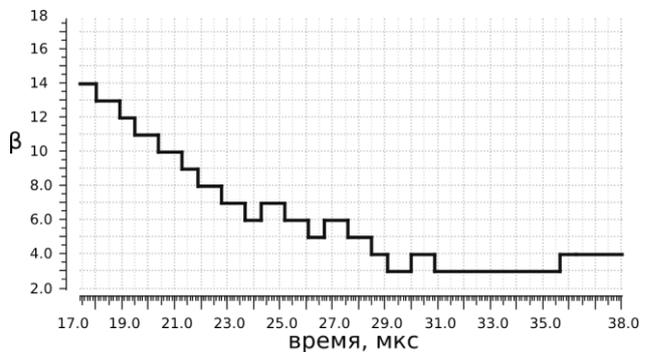


Рис. 10. График изменения значения пропорционального коэффициента фильтра

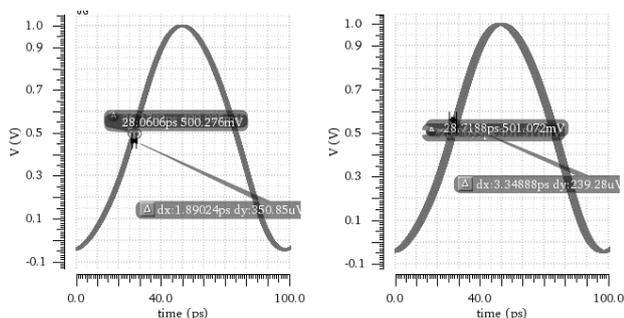


Рис. 11. Глазковые диаграммы сигнала осциллятора с выключенным блоком контроля джиттера (справа) и с включенным (слева)

ЗАКЛЮЧЕНИЕ

Представлена реализация ЦФАПЧ с бинарным фазовым детектором по технологии КМОП 65 нм. Rms джиттер выходного сигнала составил 315фс на частоте 10 ГГц. Встроенный блок оптимизации собственной полосы пропускания позволил снизить rms джиттер выходного сигнала на 43%. При помощи блока подстройки частоты время настройки в рабочий режим составил 12 мкс. Ток потребления LC осциллятора составил 5,8 мА, фазовый шум -109,61 дБ/Гц на частоте смещения 1 МГц. Публикация выполнена в рамках государственного задания ФГУ ФНЦ НИИСИ РАН по теме №0065-2019-0004.

ЛИТЕРАТУРА

[1] Ларионов А.В., Буякова О.Н., Сысоева О.В., Осина С.Э., Задябин С.О., Алексан П.А., Тарасов И.В., Рогаткин Ю.Б., Мастеров В.В. Четырехканальный мультистандартный адаптивный последовательный приемопередатчик для диапазона 1.25-10.3ГБ/с по технологии КМОП 65нм // Проблемы разработки

перспективных микро- и наноэлектронных систем (МЭС). 2018. №2. С. 115-122.

- [2] R.B. Staszewski, J.L. Wallberg, C.-M. Hung, O.E. Eliezer, C. Fernando, K. Maggio, R. Staszewski, N. Barton, M.-C. Lee, P. Cruise, M. Entezari, K. Muhammad, D. Leipold. All-Digital PLL and Transmitter for Mobile Phones // IEEE Journal of Solid-State Circuits. 2005. V. 40. №12. P. 2469-2482.
- [3] N. Da Dalt. Theory and Implementation of Digital Bang-Bang Frequency Synthesizers for High Speed Serial Data Communications. Dr. tech. sci. diss. Aachen. 2007. 191 p.
- [4] N. Da Dalt, C. Kropf, M. Burian, T. Hartig, Hermann Eul. A 10b 10GHz Digitally Controlled LC Oscillator in 65nm CMOS // IEEE International Solid-State Circuits Conference. San Francisco. 2006. P. 669-678.
- [5] J.-M. Lin, C.-Y. Yang, H.-M. Wu. A 2.5-Gb/s DLL-based burst-mode clock and data recovery circuit with 4x oversampling // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2015. V. 23. № 4. P.791-795.
- [6] R.B. Staszewski, C.-M. Hung, K. Maggio, J. Wallberg, D. Leipold, P.T. Balsara. All-Digital Phase-Domain TX Frequency Synthesizer for Bluetooth Radios in 0.13um CMOS // IEEE International Solid-State Circuits Conference. San Francisco. 2004. P. 272-527.
- [7] S. Jang, S. Kim, S.-H. Chu, G.-S. Jeong, Yoonsoo Kim, D.-K. Jeong. An Optimum Loop Gain Tracking All-Digital PLL Using Autocorrelation of Bang-Bang Phase-Frequency Detection // IEEE Transactions on Circuits and Systems. 2015. V. 62. № 9. P. 836-840.
- [8] G. Marucci, S. Levantino, P. Maffezzoni, C. Samori. Exploiting Stochastic Resonance to Enhance the Performance of Digital Bang-Bang PLLs // IEEE Transactions on Circuits and Systems. 2013. V. 60. № 10. P. 632-636.
- [9] T.-K. Kuan, S.-I. Liu. A Bang-Bang Phase-Locked Loop Using Automatic Loop Gain Control and Loop Latency Reduction Techniques // IEEE Journal of Solid-State Circuits. 2016. V. 51. № 4. P. 821-831.

10GHz Bang-Bang All Digital Phase-Locked Loop with Jitter Reduction Circuit

V.V. Masterov

Scientific Research Institute for System Analysis of the Russian Academy of Sciences, Moscow,
masterov@cs.niisi.ras.ru

Abstract — 10GHz all-digital phase-locked loop implementation is presented in the article. Frequency of output signal is 10GHz with rms jitter 315fs. Built-in automatic loop gain control circuit reduces rms jitter of output signal by 43%. Algorithm of jitter reduction is based on incremental change of proportional gain achieving stochastic resonance in binary phase detector output sequence. ADPLL lock time is 12 μ s. Frequency acquisition and gear shifting methods are used to boost lock process.

Keywords — ADPLL, binary phase detector, jitter, PI filter, digital oscillator, stochastic resonance.

REFERENCES

- [1] A.V. Larionov, O.N. Buyakova, O.V. Sysoeva, S.E. Osina, S.O. Zadiabin, P.A. Aleksan, I.V. Tarasov, Yu.B. Rogatkin, V.V. Masterov. Chetyrech-kanalny multistandartny adaptivny posledovatelny priemperedatchik dlya diapazona 1.25-10.3GB/s po technologii 65nm (A 4-channel Multi-Standard Adaptive Serial Transceiver for the Range 1.25-10.3 Gb/s in CMOS 65nm) // Problemy razrabotki perspektivnykh micro- i nanoelectronnykh system. 2018. №2. P. 115-122 (in Russian).
- [2] R.B. Staszewski, J.L. Wallberg, C.-M. Hung, O.E. Eliezer, C. Fernando, K. Maggio, R. Staszewski, N. Barton, M.-C. Lee, P. Cruise, M. Entezari, K. Muhammad, D. Leipold. All-Digital PLL and Transmitter for Mobile Phones // IEEE Journal of Solid-State Circuits. 2005. V. 40. №12. P. 2469-2482.
- [3] N. Da Dalt. Theory and Implementation of Digital Bang-Bang Frequency Synthesizers for High Speed Serial Data Communications. Dr. tech. sci. diss. Aachen. 2007. 191 p.
- [4] N. Da Dalt, C. Kropf, M. Burian, T. Hartig, Hermann Eul. A 10b 10GHz Digitally Controlled LC Oscillator in 65nm CMOS // IEEE International Solid-State Circuits Conference. San Francisco. 2006. P. 669-678.
- [5] J.-M. Lin, C.-Y. Yang, H.-M. Wu. A 2.5-Gb/s DLL-based burst-mode clock and data recovery circuit with 4x oversampling // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 2015. V. 23. № 4. P.791-795.
- [6] R.B. Staszewski, C.-M. Hung, K. Maggio, J. Wallberg, D. Leipold, P.T. Balsara. All-Digital Phase-Domain TX Frequency Synthesizer for Bluetooth Radios in 0.13um CMOS // IEEE International Solid-State Circuits Conference. San Francisco. 2004. P. 272-527.
- [7] S. Jang, S. Kim, S.-H. Chu, G.-S. Jeong, Yoonsoo Kim, D.-K. Jeong. An Optimum Loop Gain Tracking All-Digital PLL Using Autocorrelation of Bang-Bang Phase-Frequency Detection // IEEE Transactions on Circuits and Systems. 2015. V. 62. № 9. P. 836-840.
- [8] G. Marucci, S. Levantino, P. Maffezzoni, C. Samori. Exploiting Stochastic Resonance to Enhance the Performance of Digital Bang-Bang PLLs // IEEE Transactions on Circuits and Systems. 2013. V. 60. № 10. P. 632-636.
- [9] T.-K. Kuan, S.-I. Liu. A Bang-Bang Phase-Locked Loop Using Automatic Loop Gain Control and Loop Latency Reduction Techniques // IEEE Journal of Solid-State Circuits. 2016. V. 51. № 4. P. 821-831.